

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2004-94231  
(P2004-94231A)

(43) 公開日 平成16年3月25日(2004.3.25)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl. <sup>7</sup>             | F I            | テーマコード (参考) |
| GO9G 3/36                             | GO9G 3/36      | 2H093       |
| GO2F 1/133                            | GO2F 1/133 5O5 | 3K007       |
| GO9G 3/20                             | GO2F 1/133 55O | 5C006       |
| GO9G 3/30                             | GO9G 3/20 621M | 5C080       |
| GO9G 5/14                             | GO9G 3/20 624B | 5C082       |
| 審査請求 未請求 請求項の数 23 O L (全 26 頁) 最終頁に続く |                |             |

|              |                              |          |                                                                                                                                                                         |
|--------------|------------------------------|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| (21) 出願番号    | 特願2003-286317 (P2003-286317) | (71) 出願人 | 000153878                                                                                                                                                               |
| (22) 出願日     | 平成15年8月4日 (2003.8.4)         |          | 株式会社半導体エネルギー研究所                                                                                                                                                         |
| (31) 優先権主張番号 | 特願2002-232775 (P2002-232775) |          | 神奈川県厚木市長谷398番地                                                                                                                                                          |
| (32) 優先日     | 平成14年8月9日 (2002.8.9)         | (72) 発明者 | 木村 肇                                                                                                                                                                    |
| (33) 優先権主張国  | 日本国 (JP)                     |          | 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内                                                                                                                                         |
|              |                              | (72) 発明者 | 山崎 舜平                                                                                                                                                                   |
|              |                              |          | 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内                                                                                                                                         |
|              |                              | Fターム(参考) | 2H093 NA16 NA43 NA53 NC15 NC23<br>NC34 NC35 NC49 ND31 ND60<br>3K007 AB18 BA06 DB03 GA00<br>5C006 AB01 AF38 BB16 BC06 BC12<br>BC16 BC20 BF01 BF04 BF24<br>BF34 EB05 FA03 |
|              |                              |          | 最終頁に続く                                                                                                                                                                  |

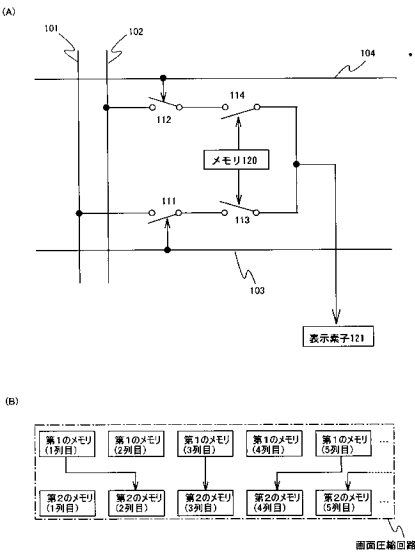
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 従来のマルチウィンドウ表示装置は、複数の画面データはディスプレイに入力される事前に、ビデオ信号自体に信号処理が行われ、処理後の映像信号がディスプレイに入力され、表示が行われているに過ぎない。そのため複数の画面分のビデオ信号をメモリに保存するため、信号処理を行う回路、例えばICは複雑になってしまった。

【解決手段】 本発明は、複数の画面分の信号線を配置し、いずれか1つの信号線を選択してビデオ信号を表示素子へ供給する画素構成を特徴とする。例えば、2画面の表示を行うとすると、第1の画面用と第2の画面用のビデオ信号が入力される信号線を2本配置し、どちらか一方の信号線を選択し、選択された信号線からのビデオ信号を表示素子へ供給するマルチウィンドウ表示装置である。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

表示素子と、  
第1のビデオ信号を前記表示素子へ入力する第1の信号線と、  
前記第1の信号線と交差するように設けられた第1の走査線と、  
第2のビデオ信号を前記表示素子へ入力する第2の信号線と、  
前記第2の信号線と交差するように設けられた第2の走査線と、  
前記第1の信号線及び第2の信号線のいずれかを選択する手段と、  
を有することを特徴とする表示装置。

## 【請求項 2】

10

表示素子と、  
第1のビデオ信号を前記表示素子へ入力する第1の信号線と、  
前記第1の信号線と交差するように設けられた第1の走査線と、  
第2のビデオ信号を前記表示素子へ入力する第2の信号線と、  
前記第2の信号線と交差するように設けられた第2の走査線と、  
前記第1の信号線及び第2の信号線のいずれかを選択する手段と、を有し、  
前記選択する手段により選択された信号線からのビデオ信号が前記表示素子へ供給されることを特徴とする表示装置。

## 【請求項 3】

20

表示素子と、  
第1のビデオ信号を前記表示素子へ入力する第1の信号線と、  
前記第1の信号線と交差するように設けられた第1の走査線と、  
第2のビデオ信号を前記表示素子へ入力する第2の信号線と、  
前記第2の信号線と交差するように設けられた第2の走査線と、  
前記第1の信号線及び第2の信号線のいずれかを選択する情報を保持するメモリと、を有し、  
前記メモリにより選択された信号線からのビデオ信号が前記表示素子へ供給されることを特徴とする表示装置。

## 【請求項 4】

30

表示素子と、  
第1のビデオ信号を前記表示素子へ入力する第1の信号線と、  
前記第1の信号線と交差するように設けられた第1の走査線と、  
第2のビデオ信号を前記表示素子へ入力する第2の信号線と、  
前記第2の信号線と交差するように設けられた第2の走査線と、  
前記第1の信号線及び第2の信号線のいずれかを選択する手段と、  
前記第1の走査線及び前記第2の走査線のいずれかを選択する手段と、  
前記第1の走査線及び前記第2の走査線のいずれかを選択する手段へ信号を入力する第3の信号線と、前記第3の信号線と交差するように設けられた第3の走査線と、を有することを特徴とする表示装置。

## 【請求項 5】

40

表示素子と、  
第1のビデオ信号を前記表示素子へ入力する第1の信号線と、  
前記第1の信号線と交差するように設けられた第1の走査線と、  
第2のビデオ信号を前記表示素子へ入力する第2の信号線と、  
前記第2の信号線と交差するように設けられた第2の走査線と、  
前記第1の信号線及び第2の信号線のいずれかを選択する手段と、  
前記第1の走査線及び前記第2の走査線のいずれかを選択する手段と、  
前記第1の走査線及び前記第2の走査線のいずれかを選択する手段を制御するメモリと、  
前記メモリへ信号を入力する第3の信号線と、前記第3の信号線と交差するように設けられた第3の走査線と、を有することを特徴とする表示装置。

50

## 【請求項 6】

表示素子と、

第1のビデオ信号を前記表示素子へ入力する第1の信号線と、前記第1の信号線と交差するように設けられた第1の走査線と、前記第1の信号線と前記第1の走査線とに接続された第1のトランジスタと、

第2のビデオ信号を前記表示素子へ入力する第2の信号線と、前記第2の信号線と交差するように設けられた第2の走査線と、前記第2の信号線と前記第2の走査線に接続された第2のトランジスタと、

前記第1のトランジスタに接続された第3のトランジスタと、

前記第2のトランジスタに接続され、前記第3のトランジスタと極性の異なる第4のトランジスタと、 10

前記第3のトランジスタ及び前記第4のトランジスタのそれぞれのゲート電極に、スイッチを介して接続された第3の信号線と、

前記スイッチに接続された第3の走査線と、を有することを特徴とする表示装置。

## 【請求項 7】

表示素子と、

第1のビデオ信号を前記表示素子へ入力する第1の信号線と、前記第1の信号線と交差するように設けられた第1の走査線と、前記第1の信号線と前記第1の走査線とに接続された第1のトランジスタと、

第2のビデオ信号を前記表示素子へ入力する第2の信号線と、前記第2の信号線と交差するように設けられた第2の走査線と、前記第2の信号線と前記第2の走査線に接続された第2のトランジスタと、 20

前記第1のトランジスタに接続された第3のトランジスタと、

前記第2のトランジスタに接続された第4のトランジスタと、

前記第3のトランジスタ及び前記第4のトランジスタに接続されたラッチ回路と

前記ラッチ回路及びスイッチとを介して接続された第3の信号線と、

前記スイッチに接続された第3の走査線と、を有することを特徴とする表示装置。

## 【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、前記表示素子は液晶素子であることを特徴とする表示装置。 30

## 【請求項 9】

請求項 1 乃至 7 のいずれかーにおいて、前記表示素子は発光素子であることを特徴とする表示装置。

## 【請求項 10】

発光素子と、

第1のビデオ信号を前記発光素子へ入力する第1の信号線と、前記第1の信号線と交差するように設けられた第1の走査線と、前記第1の信号線と前記第1の走査線とに接続された第1のトランジスタと、

第2のビデオ信号を前記発光素子へ入力する第2の信号線と、前記第2の信号線と交差するように設けられた第2の走査線と、前記第2の信号線と前記第2の走査線に接続された第2のトランジスタと、 40

前記第1のトランジスタに接続された第3のトランジスタと、

前記第2のトランジスタに接続された第4のトランジスタと、

前記第3のトランジスタ及び前記第4のトランジスタのいずれかを選択する手段と、

前記第3のトランジスタ及び前記第4のトランジスタに第1の電極が接続された第5のトランジスタと、第1の電極が接続された第6のトランジスタと、第1の電極が接続された第7のトランジスタと、

前記第5のトランジスタのゲート電極に接続された第3の走査線と、

前記第6のトランジスタの第2の電極に接続された電源線と、

前記第5のトランジスタの第2の電極、及び前記6のトランジスタのゲート電極に接続さ 50

れた第 7 のトランジスタのゲート電極と、  
前記第 7 のトランジスタのゲート電極、及び第 2 の電極とに接続された容量素子と、を有し、  
前記発光素子は前記第 7 のトランジスタの第 2 の電極と接続されることを特徴とする表示装置。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれかーにおいて、  
前記第 1 のビデオ信号が入力されることにより第 1 の画面が表示され、  
前記第 2 のビデオ信号が入力されることにより第 2 の画面が表示されることを特徴とする表示装置。

10

【請求項 1 2】

請求項 1 1 において、  
前記第 1 の画面及び前記第 2 の画面のいずれかの大きさを制御する圧縮回路を有し、  
前記圧縮回路は複数の第 1 のメモリと、前記第 1 のメモリを選択する第 1 の制御回路と、  
複数の第 2 のメモリと、前記第 2 のメモリを選択する第 2 の制御回路と、を有し、  
前記第 1 の制御回路により選択された一つの第 1 のメモリと、前記第 2 の制御回路から選択された一つの第 2 のメモリとが導通状態となり、  
前記導通状態となった第 2 のメモリへ、第 1 のメモリから信号が転送され、  
前記第 2 のメモリから画素部へ信号が入力されることを特徴とする表示装置。

【請求項 1 3】

20

請求項 1 2 において、  
前記表示装置は同一基板上に設けられた前記表示素子を有する画素部と、  
前記第 1 の信号線を制御する第 1 の信号線駆動回路と、前記第 2 の信号線を制御する第 2 の信号線駆動回路と、前記圧縮回路と、を有する信号線駆動回路部と、  
前記第 1 の走査線を制御する第 1 の走査線駆動回路と、前記第 2 の走査線を制御する第 2 の走査線駆動回路と、を有する走査線駆動回路部と、  
前記基板と接続されたコントローラと、I/F と、電源回路と、が設けられたプリント基板と、  
を有することを特徴とする表示装置。

【請求項 1 4】

30

第 1 の信号線及び前記第 2 の信号線のいずれかを選択する手段へ入力された信号に基づき、  
第 1 の信号線、及び第 2 の信号線のいずれかからのビデオ信号を表示素子へ入力することを特徴とする表示装置の駆動方法。

【請求項 1 5】

第 1 の信号線及び前記第 2 の信号線のいずれかを選択する手段へ第 3 の信号線から信号を入力し、  
前記選択する手段へ入力された信号に基づき、第 1 の信号線、及び第 2 の信号線のいずれかからのビデオ信号を表示素子へ入力することを特徴とする表示装置の駆動方法。

【請求項 1 6】

40

請求項 1 4 又は 1 5 において、  
前記第 1 の信号線からのビデオ信号により第 1 の画面を表示し、  
前記第 2 の信号線からのビデオ信号により第 2 の画面を表示し、  
前記選択する手段により、前記第 2 の画面は前記第 1 の画面に対して任意に配置されることを特徴とする表示装置の駆動方法。

【請求項 1 7】

第 1 の画面及び第 2 の画面を表示する画素部と、前記第 1 の画面の信号を画素部へ入力する第 1 の信号線と、前記第 1 の信号線と交差するように設けられた第 1 の走査線と、  
第 2 の画面の信号を画素部へ入力する第 2 の信号線と、前記第 2 の信号線と交差するように設けられた第 2 の走査線と、  
前記第 1 の走査線及び前記第 2 の走査線のいずれかを選択する手段と、前記選択する手段

50

に信号を入力する第3の信号線と、前記第3の信号線と交差するように設けられた第3の走査線と、を有する表示装置の駆動方法であって、  
前記第1乃至第3の走査線を選択し、書き込みを行う第1乃至第3の書き込み期間は、1フレーム期間に設けることを特徴とする表示装置の駆動方法。

【請求項18】

請求項17において、前記1フレーム期間に設けられた第1乃至第3の書き込み期間は重ならないように設けられることを特徴とする表示装置の駆動方法。

【請求項19】

請求項17又は18において、前記第2の画面は前記画素部の*i*行目から*j*行目に表示されるとき、

10

前記第2の書き込み期間は、*i*行目の第2の走査線から*j*行目の第2の走査線を選択する期間のみに設けられることを特徴とする表示装置の駆動方法。

【請求項20】

請求項19において、前記第2の書き込み期間における第2の走査線への書き込み速度は、前記第1の書き込み期間における第1の走査線の書き込み速度と一致することを特徴とする表示装置の駆動方法。

【請求項21】

請求項17乃至20のいずれか一において、

前記第2の信号線に接続された複数の第1のメモリと、前記第1のメモリを制御する第1の制御回路と、

20

前記画素部に接続された複数の第2のメモリと、前記第2のメモリを制御する第2の制御回路と、

を有し、

前記第2の画面は前記画素部のA列目からB列目に表示されるとき、

前記第1の制御回路により前記複数の第1のメモリから前記複数の第2のメモリへ前記第2の画面の信号を転送し、

前記第2の制御回路により前記A列目からB列目の第2のメモリを選択することを特徴とする表示装置の駆動方法。

【請求項22】

請求項21において、

30

前記第1の制御回路により前記複数の第1のメモリに接続された複数の第1のスイッチを制御し、

前記第2の制御回路により前記複数の第2のメモリに接続された複数の第2のスイッチを制御し、

前記複数の第1のスイッチはそれぞれ、前記A列目からB列目の第2のスイッチとのいずれかと導通することを特徴とする表示装置の駆動方法。

【請求項23】

請求項21又は22において、前記第2のメモリには、前記第1のメモリの信号の平均値を転送することを特徴とする表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、EL表示装置、液晶表示装置、その他の表示装置であって、1つの表示画面に複数の画面を表示するマルチウィンドウ表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、一つの表示画面に、同時に2つ以上の画像（静止画像及び動画像を含む）を表示するマルチウィンドウ表示装置の研究がなされている。マルチウィンドウ表示装置は、操作の説明を行う画面と、それを実行する画面とを同時に表示したり、カーナビゲーショ

50

ンシステムにおいては、ナビゲーション画面と、車の後部を表示する画面とを同時に表示したりできるため、非常に便利な表示装置である。

【 0 0 0 3 】

図 1 1 に、従来のマルチウィンドウ表示装置を示す。このマルチウィンドウ表示装置は、一つの表示画面に複数の画面（例えば 2 画面）を同時に表示させるため、2 つの画像情報に応じた第 1 のビデオ信号、第 2 のビデオ信号が入力され、集積回路（IC：Integral Circuit）1 1 で信号処理が行われる。そして IC 1 1 では、2 画面の画像情報（互いの位置や大きさの情報も含む）を合成する信号処理が行われる。このような IC 1 1 で合成されたビデオ信号は、メモリ 1 2 で一旦保持され、信号線駆動回路 1 3 へ入力される。

【 0 0 0 4 】

そして、走査線駆動回路 1 4 により、画素部 1 5 が有する画素が順次選択され、信号線駆動回路 1 3 から供給されるビデオ信号に基づいて、第 1 の画面 1 6 と第 2 の画面 1 7 とが表示される。

【 0 0 0 5 】

つまり、表示画面からみると、マルチウィンドウ画面を表示させているか否かとは関係なく、単に入力されるビデオ信号に基づいて画面を表示させているだけである。

【 0 0 0 6 】

このような動作方法の例として、PC 表示制御手段からの信号と、外部からの信号とが、表示合成手段により合成され、表示手段に入力されている方法がある（特許文献 1 参照）。

【 0 0 0 7 】

また、特許文献 1 には、互いの画面の位置や大きさを任意に表示する方法として、表示読み出し制御手段で、表示位置・大きさ制御手段と共に読み出しにおける行アドレスの増加率を変え、表示用メモリから読み出す行を間引く、垂直方向の大きさの制御を施すことが記載されている。

【 0 0 0 8 】

【特許文献 1】特開平 5 - 2 4 2 2 3 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

以上のような表示方法では、ディスプレイに入力される事前に、ビデオ信号自体に信号処理が行われ、処理後の映像信号がディスプレイに入力され、表示が行われているに過ぎない。そのため複数の画面分のビデオ信号をメモリに保存するため、信号処理を行う回路、例えば集積回路は複雑になってしまった。

【 0 0 1 0 】

また、第 1 の画面と第 2 の画面との位置や大きさに関する情報までもメモリに保存するため、より集積回路に負担がかかってしまった。

【 0 0 1 1 】

そこで本発明は、信号処理を行う集積回路に負担のかからない、マルチウィンドウ表示装置を提供することを課題とする。また本発明は、第 1 の画面と第 2 の画面との位置や大きさの制御方法を提供することを課題とする。

【課題を解決するための手段】

【 0 0 1 2 】

そこで本発明は、複数の画面分の信号線を配置し、いずれか 1 つの信号線を選択してビデオ信号を表示素子へ供給する画素構成を特徴とする。例えば、2 画面の表示を行うとすると、第 1 の画面用と第 2 の画面用のビデオ信号が入力される信号線を 2 本配置し、どちらか一方の信号線を選択し、選択された信号線からのビデオ信号を表示素子へ供給することとを特徴とする画素構成である。なおいずれかの信号線を選択する手段（選択手段）は、DRAM や SRAM といったメモリ、及びスイッチを用いて形成することができる。

【 0 0 1 3 】

10

20

30

40

50

このように複数設けられた信号線のうち、いずれの信号線からのビデオ信号が画素へ入力されるかを切り換えて選択することができる。そのため、ある走査線が選択されていても、その行の全ての画素で、信号が書き換えられるのではなく、選択されたもののみが書き換えられることになる。

【0014】

その結果、各種ビデオ信号の書き込み（例えば2画面表示を行う場合、第1の画面用のビデオ信号の書き込みと第2の画面用のビデオ信号の書き込み）が、独立して動作させることができるため、相互間に影響を与えない書き込みを行うことができる。

【0015】

本発明のような画素構成により、複数の画面のビデオ信号を合成する信号処理が不要となり、集積回路（IC：Integrated Circuit）等に負担をかけることなく、マルチウィンドウ表示をすることができる。また本発明の画素構成により、ある同一行の走査線で複数画面分の信号線のいずれか1つの信号線しか選択されないため、複数の信号線からビデオ信号が表示素子へ供給されても、表示素子へ入力されないため、誤動作や誤表示を低減することができる。

【0016】

また本発明は、互いの画面の位置や大きさを任意に表示する方法として、画面を任意に圧縮する回路（以下、画面圧縮回路）を有することを特徴とする。画面圧縮回路は、圧縮前の画像データ（画像情報）を保存する第1のメモリと圧縮後の画像データを保存する第2のメモリとを有する。まず、第1のメモリに縮小（圧縮）する画面の1行分の画像データを入力、保存し、その後、圧縮する大きさに合わせて画像データを間引いた画像データを第2のメモリへ入力、保存する。そして第2のメモリから映像データが画素部へ入力され、横方向に圧縮された画像が表示される。またこのとき、表示位置に合わせて、走査線を選択するように走査線駆動回路を制御する。このようにして、位置や大きさを任意に表示することが可能となる。

【0017】

以上のような構成により、メモリに複数の画面分のビデオ信号を保存する必要がないため集積回路の負担を軽減することができる。また、互いの画面の位置や大きさに関する映像データを信号処理用のメモリに保存することなく、任意に表示することが可能となる。

【0018】

本発明において、画素又は駆動回路に設けられるトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板などに配置することができる。

【0019】

本発明において、接続されているとは、電氣的に接続されていればよく、接続されている間に、別の素子やスイッチなどが配置されていてもよい。

【0020】

画素に配置する表示素子の例としては、EL素子以外にFED（フィールドエミッションディスプレイ）で用いる素子やDMD（デジタルミラーデバイス）で用いる素子などがあげられる。

【発明の効果】

【0021】

以上のような構成により、マルチウィンドウ表示装置において、メモリに複数の画面分のビデオ信号を保存する必要がないため集積回路の負担を軽減することができる。また、画面圧縮回路をパネル内に設けることにより、互いの画面の位置や大きさに関する映像データを信号処理用のメモリに保存することなく、任意に表示することが可能となる。

【発明を実施するための最良の形態】

## 【 0 0 2 2 】

以下の実施の形態では、図面を参照して本発明を具体的に説明する。なお、以下の実施の形態では2つの画面を有するマルチウィンドウ表示装置で説明するが、3以上の画面を有するマルチウィンドウ表示装置に本発明を適応することができる。

(実施の形態1)

## 【 0 0 2 3 】

本実施の形態では、画素部の構成及び画面圧縮回路を、図1(A)を用いて説明する。

## 【 0 0 2 4 】

図1(A)に、第1の信号線(第1の画面用信号線)101及び第1の走査線(第1の画面用走査線)103と、それらの情報に基づいてオンオフを制御される第1のスイッチ111と、第2の信号線(第2の画面用信号線)102及び第2の走査線(第2の画面用走査線)104と、それらの情報に基づいてオンオフを制御される第2のスイッチ112と、メモリ120によりオンオフを制御され、第1のスイッチ111及び第2のスイッチ112にそれぞれ接続される第3のスイッチ113及び第4のスイッチ114と、第3のスイッチ113及び第4のスイッチ114とに接続される表示素子121とを有する画素構成を示す。なお信号線を選択する手段は、メモリ120、第3のスイッチ113、及び第4のスイッチ114に相当する。

## 【 0 0 2 5 】

まず、全画素に第1の画面及び第2の画面の位置や大きさの画像データが入力される。そして、画像データに基づいて、メモリ120はスイッチ113及び114のいずれかを選択する。その後、信号線101又は102のうち選択された信号線から表示素子121へビデオ信号が入力され、それに基づき表示が行われる。つまり、選択された一方の情報のみが発光素子へ供給される。そのため、例え複数の走査線や複数の信号線が選択されたとしても、表示素子へ複数のビデオ信号が入力されることがなく、マルチウィンドウ表示が行われる。

## 【 0 0 2 6 】

なお本実施の形態において、表示素子121は液晶素子又は発光素子から構成することができる。スイッチ機能を有する回路は、例えばトランジスタ、容量、又はそれらを組み合わせたものから構成することができる。さらにトランジスタのゲート容量などを用いることにより、容量を省略することが可能である。

## 【 0 0 2 7 】

またメモリは、極性の異なるトランジスタ、容量素子、S R A M (Static Random Access Memory)、又はD R A M (Dynamic Random Access Memory)その他の回路を用いて形成すればよい。

## 【 0 0 2 8 】

次に、図1(B)に画面圧縮回路の動作を示す。なお、図1(B)では、2画面を表示し、縮小する画面を第2の画面とする。まず、画面圧縮回路は、画素部の列数に対応した第1のメモリ及び第2のメモリを備えた回路であって、第1のメモリには圧縮前の1行分の画像データが入力され、保存される。その後、1つおきの第1のメモリから第2のメモリへ画像データが入力され、圧縮された第2の画面が表示される。このとき、第1のメモリと第2のメモリとの間にはそれぞれスイッチが設けられており、第1のメモリは1列目から1つおきに選択され、第2のメモリは2列目から順に選択され、圧縮された画像データが画素部へ入力される。つまり、第2の画面は画素部の2列目から表示され、横方向が1/2へ圧縮された領域に表示される。

## 【 0 0 2 9 】

なお、第1のメモリの間隔は1つおきに限定されず、圧縮する第2の画面の大きさに合わせて、適宜設定すればよい。なお、本実施の形態の画面圧縮回路により第1の画面の位置や大きさを決定してもよいし、複数の画面の位置や大きさを決定することも可能である。

## 【 0 0 3 0 】

上記構成において、スイッチが各部分に配置されているが、その配置場所は、すでに述べた場所に限定されない。正常に動作する場所であれば、任意の場所にスイッチを配置することが可能である。

【0031】

スイッチは、電氣的スイッチ又は機械的なスイッチのいずれでもよい。つまりスイッチは、電流の流れを制御できるものであればよい。例えばトランジスタ、又はダイオードのいずれでもよく、それらを組み合わせた論理回路でもよい。

【0032】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、LDD領域を設けているトランジスタを用いると、オフ電流を少なくすることができ望ましい。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Vss、Vgnd、0Vなど）に近い状態で動作する場合はnチャネル型を、反対に、ソース端子の電位が、高電位側電源（Vddなど）に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜなら、トランジスタのゲート・ソース間電圧の絶対値を大きくでき、スイッチとして動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

10

【0033】

以上のような画面圧縮回路により、第1の画面及び第2の画面の位置や大きさに関する情報をメモリに保存する必要がなく、更には第1の画面の任意の場所に第2の画面を矩形ではなく任意の形状で表示することができる。

20

【0034】

また図2には、同一基板上に画素部200と、第1画面用の第1の信号線駆動回路201と第1の走査線駆動回路211と、第2の画面用の第2の信号線駆動回路202と第2の走査線駆動回路212と、画面圧縮回路215とを備えるマルチウィンドウ表示装置を示す。

【0035】

信号線駆動回路、走査線駆動回路の数は図2に限定されるものではなく、それぞれ一つとしたり、信号線駆動回路を二つとし走査線駆動回路を一つとすることもできる。信号線駆動回路やその一部（電流源回路や増幅回路など）は、画素と同一基板上に形成せず、例えば、外付けのICチップを用いて形成してもよい。

30

【0036】

そして、上述したような構成により、第1の画面216に対して縮小された第2の画面217とを表示することができる。

【0037】

よって、メモリに複数の画面分のビデオ信号を保存する必要がないため集積回路の負担を軽減することができる。また、互いの画面の位置や大きさに関する映像データを信号処理用のメモリに保存することなく、任意に表示することが可能となる。

（実施の形態2）

【0038】

本実施の形態では、3画面のマルチウィンドウ表示を行う画素構成について、図13を用いて説明する。

40

【0039】

図13には、第1の信号線（第1の画面用信号線）1301及び第1の走査線（第1の画面用走査線）1304と、それらの情報に基づいてオンオフを制御される第1のスイッチ1311と、第2の信号線（第2の画面用信号線）1302及び第2の走査線（第2の画面用走査線）1305と、それらの情報に基づいてオンオフを制御される第2のスイッチ1312と、第3の信号線（第3の画面用信号線）1303及び第3の走査線（第3の画面用走査線）1306と、それらの情報に基づいてオンオフを制御される第3のスイッチ1313と、メモリ1320によりオンオフを制御され、第1のスイッチ1311、第

50

2のスイッチ1312及び第3のスイッチ1313にそれぞれ接続される第4のスイッチ1314、第5のスイッチ1315及び第6のスイッチ1316と、第4のスイッチ1314から第6のスイッチ1316とに接続される表示素子1321とを有する画素構成を示す。

【0040】

そして、メモリ1320により第4のスイッチ1314、第5のスイッチ1315及び第6のスイッチ1316からいずれか1つを選択し、選択されたスイッチと接続される信号線からのビデオ信号に基づいて表示素子1321が表示を行う。

【0041】

このように、画面数を増加させる場合には、それに応じて信号線及び走査線を増加するよう適宜設定すればよい。また、画面数を増加するにつれてメモリの数も適宜増加させると好ましい。

(実施の形態3)

【0042】

本実施の形態は、発光素子を用いた場合であって、メモリ用の信号線と走査線を有する画素構成について、図3を用いて説明する。

【0043】

図3(A)には、第1の画面用の第1の信号線301及び第1の走査線311と、第2の画面用の第2の信号線302及び第2の走査線312と、第1の走査線又は第2の走査線を選択する第1のメモリ331と、第1のメモリ用の第3の信号線303及び第3の走査線313と、第1の信号線と第1の走査線とに接続される第1のトランジスタ321と、第2の信号線と第2の走査線とに接続される第2のトランジスタ322と、第3の信号線と第3の走査線とに接続される第3のトランジスタ323と、第1のメモリと第1のトランジスタ及び第2のトランジスタとそれぞれ接続される第4のトランジスタ324及び第5のトランジスタ325と、第4のトランジスタ及び第5のトランジスタに接続される第2のメモリ332と、第2のメモリに接続される電流源333と、電流源へ電流を供給する電源線335と、発光素子334とを有する画素を示す。

【0044】

まず、この画素が第1の画面及び第2の画面のどちらを表示するかの信号が、第3の信号線303から第1のメモリ331へ入力される。このとき第3の走査線313が選択され、第3のトランジスタがオンとなっている。

【0045】

そして、入力された信号に基づいて第4のトランジスタ324及び第5のトランジスタ325のいずれかがオンとなる。すると、第1のトランジスタ321及び第2のトランジスタ322のうちオンとなったトランジスタに接続されている方から、ビデオ信号が入力される。

【0046】

そして、ビデオ信号は第2のメモリに入力され、このビデオ信号に基づいて電源線335から電流源333へ電流が供給され、発光素子334が発光する。

【0047】

このとき、第1のトランジスタ及び第2のトランジスタのうち選択されなかった方に、ビデオ信号が入力されたとしても、第2のメモリへは供給されないため、ビデオ信号が誤って入力されたり、書き換えられたりすることはない。

【0048】

そして、図1(B)に示した画像圧縮回路により、第1の画面及び第2の画面のいずれかを圧縮し、マルチウィンドウ表示を行えばよい。

【0049】

本実施の形態は、WO 03/027997に開示される画素構成と組み合わせて、図3(B)に示すような電流源333と発光素子334との間に、第2のメモリ332により制御されるスイッチ337が設けられた画素構成とすることができる。電流源333に信

10

20

30

40

50

号電流を設定し、スイッチ 337 のオン・オフに基づき発光素子に設定された信号電流を供給することができ、電流源 333 を構成するトランジスタの互いのしきい値のバラツキの影響を低減することができる。

#### 【0050】

本実施の形態の構成により、メモリに複数の画面分のビデオ信号を保存（保持）する必要がないため集積回路の負担を軽減することができる。また、互いの画面の位置や大きさに関する映像データを信号処理用のメモリに保存することなく、任意に表示することが可能となる。

#### 【0051】

また、発光素子を有するマルチウィンドウ表示装置において、アナログ駆動又はデジタル駆動を適応することが可能である。しかし、ビデオ信号を保持する回路が不要であるアナログ駆動に用いた場合は、新たな信号処理回路を設ける必要がないため、集積回路の負担が低減する。

（実施の形態 4）

#### 【0052】

本実施の形態では、液晶素子を用いた場合であって、メモリ用の信号線と走査線を有する画素構成について、図 4 を用いて説明する。

#### 【0053】

図 4 には、第 1 の画面用の第 1 の信号線 401 及び第 1 の走査線 411 と、第 2 の画面用の第 2 の信号線 402 及び第 2 の走査線 412 と、第 1 の走査線又は第 2 の走査線を選択する第 1 のメモリ 431 と、第 1 のメモリ用の第 3 の信号線 403 及び第 3 の走査線 413 と、第 1 の信号線と第 1 の走査線とに接続される第 1 のトランジスタ 421 と、第 2 の信号線と第 2 の走査線とに接続される第 2 のトランジスタ 422 と、第 3 の信号線と第 3 の走査線とに接続される第 3 のトランジスタ 423 と、第 1 のメモリと第 1 のトランジスタ及び第 2 のトランジスタとそれぞれ接続される第 4 のトランジスタ 424 及び第 5 のトランジスタ 425 と、第 4 のトランジスタ及び第 5 のトランジスタに接続される液晶素子 432 及び容量 433 とを有する画素を示す。

#### 【0054】

なお、本実施の形態の画素構成は、実施の形態 1 における発光素子が液晶素子 432 及び容量素子 433 となったものであり、動作方法は実施の形態 1 と同様であるため、異なる動作のみ説明する。

#### 【0055】

まず、実施の形態 1 と同様に第 4 のトランジスタ 424 及び第 5 のトランジスタ 425 のいずれかがオンとなる。すると、第 1 のトランジスタ 421 及び第 2 のトランジスタ 422 のうちオンとなったトランジスタに接続されている方から、ビデオ信号が入力され、容量素子 433 に電荷が保持される。この電荷量に基づいて液晶素子の配向が制御され、画素部の表示が行われる。

#### 【0056】

そして、図 1（B）に示した画像圧縮回路により、第 1 の画面及び第 2 の画面のいずれかを圧縮し、マルチウィンドウ表示を行えばよい。

#### 【0057】

本実施の形態の構成により、メモリに複数の画面分のビデオ信号を保存する必要がないため集積回路の負担を軽減することができる。また、互いの画面の位置や大きさに関する映像データを信号処理用のメモリに保存することなく、任意に表示することが可能となる。

（実施の形態 5）

#### 【0058】

本実施の形態では、具体的なメモリ（図 3 においては第 1 のメモリ）を有する画素構成について、図 5 を用いて説明する。そのため図 5 では、第 2 のメモリの記載を省略している。なおメモリとは、データを保持するの機能を奏する最小ユニットのことをいう。

10

20

30

40

50

## 【 0 0 5 9 】

図 5 ( A ) には、極性の異なるトランジスタと、容量とでメモリの機能を奏するユニットを形成している画素構成を示し、図 3 及び図 4 と同様に第 1 の信号線 5 0 1 と、第 1 の走査線 5 1 1 と、第 2 の信号線 5 0 2 と、第 2 の走査線 5 1 2 と、第 3 の信号線 5 0 3 と、第 3 の走査線 5 1 3 と、第 1 のトランジスタ 5 2 1 と、第 2 のトランジスタ 5 2 2 と、第 3 のトランジスタ 5 2 3 と、極性の異なる第 4 のトランジスタ 5 2 4 及び第 5 のトランジスタ 5 2 5 と、第 4 のトランジスタ及び第 5 のトランジスタのゲート電極と配線 5 3 2 とに接続される容量素子 5 3 1 と、第 4 のトランジスタ及び第 5 のトランジスタに接続される表示素子 5 3 3 とを有する画素構成が記載される。

## 【 0 0 6 0 】

そして、第 3 のトランジスタ 5 2 3 がオンとなると、第 3 の信号線 5 0 3 から H i g h 又は L o w の信号が入力される。そして例えば第 4 のトランジスタ 5 2 4 を n チャネル型トランジスタとし、第 5 のトランジスタ 5 2 5 を p チャネル型のトランジスタとすると、第 3 のトランジスタ 5 2 3 から H i g h が出力されるとき、第 4 のトランジスタ 5 2 4 がオンとなる。逆に第 3 のトランジスタから L o w が出力されるとき、第 5 のトランジスタ 5 2 5 がオンとなる。

## 【 0 0 6 1 】

そして第 4 のトランジスタ 5 2 4 又は第 5 のトランジスタ 5 2 5 から電流が供給され、容量素子 5 3 1 に保持される。その後、表示素子 5 3 3 へビデオ信号が供給される。このとき、容量素子 5 3 1 に保持することにより、一定のデータに基づいてトランジスタ 5 2 4、5 2 5 を制御することができる。

## 【 0 0 6 2 】

次に、図 5 ( B ) に示すラッチ回路を有する S R A M を用いてメモリの機能を奏するユニットを形成している画素構成を示す。

## 【 0 0 6 3 】

S R A M 5 3 5 の入力側はトランジスタ 5 2 3 の一方の電極と、トランジスタ 5 2 4 のゲート電極と接続されている。

## 【 0 0 6 4 】

S R A M 5 3 5 は極性の異なるトランジスタを 2 つずつ有しており、例えば 1 つの p チャネル型のトランジスタと 1 つの n チャネル型のトランジスタとが対になり、1 つの S R A M の中に p チャネル型のトランジスタと n チャネル型のトランジスタとの対が 2 組存在することになる。

## 【 0 0 6 5 】

一対になった 2 組のトランジスタは、そのドレイン領域が互いに接続され、そのゲート電極も互いに接続されている。そして互いに一方の対のトランジスタのドレイン領域が、他方の対のトランジスタのゲート電極と同じ電位に保たれている。そして一方の対のトランジスタのドレイン領域は入力信号 ( V i n ) が入力され、他方の対のトランジスタのドレイン領域は出力信号 ( V o u t ) が出力される。すなわち、S R A M は V i n を保持し、V i n を反転させた信号である V o u t を出力するように設計されている。そして、S R A M 5 3 5 の出力側は、トランジスタ 5 2 4 及びトランジスタ 5 2 5 に接続され、出力される V o u t に基づいて、トランジスタ 5 2 4、5 2 5 を制御することができる。

## 【 0 0 6 6 】

また以上のような、S R A M はリフレッシュ動作を必要とせず、メモリ動作のタイミングが容易である。

## 【 0 0 6 7 】

なおメモリは、図 5 に示す以外にも公知の回路を用いても構わない。

## 【 0 0 6 8 】

更に、メモリは複数設けても構わない。特に、画面が 3 以上になるマルチウィンドウ表示を行うときには、メモリを複数設けるほうが好ましい。

## 【 0 0 6 9 】

10

20

30

40

50

例えば図 1 4 に示すように、第 1 の信号線 1 4 0 1 と、第 1 の走査線 1 4 0 4 と、それらに接続されるトランジスタ 1 4 1 1 と、トランジスタ 1 4 1 1 に接続されるトランジスタ 1 4 1 4 と、トランジスタ 1 4 1 4 のゲート電極に接続される容量素子 1 4 2 1 及びトランジスタ 1 4 1 4 のオンオフを制御するトランジスタ 1 4 1 7 と、トランジスタ 1 4 1 7 に接続される信号線 1 4 3 1 及び走査線 1 4 3 4 と、第 2 の信号線 1 4 0 2 と、第 2 の走査線 1 4 0 5 と、それらに接続されるトランジスタ 1 4 1 2 と、トランジスタ 1 4 1 2 に接続されるトランジスタ 1 4 1 5 と、トランジスタ 1 4 1 5 のゲート電極に接続される容量素子 1 4 2 2 及びトランジスタ 1 4 1 5 のオンオフを制御するトランジスタ 1 4 1 8 と、トランジスタ 1 4 1 8 に接続される信号線 1 4 3 2 及び走査線 1 4 3 5 と、第 3 の信号線 1 4 0 3 と、第 3 の走査線 1 4 0 6 と、それらに接続されるトランジスタ 1 4 1 3 と、トランジスタ 1 4 1 3 に接続されるトランジスタ 1 4 1 6 と、トランジスタ 1 4 1 6 のゲート電極に接続される容量素子 1 4 2 3 及びトランジスタ 1 4 1 6 のオンオフを制御するトランジスタ 1 4 1 9 と、トランジスタ 1 4 1 9 に接続される信号線 1 4 3 3 及び走査線 1 4 3 6 と、容量素子 1 4 2 1、1 4 2 2、1 4 2 3 とに接続される電源線 1 4 2 4 と、トランジスタ 1 4 1 4、1 4 1 5、1 4 1 6 とに接続される表示素子 1 4 2 0 とを有する画素構成とすればよい。

10

#### 【0070】

図 1 4 の構成において、メモリの機能を奏するユニットは、トランジスタ 1 4 1 7 及び容量素子 1 4 2 1 を有している。すなわち図 1 4 の構成では、メモリを 3 組有している。

20

#### 【0071】

そして、信号線 1 4 3 1 ~ 1 4 3 3 及び走査線 1 4 3 4 ~ 1 4 3 6 からそれぞれ 1 組が選択され、オンオフを制御するトランジスタ 1 4 1 7 ~ 1 4 1 9 のうちいずれか 1 つがオンとなる。

#### 【0072】

例えば、信号線 1 4 3 1 及び走査線 1 4 3 4 が選択され、トランジスタ 1 4 1 7 がオンとなると、走査線 1 4 0 4 により選択されたトランジスタ 1 4 1 1 を介して信号線 1 4 0 1 からのビデオ信号がトランジスタ 1 4 1 4 に供給され、容量素子 1 4 2 1 に保持される。その後、表示素子 1 4 2 0 へビデオ信号が供給され、それに基づき表示が行われる。また、その他のオンオフを制御するトランジスタ 1 4 1 8、1 4 1 9 等も同様に動作し、選択されたトランジスタ、つまり選択された画面のビデオ信号が表示素子へ供給される。

30

#### 【0073】

このように、メモリを複数（奇数個）設ける場合は、図 1 4 の画素構成を応用すればよい。

#### 【0074】

また、メモリを複数（偶数個）設ける場合は、図 5（A）、（B）に示す画素構成を応用して形成すればよい。

#### 【0075】

以上のように、第 1 の信号線及び第 2 の信号線のいずれかを選択する信号が入力されるメモリを用いることにより、メモリに複数の画面分のビデオ信号を保存する必要がないため集積回路の負担を軽減することができる。

40

（実施の形態 6）

#### 【0076】

本実施の形態では、走査線駆動回路及びその駆動方法について、図 6 に示すタイミングチャートを用いて説明する。

#### 【0077】

図 6（A）に示すように、画素部のうち A 列目から B 列目、G<sub>i</sub> 行目から G<sub>j</sub> 行目に第 2 の画面が設けられている画素構成の場合を説明する。なお、本実施の形態では、第 1 の画面に対して第 2 の画面を縮小する画素構成の場合を説明するが、第 2 の画面に対して第 1 の画面を縮小してもよく、2 つ以上の複数画面を表示するマルチウィンドウ表示に適用することもできる。

50

## 【 0 0 7 8 】

図 6 ( B ) から ( D ) には、図 6 ( A ) に示すマルチウィンドウ表示を行った場合のタイミングチャートを示す。

## 【 0 0 7 9 】

図 6 ( B ) には、走査線が 1 行目から最終行目まで選択されているフレーム期間 ( 単位フレーム期間ともいう ) F 1 と、第 1 の画面へ信号が入力される第 1 の書き込み期間 6 0 1 と、第 2 の画面へ信号が入力される第 2 の書き込み期間 6 0 2 a と、メモリへ信号が入力される第 3 の書き込み期間 6 0 3 と、が記載されている。

## 【 0 0 8 0 】

まず、最初のフレーム期間では、第 3 の走査線の G 1 から G ( 最終行 ) に書き込みが行われる ( 第 3 の書き込み期間 6 0 3 )。その後、第 1 の走査線 G 1 から G ( 最終行 ) に書き込みが行われ ( 第 1 の書き込み期間 6 0 1 )、次いで第 2 の走査線 G 1 から G ( 最終行 ) に書き込みが行われる ( 第 2 の書き込み期間 6 0 2 a )。

10

## 【 0 0 8 1 】

なお、上記第 1 から第 3 の書き込み期間の順序は、どれが先であっても構わない。但し、全画素のメモリに第 1 の画面又は第 2 の画面を表示させるデータを入力する必要があるため、最初のフレーム期間では、第 3 の書き込み期間 6 0 3 に書き込みが行われた後に、第 1 又は第 2 の書き込み期間を設ける必要がある。また、最初のフレーム期間以外では、データをフレーム毎に書き換える必要はないため、全てのフレーム期間に第 1 から第 3 の書き込み期間を設けなくともよい。

20

## 【 0 0 8 2 】

以上のように、走査線駆動回路の動作は、各種走査線毎に独立して動作させることができる。従って、ある行を同時に選択することがあってもよいし、別の行を選択していてもよい。

## 【 0 0 8 3 】

また図 6 ( C ) には、図 6 ( B ) と第 2 の書き込み期間が異なるタイミングチャートを示す。

## 【 0 0 8 4 】

図 6 ( C ) をみると、第 2 の書き込み期間 6 0 2 b は、第 2 の画面を表示する行 ( G i ~ G j ) のみに書き込まれ、更に 1 フレーム期間をかけて書き込みを行っている。

30

## 【 0 0 8 5 】

このように、縮小する画面の走査線の上に、時間をかけて書き込むことによりデータを確実に書き込むことができる。

## 【 0 0 8 6 】

更に図 6 ( D ) に示すように、第 2 の画面において第 2 の走査線の G i から G j のみを選択し、第 1 の書き込み期間及び第 3 の書き込み期間と同様な速度で書き込んでも構わない。

## 【 0 0 8 7 】

このように、縮小する画面の走査線駆動回路において、不要な行への書き込みが行われないため、回路の誤動作を低減することができる。

40

( 実施の形態 7 )

## 【 0 0 8 8 】

本実施の形態では、第 1 の画面又は第 2 の画面の横方向 ( 信号線と垂直方向 ) の圧縮をパネル内で行う画面圧縮回路の具体的な構成及び動作方法を、図 7 を用いて説明する。

## 【 0 0 8 9 】

図 7 ( A ) に示す画面圧縮回路 7 0 3 は、信号線の数に対応した第 1 メモリと、それぞれの第 1 のメモリに接続される第 1 のスイッチ S W 1 と、それらの S W 1 を制御する第 1 の制御回路 7 0 1 と、第 2 のメモリと、それぞれの第 2 のメモリに接続される第 2 のスイッチ S W 2 と、それらの S W 2 を制御する第 2 の制御回路 7 0 2 とを有する。

## 【 0 0 9 0 】

50

まず、第1のメモリに圧縮前の1行分の映像データを保存する。これを、縮小する画面サイズに合わせて圧縮し、第2のメモリに入力する。つまり、第1の制御回路701及び第2の制御回路702により第1のスイッチSW1と、第2のスイッチSW2とをオンするタイミングを合わせればよい。そして、実施の形態5で示したように、走査線駆動回路により、縮小する画面の表示位置（具体的には行と列）を合わせればよい。

【0091】

例として、第2の画面を第2列目から表示させて、画面サイズを1/3に縮小する場合について、図7(B)に示すタイミングチャートを参照して説明する。

【0092】

図7(B)は、第2の制御回路702による、1列目から6列目までの第2のメモリを選択するため、スイッチにHighの信号が入力されるタイミングと、第1の制御回路701による1列目から10列目までの第1のメモリのいずれかにHighの信号が入力されるタイミングとが記載されている。なお、7行目以降の第2のメモリや11列目以降の第1のメモリも、同様に信号が入力される。

【0093】

まず、第2のメモリの選択スイッチを順次選択していく。このとき第2の画面は2列目から表示を行うため、第2のメモリの1列目に同期した第1のメモリにHighの信号は入力されない。すなわち、第2のメモリの1列目には、画像を表示させないので、どのようなデータが入力されていてもよい。

【0094】

次に、第2のメモリの2列目に同期して、第1のメモリの1列目にHighの信号が入力される。そして、第1のメモリの1列目のデータが第2のメモリの2列目に転送（入力）される。なおこのとき、1列目から3列目の第1のメモリのうち、いずれか1つのデータを第2のメモリの2列目に転送すればよく、更にはそれらの平均値を転送すると好ましい。

【0095】

次に、第2のメモリの3列目に同期して、第1のメモリの4列目にHighの信号が入力される。そして、第1のメモリの4列目のデータが第2のメモリの3列目に転送（入力）される。なおこのとき、4列目から6列目の第1のメモリのうち、いずれか1つのデータを第2のメモリの3列目に転送すればよく、更にはそれらの平均値を転送すると好ましい。

【0096】

次に、第2のメモリの4列目に同期して、第1のメモリの7列目にHighの信号が入力される。そして、第1のメモリの7列目のデータが第2のメモリの4列目に転送（入力）される。なおこのとき、7列目から9列目の第1のメモリのうち、いずれか1つのデータを第2のメモリの4列目に転送すればよく、更にはそれらの平均値を転送すると好ましい。

【0097】

次に、第2のメモリの5列目に同期して、第1のメモリの10列目にHighの信号が入力される。そして、第1のメモリの10列目のデータが第2のメモリの5列目に転送（入力）される。なおこのとき、10列目から12列目の第1のメモリのうち、いずれか1つのデータを第2のメモリの5列目に転送すればよく、更にはそれらの平均値を転送すると好ましい。

【0098】

以下、同様に全列において、選択された第1のメモリを第2のメモリへ転送する。その後、第2のメモリの映像データを第2の画面用の信号線へ入力すると表示が行われる。

【0099】

このように画面圧縮回路を動作させることにより、画像を横方向に圧縮又は間引くことができる。なお、圧縮するとは第1のメモリの平均値を第2のメモリへ入力することであり、間引くとは選択された第1のメモリの1つを第2のメモリへ入力することである。な

お、第 1 の制御回路及び第 2 の制御回路は、図 7 ( B ) のような波形を出力する回路であればよく、例えばシフトレジスタ回路やデコーダ回路を用いればよい。

【 0 1 0 0 】

なお、第 1 のメモリの波形 ( タイミング ) を変えることにより、縮小する画面の表示位置やサイズを自由に設定することができる。そのため、縮小する画面の形状を矩形だけでなく、三角形状や丸形状といった任意の形状とすることができる。

【 0 1 0 1 】

また、縦方向の画像を圧縮又は間引く場合でも、同様に必要な行のデータのみを画素へ書き込むようにすればよい。

【 0 1 0 2 】

以上のような画像圧縮回路により、互いの画面の位置や大きさに関する映像データを信号処理用のメモリに保存することなく、任意にマルチウィンドウ表示を行うことが可能となる。

( 実施の形態 8 )

【 0 1 0 3 】

本実施の形態では、2画面表示を行い、表示素子として発光素子を用いた場合の画素構成を、図 8 を用いて説明する。なお画素構成においてトランジスタのソース電極及びドレイン電極は、電流の流れる向きで決まり、どちらかに限定されるものではないため、本実施の形態では第 1 の電極及び第 2 の電極と示す。

【 0 1 0 4 】

図 8 ( A ) の画素は、第 1 画面用の信号線 9 0 1 及び走査線 9 0 4 とそれらに接続されたスイッチ 9 1 2 と、第 2 画面用の信号線 9 0 2 及び走査線 9 0 5 とそれらに接続されたスイッチ 9 1 1 と、メモリ 9 2 0 と、メモリにそれぞれ接続されたスイッチ 9 1 3、9 1 4 と、電源線 9 2 1 と、保持用のトランジスタ 9 3 1 と、駆動用のトランジスタ 9 3 2 と、変換駆動用のトランジスタ 9 3 3 と、容量素子 9 3 4 と、発光素子 9 3 5 とを有する。

【 0 1 0 5 】

そして、トランジスタ 9 3 1 のゲート電極は、走査線 9 0 6 に接続され、第 1 の電極はスイッチ 9 1 3 及び 9 1 4 と、トランジスタ 9 3 2 の第 1 の電極と接続され、第 2 の電極はトランジスタ 9 3 3 のゲート電極及びトランジスタ 9 3 2 のゲート電極に接続されている。トランジスタ 9 3 2 の第 2 の電極は、電源線 9 2 1 に接続され、トランジスタ 9 3 3 の第 2 の電極は、発光素子 9 3 5 の一方の電極に接続されている。容量素子 9 3 4 は、トランジスタ 9 3 3 のゲート電極と第 2 の電極との間に接続され、トランジスタ 9 3 3 のゲート・ソース間電圧を保持する。電源線 9 2 1 及び発光素子 9 3 5 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

【 0 1 0 6 】

まず、全画素のメモリに第 1 の画面及び第 2 の画面のいずれかを表示する信号が入力される。その信号に基づいてスイッチ 9 1 4 又は 9 1 3 が選択され、選択されたスイッチに接続される信号線からビデオ信号として所定の電流が入力される。そして走査線 9 0 6 に接続されるトランジスタ 9 3 1 がオンとなると、トランジスタ 9 3 2 に電流が流れ始め、容量素子 9 3 4 に電荷が蓄積される。その後、一定に保たれた電流がトランジスタ 9 3 3 を介して発光素子に供給され、それに基づいてマルチウィンドウ表示が行われる。

【 0 1 0 7 】

また図 8 ( B ) の画素は、図 8 ( A ) と異なる構成のみを説明し、また同一の構成には同一の符号を付す。

【 0 1 0 8 】

図 8 ( B ) の画素は、第 1 画面用の信号線 9 0 1 及び走査線 9 0 4 とそれらに接続されたスイッチ 9 1 2 と、第 2 画面用の信号線 9 0 2 及び走査線 9 0 5 とそれらに接続されたスイッチ 9 1 1 と、メモリ 9 2 0 と、メモリにそれぞれ接続されたスイッチ 9 1 3、9 1 4 と、電源線 9 2 1 と、保持用のトランジスタ 9 4 1 と、駆動用のトランジスタ 9 4 2 と、変換駆動用のトランジスタ 9 4 3 と、容量素子 9 4 4 と、発光素子 9 4 5 とを有する。

10

20

30

40

50

## 【0109】

トランジスタ941ゲート電極は、走査線906に接続され、第1の電極はトランジスタ943の第1の電極に接続され、第2の電極はトランジスタ942のゲート電極とに接続されている。第4トランジスタ942の第2の電極は、電源線921に接続され、第3トランジスタ943の第2の電極は、発光素子945の一方の電極に接続されている。容量素子944は、第4トランジスタ942のゲート電極と第2の電極との間に接続され、第4トランジスタ942のゲート・ソース間電圧を保持する。電源線921及び発光素子945の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

## 【0110】

まず、全画素のメモリに第1の画面及び第2の画面のいずれかを表示する信号が入力される。その信号に基づいてスイッチ914又は913が選択され、選択されたスイッチに接続される信号線からビデオ信号が入力される。そして走査線906に接続されるトランジスタ941がオンとなると、トランジスタ942に電流が流れ始め、容量素子944に電荷が蓄積される。その後、一定に保持された電流がトランジスタ943を介して発光素子に供給され、それに基づいてマルチウィンドウ表示が行われる。

10

## 【0111】

このような画素構成により、集積回路に搭載されたメモリに複数の画面分のビデオ信号を保存する必要がなく、集積回路の負担を軽減することができる。また、互いの画面の位置や大きさに関する映像データを、信号処理用のメモリに保存することなく、任意に表示することが可能となる。

20

## 【0112】

また、画素構成は配置された信号線、走査線及びトランジスタによる開口率低下の影響を受けないため、トランジスタが設けられた基板と反対側へ発光する上面出射型の発光表示装置を用いるとよい。

## 【0113】

また、このような画素構成はトランジスタのバラツキを低減することが可能である。その結果、表示ムラがなく、より高精度なマルチウィンドウ表示を行うことができる。

## 【0114】

画素構成は図8(A)、(B)に示すように、第1画面用の信号線901、第2画面用の信号線902にビデオ信号として電流で入力する構成に限定されるものではなく、各信号線にビデオ信号として電圧で入力してもよい。

30

## 【0115】

図15には各信号線にビデオ信号として電圧が入力される画素構成を示す。図15は、図3(B)に示す画素構成と異なり、電流源333に相当する電流源を設けず、スイッチ337に相当するpチャネル型のトランジスタ338が設けられ、発光素子334に接続されている。

## 【0116】

図3(B)と同様に、この画素が第1の画面及び第2の画面のどちらを表示するかの信号が、メモリ用の信号線303から第1のメモリ331へ入力される。このとき第3の走査線313が選択され、トランジスタ323がオンとなっている。

40

## 【0117】

そして、第1のメモリ331に基づき、第1画面用の信号線301、又は第2画面用の信号線302にはビデオ信号として電圧が入力される。ビデオ信号に基づきトランジスタ321、322がオン、又はオフとなり、オンとなったトランジスタに接続されているトランジスタ324又は325から、ビデオ信号が第2のメモリ332に入力される。

## 【0118】

第2のメモリ332により、トランジスタ338がオン、又はオフとなり、オンとなったとき発光素子334が発光する。

## 【0119】

さらにトランジスタのしきい値電圧のバラツキを補正する補正回路を備えた画素構成で

50

もよい。

【0120】

本実施の形態、及びその他の実施の形態における多階調表示方法としてアナログ階調、及びデジタル階調のいずれかを用いることができる。また時間階調表示や面積階調表示を組み合わせてもよい。

【実施例】

【0121】

(実施例1)

発光素子又は液晶素子を有するマルチウィンドウ表示装置を備えた電子機器として、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されているため、発光素子を有するマルチウィンドウ表示装置を用いることが望ましい。それら電子機器の具体例を図12に示す。

10

【0122】

図12(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。マルチウィンドウ表示装置は表示部2003に用いることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。

20

【0123】

図12(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。マルチウィンドウ表示装置は表示部2102に用いることができる。

【0124】

図12(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。マルチウィンドウ表示装置は表示部2203に用いることができる。

30

【0125】

図12(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。マルチウィンドウ表示装置は表示部2302に用いることができる。

【0126】

図12(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、マルチウィンドウ表示装置は表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

40

【0127】

図12(F)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。マルチウィンドウ表示装置は表示部2602に用いることができる。

【0128】

ここで図12(G)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート270

50

7、アンテナ2708等を含む。マルチウィンドウ表示装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0129】

なお、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターにマルチウィンドウ表示装置用いることも可能となる。

【0130】

以上の様に、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態1から7に示したいずれの構成の画素構造や信号線駆動回路を用いることができる。

10

(実施例2)

【0131】

実施例1において示した発光素子を有する電子機器には、発光素子が封止された状態にあるパネルに、コントローラ、電源回路等を含むICが実装された状態にあるモジュールが搭載されている。モジュールとパネルは、共に表示装置の一形態に相当する。本実施例では、モジュールの具体的な構成について説明する。

【0132】

図9(A)に、コントローラ801及び電源回路802がパネル800に実装されたモジュールの外観図を示す。パネル800には、発光素子が各画素に設けられた画素部803と、前記画素部803が有する表示素子(画素)を選択する走査線駆動回路部と、選択された画素にビデオ信号を供給する信号線駆動回路部とが設けられている。なお、信号線駆動回路部は第1の画面用の第1の信号線駆動回路805と、第2の画面用の信号線駆動回路892とを有し、走査線駆動回路部は第1の画面用の第1の走査線駆動回路804と、第2の画面用の第2の走査線駆動回路891とを有する。更に画面を圧縮する画面圧縮回路890が設けられている。

20

【0133】

またプリント基板806にはコントローラ801、電源回路802が設けられており、コントローラ801または電源回路802から出力された各種信号及び電源電圧は、FPC807を介してパネル800の画素部803、走査線駆動回路804、信号線駆動回路805に供給される。

30

【0134】

プリント基板806への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース(I/F)部808を介して供給される。このI/F部はマルチウィンドウ画面数に応じて設ける必要があるが、本実施例では1つのI/F部の動作について説明する。

【0135】

なお、本実施例ではパネル800にプリント基板806がFPCを用いて実装されているが、必ずしもこの構成に限定されない。COG(Chip on Glass)方式を用い、コントローラ801、電源回路802をパネル800に直接実装させるようにしても良い。

【0136】

また、プリント基板806において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板806にコンデンサ、パッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐようにしても良い。

40

【0137】

図9(B)に、プリント基板806の構成をブロック図で示す。インターフェース808に供給された各種信号と電源電圧は、コントローラ801と、電源電圧802に供給される。

【0138】

コントローラ801は、A/Dコンバータ809と、位相ロックドロープ(PLL: Phase

50

Locked Loop) 810と、制御信号生成部811と、を有している。また、デジタル駆動を行う場合にはSRAM(Static Random Access Memory)を設ける。なお、SRAMの代わりに、SDRAMや、高速でデータの書き込みや読み出しが可能であるならばDRAM(Dynamic Random Access Memory)も用いることが可能である。

【0139】

インターフェース808を介して供給されたビデオ信号は、A/Dコンバータ809においてパラレル-シリアル変換され、R、G、Bの各色に対応するビデオ信号として制御信号生成部811に入力される。また、インターフェース808を介して供給された各種信号をもとに、A/Dコンバータ809においてHsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)が生成され、制御信号生成部811に入力される 10

【0140】

位相ロックドループ810では、インターフェース808を介して供給される各種信号の周波数と、制御信号生成部811の動作周波数の位相とを合わせる機能を有している。制御信号生成部811の動作周波数は、インターフェース808を介して供給された各種信号の周波数と必ずしも同じではないが、互いに同期するように制御信号生成部811の動作周波数を位相ロックドループ810において調整する。

【0141】

なお、デジタル駆動を行う場合は、制御信号生成部811に入力されたビデオ信号は、一旦SRAMに書き込まれ、保持される。制御信号生成部811では、SRAMに保持されている全ビットのビデオ信号のうち、全画素に対応するビデオ信号を1ビット分ずつ読み出し、パネル800の信号線駆動回路805に供給する。 20

【0142】

また制御信号生成部811では、各ビットの、発光素子が発光する期間に関する情報を、パネル800の走査線駆動回路804に供給する。

【0143】

また電源回路802は所定の電源電圧を、パネル800の信号線駆動回路805、走査線駆動回路804及び画素部803に供給する。

【0144】

次に電源回路802の詳しい構成について、図10を用いて説明する。本実施例の電源回路802は、4つのスイッチングレギュレータコントロール860を用いたスイッチングレギュレータ854と、シリーズレギュレータ855とからなる。 30

【0145】

一般的にスイッチングレギュレータは、シリーズレギュレータに比べて小型、軽量であり、降圧だけでなく昇圧や正負反転することも可能である。一方シリーズレギュレータは、降圧のみに用いられるが、スイッチングレギュレータに比べて出力電圧の精度は良く、リップルやノイズはほとんど発生しない。本実施例の電源回路802では、両者を組み合わせて用いる。

【0146】

図10に示すスイッチングレギュレータ854は、スイッチングレギュレータコントロール(SWR)860と、アテニュエ이터(減衰器:ATT)861と、トランス(T)862と、インダクター(L)863と、基準電源(Vref)864と、発振回路(OSC)865、ダイオード866と、バイポーラトランジスタ867と、可変抵抗868と、容量869とを有している。 40

【0147】

外部からの電源供給としてLiイオン電池(3.6V)等の電圧が変換されることで、陰極に与えられる電源電圧と、スイッチングレギュレータ855に供給される電源電圧が生成される。

【0148】

またシリーズレギュレータ855は、バンドギャップ回路(BG)870と、アンプ871と、オペアンプ872と、電流源873と、可変抵抗874と、バイポーラトランジ 50

スタ 875 とを有し、スイッチングレギュレータ 854 において生成された電源電圧が供給されている。

【0149】

シリーズレギュレータ 855 では、スイッチングレギュレータ 854 において生成された電源電圧を用い、バンドギャップ回路 870 において生成された一定の電圧に基づいて、各色の発光素子の陽極に電流を供給するための配線（電流供給線）に与える直流の電源電圧を、生成する。

【0150】

なお電流源 873 は、ビデオ信号の電流が画素に書き込まれる駆動方式の場合に用いる。この場合、電流源 873 において生成された電流は、パネル 800 の信号線駆動回路 805 に供給される。なお、ビデオ信号の電圧が画素に書き込まれる駆動方式の場合には、電流源 873 は必ずしも設ける必要はない。

10

【図面の簡単な説明】

【0151】

【図 1】本発明の表示装置の画素構成を示す図。

【図 2】本発明の表示装置を示す図。

【図 3】本発明の表示装置の画素構成を示す図。

【図 4】本発明の表示装置の画素構成を示す図。

【図 5】本発明の表示装置の画素構成を示す図。

【図 6】本発明の表示装置の駆動方法を示す図。

20

【図 7】本発明の画面圧縮回路を示す図。

【図 8】本発明の表示装置の画素構成を示す図。

【図 9】本発明の表示装置の全体を示す図。

【図 10】本発明の電源回路を示す図。

【図 11】従来の表示装置を示す図。

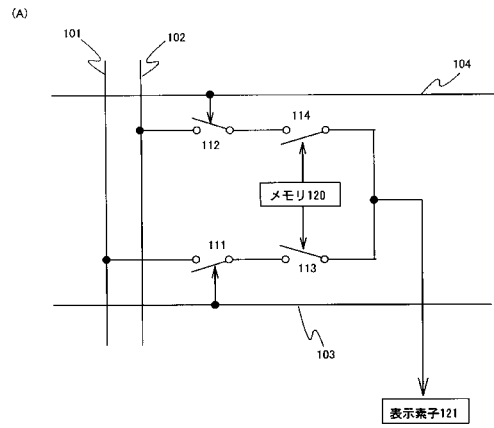
【図 12】本発明の表示装置を用いた電子機器を示す図。

【図 13】本発明の表示装置の画素構成を示す図。

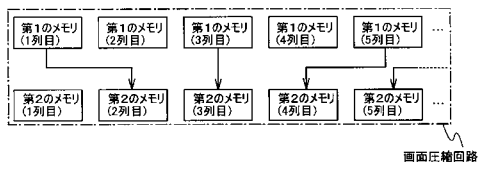
【図 14】本発明の表示装置の画素構成を示す図。

【図 15】本発明の表示装置の画素構成を示す図。

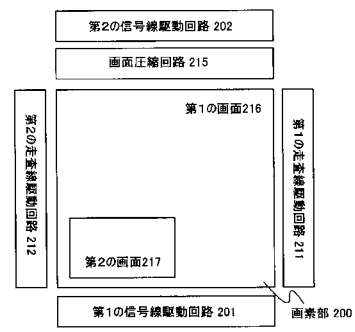
【図 1】



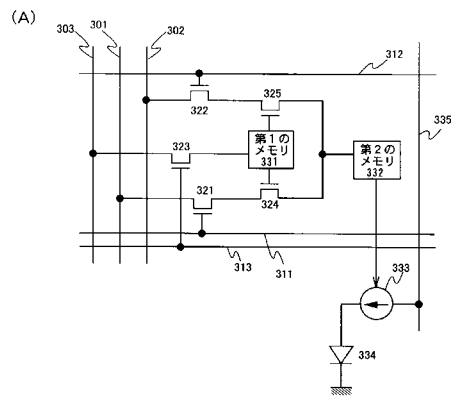
(B)



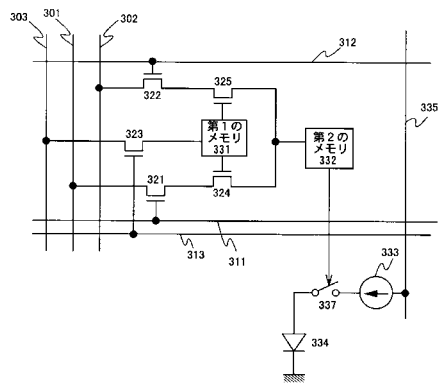
【図 2】



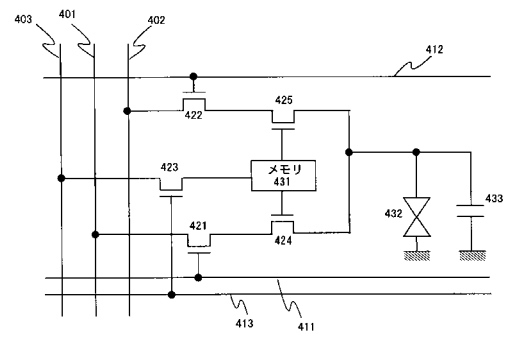
【図 3】



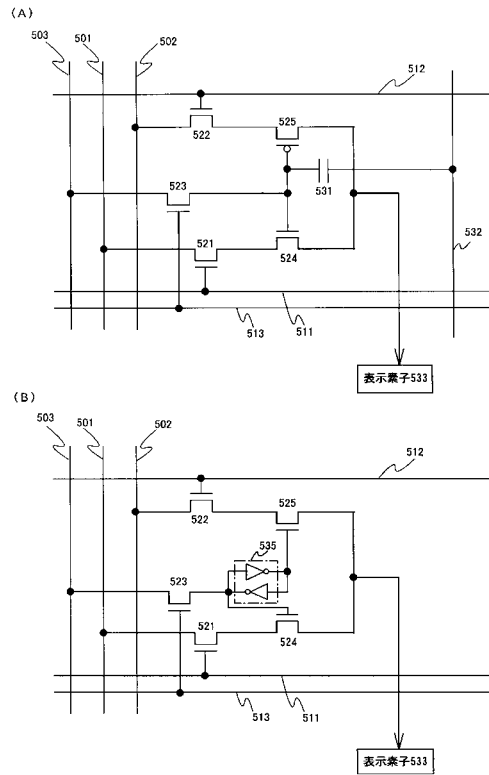
(B)



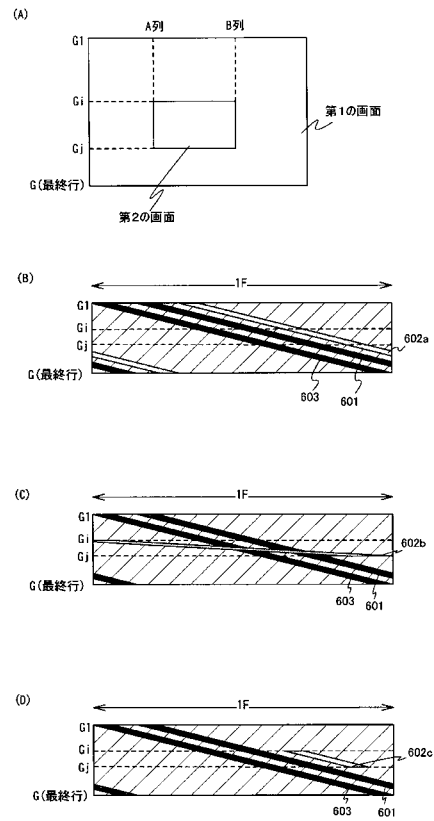
【図 4】



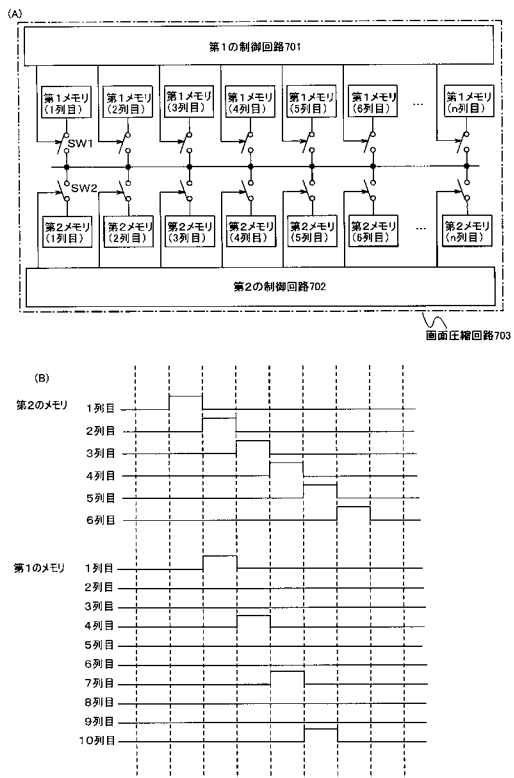
【図5】



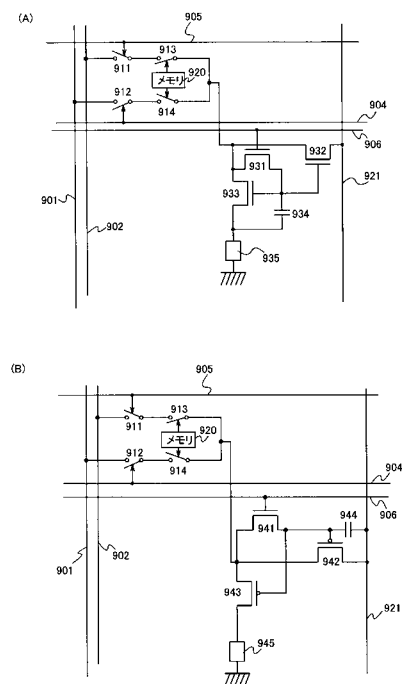
【図6】



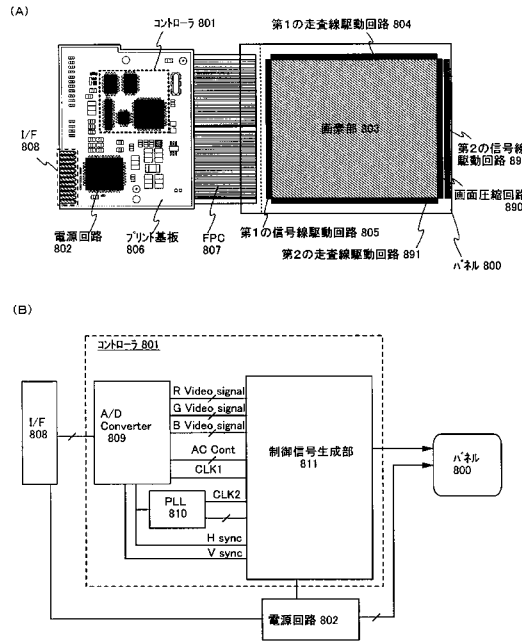
【図7】



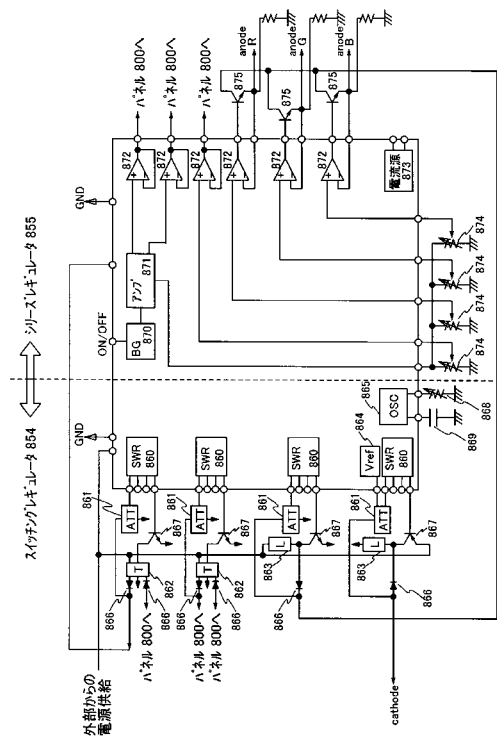
【図8】



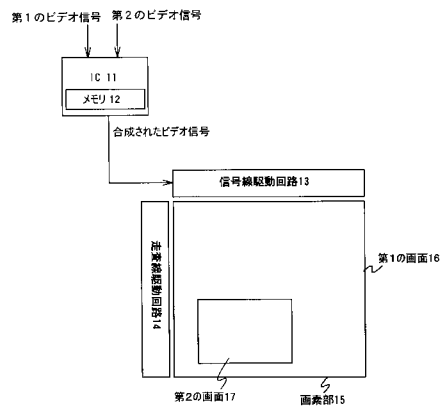
【図 9】



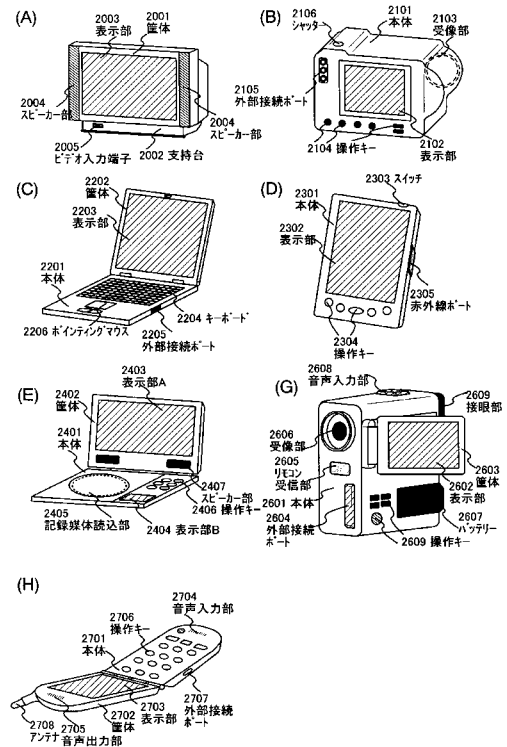
【図 10】



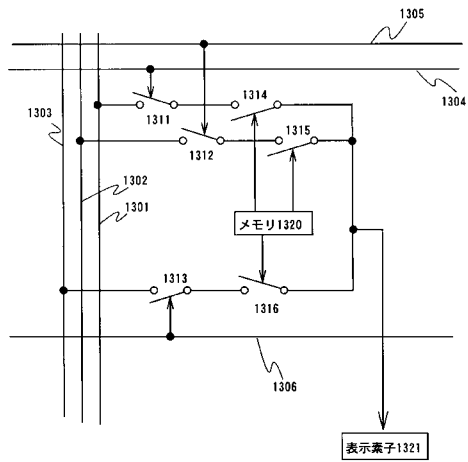
【図 11】



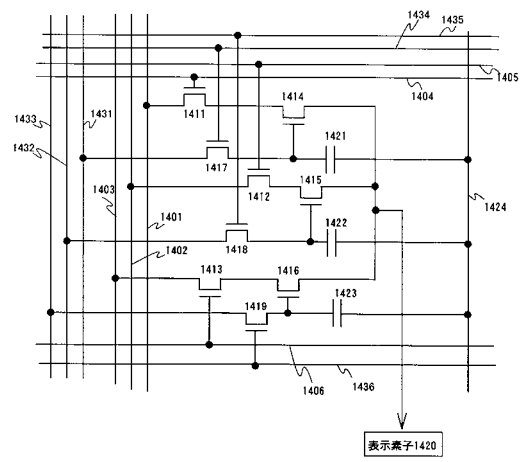
【図 12】



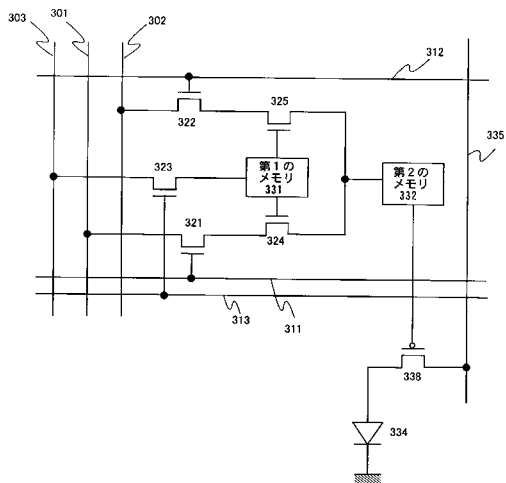
【図 13】



【図 14】



【図 15】



---

 フロントページの続き

|                          |               |            |
|--------------------------|---------------|------------|
| (51)Int.Cl. <sup>7</sup> | F I           | テーマコード(参考) |
| H 0 5 B 33/14            | G 0 9 G 3/20  | 6 6 0 E    |
|                          | G 0 9 G 3/20  | 6 6 0 K    |
|                          | G 0 9 G 3/30  | J          |
|                          | G 0 9 G 5/14  | E          |
|                          | H 0 5 B 33/14 | A          |

|           |       |      |      |      |      |      |      |      |      |      |      |
|-----------|-------|------|------|------|------|------|------|------|------|------|------|
| F ターム(参考) | 5C080 | AA06 | AA08 | AA10 | AA17 | BB05 | CC07 | DD24 | DD25 | EE21 | EE22 |
|           |       | EE32 | FF11 | GG12 | JJ01 | JJ02 | JJ03 | JJ04 | JJ06 | KK07 | KK43 |
|           |       | KK47 |      |      |      |      |      |      |      |      |      |
|           | 5C082 | BA12 | BA27 | BB25 | BD02 | CA40 | CA63 | CB01 | DA61 | EA08 | MM02 |

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 公开(公告)号        | <a href="#">JP2004094231A5</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 公开(公告)日 | 2006-08-17 |
| 申请号            | JP2003286317                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | 申请日     | 2003-08-04 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 申请(专利权)人(译)    | 半导体能源研究所有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| [标]发明人         | 木村肇<br>山崎舜平                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 发明人            | 木村 肇<br>山崎 舜平                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| IPC分类号         | G09G3/36 G02F1/133 G09G3/20 G09G3/30 G09G5/14 H01L51/50 H05B33/14                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| FI分类号          | G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.621.M G09G3/20.624.B G09G3/20.660.E G09G3/20.660.K G09G3/30.J G09G5/14.E H05B33/14.A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| F-TERM分类号      | 2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC15 2H093/NC23 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND31 2H093/ND60 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 5C006/AB01 5C006/AF38 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BF01 5C006/BF04 5C006/BF24 5C006/BF34 5C006/EB05 5C006/FA03 5C080/AA06 5C080/AA08 5C080/AA10 5C080/AA17 5C080/BB05 5C080/CC07 5C080/DD24 5C080/DD25 5C080/EE21 5C080/EE22 5C080/EE32 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK43 5C080/KK47 5C082/BA12 5C082/BA27 5C082/BB25 5C082/BD02 5C082/CA40 5C082/CA63 5C082/CB01 5C082/DA61 5C082/EA08 5C082/MM02 2H193/ZA04 2H193/ZA19 2H193/ZD23 2H193/ZF24 3K107/AA01 3K107/BB01 3K107/CC41 3K107/DD39 3K107/EE03 3K107/HH01 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB09 5C380/AB11 5C380/AB18 5C380/AB19 5C380/AB22 5C380/AB23 5C380/AB25 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA08 5C380/BA15 5C380/BA19 5C380/BA20 5C380/BA32 5C380/BA38 5C380/BA39 5C380/BB05 5C380/BB15 5C380/CA12 5C380/CA13 5C380/CA14 5C380/CA48 5C380/CA57 5C380/CB08 5C380/CB09 5C380/CB26 5C380/CB29 5C380/CB31 5C380/CC23 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC34 5C380/CC61 5C380/CE02 5C380/CE03 5C380/CE04 5C380/CE20 5C380/CE21 5C380/CF07 5C380/CF09 5C380/CF23 5C380/CF27 5C380/CF41 5C380/CF42 5C380/CF43 5C380/CF45 5C380/CF46 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF58 5C380/CF60 5C380/CF64 5C380/DA02 5C380/DA21 5C380/DA23 5C380/DA27 5C380/DA32 5C380/DA33 5C380/DA43 5C380/DA56 5C380/EA15 |         |            |
| 优先权            | 2002232775 2002-08-09 JP                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 其他公开文献         | JP4503250B2<br>JP2004094231A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |

#### 摘要(译)

常规的多窗口显示，预先多个画面数据的要被输入到所述显示，信号处理，以本身进行的视频信号，将处理后的视频信号被输入到所述显示，进行显示只有一个。因此，用于多个屏幕的视频信号存储在存储器中，使得用于信号处理的电路（例如IC）变得复杂。  
 解决方案：本发明的特征在于像素结构，其中布置了用于多个屏幕的信号线，选择了一条信号线并且将视频信号提供给显示元件。例如，当显示两个屏幕时，排列用于输入第一屏幕和第二屏幕的视频信号的两条信号线，选择一条信号线，并选择所选择的信号线窗口显示设备，其将视频信号从信号线提供给显示元件。 点域1

