

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-21087

(P2004-21087A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int.Cl.⁷

G02F 1/1343

G02F 1/1368

F I

G02F 1/1343

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号

特願2002-178436 (P2002-178436)

(22) 出願日

平成14年6月19日 (2002.6.19)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 合田 貴博

千葉県茂原市早野3300番地 株式会社

日立製作所ディスプレイグループ内

(72) 発明者 扇一 公俊

千葉県茂原市早野3300番地 株式会社

日立製作所ディスプレイグループ内

Fターム(参考) 2H092 GA13 GA15 GA17 JA24 JA40

JB05 JB06 JB24 JB64 JB66

JB73 JB75 NA29

(54) 【発明の名称】 液晶表示装置およびその製造方法

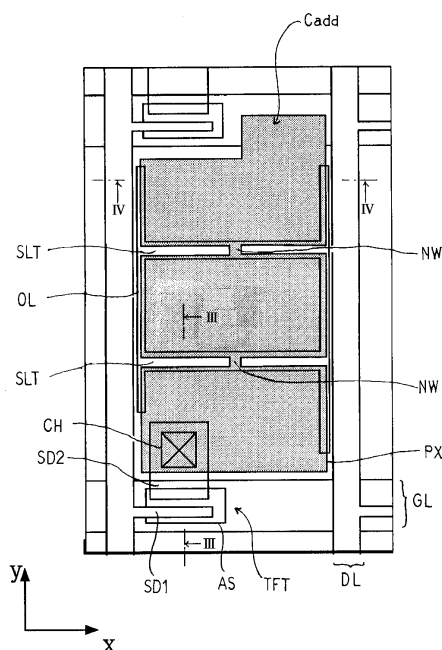
(57) 【要約】

【課題】輝線欠陥を生じさせることなく、黒点化あるいは最小限の輝点欠陥で抑える。

【解決手段】液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、これら各信号線に囲まれた画素領域に、ゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを有し、この画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、複数の分割された画素領域のそれぞれの領域における画素電極は隣接する領域の画素電極と狭隙部を介して互いに接続されている画素を含む。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、ゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを有し、

この画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

複数の分割された画素領域のそれぞれの領域における画素電極は隣接する領域の画素電極と狭隘部を介して互いに接続されている画素を含むことを特徴とする液晶表示装置。

【請求項 2】

液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極と他方のゲート信号線との間に形成される容量素子とを有する画素が形成され、

前記画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域は少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含んだ各領域に複数の分割され、

これら分割された各領域における画素電極は隣接する領域の画素電極と狭隘部を介して互いに接続されている画素を含むことを特徴とする液晶表示装置。

【請求項 3】

狭隘部はそれによって接続される材料とは異なる材料で形成されていることを特徴とする請求項 1、2 のうちいずれに記載の液晶表示装置。

【請求項 4】

液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極の延在部が他方のゲート信号線と絶縁膜を介して重畳されることにより形成される容量素子とを有し、

この画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域を少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含む 3 つの各領域に区分けし、

前記スイッチング素子側の領域に異物の存在があった場合に、該スイッチング素子側の領域に形成された画素電極と隣接する領域の画素電極とを分断するとともに、他方のゲート信号線との重畳する前記延在部と該他方のゲート信号線との短絡を行なうことを特徴とする液晶表示装置の製造方法。

【請求項 5】

液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数の

ゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極の延在部が他方のゲート信号線と絶縁膜を介して重畳されることにより形成される容量素子とを有する画素が形成され、

前記画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域は少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含む 10
3つの領域に区分けし、

前記スイッチング素子側の領域および前記容量素子側の領域以外の他の領域に異物の存在があった場合に、該他の領域に形成された画素電極と隣接する領域の各画素電極とを分断するとともに、他方のゲート信号線との重畳する前記延在部と該他方のゲート信号線との短絡を行なうことを特徴とする液晶表示装置の製造方法。

【請求項6】

液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作 20
されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極の延在部が他方のゲート信号線と絶縁膜を介して重畳されることにより形成される容量素子とを有する画素が形成され、

前記画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域は少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含む 3つの領域に区分けし、

前記容量素子側の領域に異物の存在があった場合に、該容量素子側の領域に形成された画 30
素電極と隣接する領域の画素電極とを分断することを特徴とする液晶表示装置の製造方法

。

【請求項7】

液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、ゲート信号線からの走査信号によって動作される 40
スイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを有し、

この画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成 40
され、

各画素領域の前記対向電極は隣接する他の画素領域の対向電極と狭隘部を介して互いに接続されている画素を含むことを特徴とする液晶表示装置。

【請求項8】

狭隘部はそれによって接続される材料とは異なる材料で形成されていることを特徴とする請求項7に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置およびその製造方法に係り、特にアクティブ・マトリクス型の液晶 50

表示装置およびその製造方法に関する。

【0002】

【従来の技術】

この種の液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各信号線に交差して並設された複数のドレイン信号線とで囲まれた各領域を画素領域としている。

これら各画素領域には、ゲート信号線からの走査信号の供給によって動作するスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを備えている。

この画素電極は他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を発生させ、この電界によって液晶の光透過率を変化させるようにしている。 10

【0003】

また、該画素電極は、その一部が前記スイッチング素子を駆動させる前記ゲート信号線と隣接する他のゲート信号線と絶縁膜を介して重畳されて該ゲート信号線との間に容量素子を形成している。

この容量素子は、前記画素電極に映像信号が供給された際に映像信号を比較的長く蓄積させるためのものである。

そして、これら信号線、スイッチング素子、および電極等は、周知のフォトリソグラフィ技術による選択エッチングによって所定パターンに形成された金属層、半導体層、および絶縁層等の積層構造で形成されている。 20

【0004】

【発明が解決しようとする課題】

しかしながら、このように構成された液晶表示装置は、たとえば断線等の原因である画素が常に白表示されるいわゆる輝点欠陥が生じる場合がある。

この場合、その欠陥が生じている画素の容量素子の画素電極に一体に形成される一方の電極を絶縁膜を介して重ねられている他方の電極であるゲート信号線にショートさせることにより、いわゆる黒点化させるようにしている。

液晶表示部における画素の黒点化は輝点よりも目立たなくすることができるからである。

【0005】

しかし、この場合において該欠陥が生じている画素領域に異物が残存しており、この異物によって画素電極と対向電極との間に電氣的な短絡が生じている場合、交流駆動する対向電極と画素電極との間の電位差がほぼ0となる状態が発生し、該欠陥が生じている画素を含んだ前記ゲート信号線に沿って配列される全ての画素が白表示されいわゆる輝線欠陥が生じる場合があった。 30

【0006】

本発明は、このような事情に基づいてなされたものであり、その目的は上記輝線欠陥を生じさせることなく、黒点化あるいは最小限の輝点欠陥で抑えるようにした液晶表示装置およびその製造方法を提供するものである。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。 40

【0008】

手段1.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、ゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを有し、 50

この画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

複数の分割された画素領域のそれぞれの領域における画素電極は隣接する領域の画素電極と狭隘部を介して互いに接続されている画素を含むことを特徴とするものである。

【0009】

手段2.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

10

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極と他方のゲート信号線との間に形成される容量素子とを有する画素が形成され、

前記画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域は少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含んだ各領域に複数の分割され、

これら分割された各領域における画素電極は隣接する領域の画素電極と狭隘部を介して互いに接続されている画素を含むことを特徴とするものである。

20

【0010】

手段3.

本発明による液晶表示装置は、たとえば、手段1、2のうちいずれかの構成を前提とし、前記狭隘部はそれによって接続される材料とは異なる材料で形成されていることを特徴とするものである。

【0011】

手段4.

本発明による液晶表示装置の製造方法は、たとえば、液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

30

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極の延在部が他方のゲート信号線と絶縁膜を介して重畳されることにより形成される容量素子とを有し、

この画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域を少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含む3つの各領域に区分けし、

40

前記スイッチング素子側の領域に異物の存在があった場合に、該スイッチング素子側の領域に形成された画素電極と隣接する領域の画素電極とを分断するとともに、他方のゲート信号線との重畳する前記延在部と該他方のゲート信号線との短絡を行なうことを特徴とするものである。

【0012】

手段5.

本発明による液晶表示装置の製造方法は、たとえば、液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作

50

されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極の延在部が他方のゲート信号線と絶縁膜を介して重畳されることにより形成される容量素子とを有する画素が形成され、
前記画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域は少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含む3つの領域に区分けし、

前記スイッチング素子側の領域および前記容量素子側の領域以外の他の領域に異物の存在があった場合に、該他の領域に形成された画素電極と隣接する領域の各画素電極とを分断するとともに、他方のゲート信号線との重畳する前記延在部と該他方のゲート信号線との短絡を行なうことを特徴とするものである。 10

【0013】

手段6.

本発明による液晶表示装置の製造方法は、たとえば、液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、一方のゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極の延在部が他方のゲート信号線と絶縁膜を介して重畳されることにより形成される容量素子とを有する画素が形成され、 20

前記画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

前記画素領域は少なくとも前記スイッチング素子側の領域と前記容量素子側の領域を含む3つの領域に区分けし、

前記容量素子側の領域に異物の存在があった場合に、該容量素子側の領域に形成された画素電極と隣接する領域の画素電極とを分断することを特徴とするものである。

【0014】

手段7.

本発明による液晶表示装置は、たとえば、液晶を介して対向配置された各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれら各ゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線に囲まれた画素領域に、ゲート信号線からの走査信号によって動作されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを有し、

この画素電極は画素領域のほぼ全域にわたって形成されているとともに、他方の基板の液晶側の面の各画素領域に共通に形成された対向電極との間に電界を生じせしめるように構成され、

各画素領域の前記対向電極は隣接する他の画素領域の対向電極と狭隘部を介して互いに接続されている画素を含むことを特徴とするものである。 40

【0015】

手段8.

本発明による液晶表示装置は、たとえば、手段8の構成を前提とし、前記狭隘部はそれによって接続される材料とは異なる材料で形成されていることを特徴とするものである。

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0016】

【発明の実施の形態】

以下、本発明による液晶表示装置およびその製造方法の実施例を図面を用いて説明をする 50

。

【0017】

実施例1.

《全体の構成》

図2は、本発明による液晶表示装置の一実施例を示す全体平面図である。図2は等価回路で示しているが、実際の幾何学的配置に対応させて描いている。

図2において、液晶を介して互いに対向配置される一対の透明基板SUB1、SUB2があり、該液晶は一方の透明基板SUB1に対する他方の透明基板SUB2の固定を兼ねるシール材SLによって封入されている。

【0018】

シール材SLによって囲まれた前記一方の透明基板SUB1の液晶側の面には、そのx方向に延在しy方向に並設されたゲート信号線GLとy方向に延在しx方向に並設されたドレイン信号線DLとが形成されている。

各ゲート信号線GLと各ドレイン信号線DLとで囲まれた領域は画素領域を構成するとともに、これら各画素領域のマトリクス状の集合体は液晶表示部ARを構成するようになっている。

各画素領域には、その片側のゲート信号線GLからの走査信号によって作動される薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して片側のドレイン信号線DLからの映像信号が供給される画素電極PXが形成されている。

【0019】

この画素電極PXは、他方の透明基板SUB2の液晶側の面に各画素領域に共通に形成された対向電極（図示せず）との間に電界を発生させ、この電界によって液晶の光透過率を制御させるようになっている。

前記ゲート信号線GLのそれぞれの一端は前記シール材SLを超えて延在され、その延在端は走査信号駆動回路Vの出力端子が接続される端子を構成するようになっている。また、前記垂直走査駆動回路Vの入力端子は液晶表示パネルの外部に配置されたプリント基板からの信号が入力されるようになっている。

走査信号駆動回路Vは複数個の半導体装置からなり、互いに隣接する複数のゲート信号線GL同士がグループ化され、これら各グループ毎に一個の半導体装置があてがわれるようになっている。

【0020】

同様に、前記ドレイン信号線DLのそれぞれの一端は前記シール材SLを超えて延在され、その延在端は映像信号駆動回路Heの出力端子が接続される端子を構成するようになっている。また、前記映像信号駆動回路Heの入力端子は液晶表示パネルの外部に配置されたプリント基板からの信号が入力されるようになっている。

【0021】

この映像信号駆動回路Heも複数個の半導体装置からなり、互いに隣接する複数のドレイン信号線DL同士がグループ化され、これら各グループ毎に一個の半導体装置があてがわれるようになっている。

前記各ゲート信号線GLは、垂直走査回路Vからの走査信号によって、その一つが順次選択されるようになっている。

【0022】

また、前記各ドレイン信号線DLのそれぞれには、映像信号駆動回路Heによって、前記ゲート信号線GLの選択のタイミングに合わせて映像信号が供給されるようになっている。

【0023】

なお、上述した実施例では、走査信号駆動回路Vおよび映像信号駆動回路Heは透明基板SUB1に搭載された半導体装置を示したものであるが、たとえば透明基板SUB1とプリント基板との間を跨って接続されるいわゆるテープキャリア方式の半導体装置であってもよく、さらに、前記薄膜トランジスタTFTの半導体層が多結晶シリコン（p-Si）

10

20

30

40

50

から構成される場合、透明基板SUB1面に前記多結晶シリコンからなる半導体素子を配線層とともに形成されたものであってもよい。

【0024】

《画素の構成》

図1は前記画素領域の画素の構成の一実施例を示す平面図である。また、図3は図1のI-I-I線における断面図、図4は図1のV-V線における断面図である。

透明基板SUB1の液晶側の面に、まず、x方向に延在しy方向に並設される一対のゲート信号線GLが形成されている。

ここで、前記液晶はたとえばノーマリホワイトのものが用いられ、各画素領域内に電界が発生していない場合に白表示がなされるようになっている。

これらゲート信号線GLは後述の一対のドレイン信号線DLとともに矩形状の領域を囲むようになり、この領域を画素領域として構成するようになっている。

【0025】

また、該画素領域の各ドレイン信号線DLと近接する部分に該ドレイン信号線DLと平行に遮光膜OLが形成され、この遮光膜OLはたとえば前記ゲート信号線GLの形成の際に同時に形成されるようになっている。この遮光膜OLの機能は後に説明する。

【0026】

このようにゲート信号線GL、遮光膜OLが形成された透明基板SUB1の表面にはたとえばSiNからなる絶縁膜GIが該ゲート信号線GL、遮光膜OLをも被って形成されている。

この絶縁膜GIは、後述のドレイン信号線DLの形成領域においては前記ゲート信号線GLに対する層間絶縁膜としての機能を、後述の薄膜トランジスタTFTの形成領域においてはそのゲート絶縁膜としての機能を、後述の容量素子Caddの形成領域においてはその誘電体膜としての機能を有するようになっている。

【0027】

そして、この絶縁膜GIの表面であって、前記ゲート信号線GLの一部に重畳するようにしてたとえばアモルファスSiからなる半導体層ASが形成されている。

この半導体層ASは、薄膜トランジスタTFTのそれであって、その上面にドレイン電極SD1およびソース電極SD2を形成することにより、ゲート信号線GLの一部をゲート電極とする逆スタガ構造のMIS型トランジスタを構成することができる。

【0028】

ここで、前記ドレイン電極SD1およびソース電極SD2はたとえばドレイン信号線DLの形成の際に同時に形成されるようになっている。

すなわち、y方向に延在されx方向に並設されるドレイン信号線DLが形成され、その一部が前記半導体層ASの上面にまで延在されてドレイン電極SD1が形成され、また、このドレイン電極SD1と薄膜トランジスタTFTのチャネル長分だけ離間されてソース電極SD2が形成されている。

このソース電極SD2は半導体層AS面から画素領域側の絶縁膜GIの上面に至るまで若干延在され、後述の画素電極PXとの接続を図るためのコンタクト部が形成されている。

【0029】

なお、半導体層ASとドレイン電極SD1およびソース電極SD2との界面には高濃度の不純物がドーピングされた薄い層が形成され、この層はコンタクト層として機能するようになっている。

このコンタクト層は、たとえば半導体層ASの形成時に、その表面にすでに高濃度の不純物層が形成されており、その上面に形成したドレイン電極SD1およびソース電極SD2のパターンをマスクとしてそれから露出された前記不純物層をエッチングすることによって形成することができる。

【0030】

このように薄膜トランジスタTFT、ドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2が形成された透明基板SUB1の表面にはたとえばSiNからなる保護

10

20

30

40

50

膜 P S V が形成されている。この保護膜 P S V は前記薄膜トランジスタ T F T の液晶との直接の接触を回避する層で、該薄膜トランジスタ T F T の特性劣化を防止せんとするようになっている。

【0031】

保護膜 P S V の上面には画素電極 P X が形成されている。この画素電極 P X はたとえば I T O (I n d i u m - T i n - O x i d e) 膜からなる透光性の導電膜から構成されている。

なお、この画素電極 P X の材料としては、他に、I T Z O (I n d i u m T i n Z i n c O x i d e) 、

I Z O (I n d i u m Z i n c O x i d e) 、 S n O 2 (酸化スズ) 、 I n 2 O 3 (酸化インジウム) 等であってもよい。 10

【0032】

この画素電極 P X は、薄膜トランジスタ T F T の形成領域を回避して画素領域の大部分を占めるようにして形成されている。そして、その一部が前記保護膜 P S V の一部に形成されたコンタクトホール C H を通して薄膜トランジスタ T F T のソース電極 S D 2 に電氣的に接続されている。

【0033】

ここで、この画素電極 P X は、図 1 に示すように、画素領域をたとえば y 方向にほぼ等しい面積で 3 分割させ、それらの境界において一方の画素電極 P X と他方の画素電極 P X とは幅の狭い部分 (狭隘部 N W) で互いに接続されるようになっている。 20

換言すれば、3 分割された各画素領域における画素電極 P X はそれらの境界にて各辺側から前記狭隘部 N W にまで延在するスリット S L T が形成されている。

【0034】

画素電極 P X の前記狭隘部 N W は、必要となる場合にたとえばレーザ光の走査によって切断される部分で、該レーザ光の走査に便利な程度の幅を有して形成されている。

【0035】

ここで、画素電極 P X の前記スリット S L T および狭隘部 N W の下層には前記遮光膜 O L が延在されて形成されている。すなわち、前記スリット S L T とほぼ中心軸を同じにし該スリット S L T よりも大きな幅を有するようにして遮光膜 O L が形成されている。

この遮光膜 O L は前記スリット S L T を通して、あるいは前記狭隘部 N W をたとえばレーザ光の走査によって切断した場合の切断個所を通して光漏れが発生するのを防止するためである。 30

【0036】

また、この遮光膜 O L のうちドレイン信号線 D L に近接し該ドレイン信号線 D L と平行に形成された部分は、その上層において前記画素電極 P X の該ドレイン信号線 D L の各辺が重畳されて形成され、この画素電極 P X とドレイン信号線 D L との間に発生する光漏れを回避させるためのものである。

【0037】

さらに、画素電極 P X はこれに接続される前記薄膜トランジスタ T F T を駆動するゲート信号線 G L は異なる他の隣接するゲート信号線 G L の上方に至るまで延在され、該他のゲート信号線 G L と重畳する部分を形成している。この部分において、画素電極 P X と他のゲート信号線 G L との間に絶縁膜 G I および保護膜 P S V を誘電体膜とする容量素子 C a d d が形成されるようになっている。 40

この容量素子 C a d d は、たとえば画素電極 P X に供給された映像信号を比較的長く蓄積させる等の機能をもたせるようになっている。

【0038】

そして、このように画素電極 P X が形成された透明基板 S U B 1 の上面には該画素電極 P X をも被って配向膜 O R I 1 が形成されている。この配向膜 O R I 1 は液晶と直接に当接する膜で、その表面に形成されたラビングによって該液晶の分子の初期配向方向を決定づけるようになっている。 50

【0039】

《修復方法》

図5は、上述した構成の液晶表示装置を用いて画素に欠陥を生じた場合の修復方法の一実施例を示すフローチャートである。以下、ステップごとに説明する。

【0040】

ステップ1. (ST1)

各画素に異物が存在しているか否かをたとえば目視により確認する。

【0041】

ステップ2. (ST2)

前記異物が画素領域のうち3つに区分された領域のどの領域、すなわち薄膜トランジスタ TFTに近い領域を(A)部、中央部に相当する領域を(B)部、容量素子Caddに近い領域を(C)部とした場合に、(A)部内に存在するか、(B)部内に存在するか、(C)部内に存在するかをたとえば目視により確認する。

【0042】

ステップ3. (ST3)

図6(a)に示すように、異物FOが(A)部内に存在している場合、(A)部内の画素電極PXと(B)部内の画素電極PXとの切断を図る。この場合の切断は(A)部内の画素電極PXと(B)部内の画素電極PXとの間で比較的小さい幅で接続された狭隘部NWをレーザ光の走査によって切断する。

その後、画素電極PXの延在部である容量素子Caddの一方の電極とその下層に走行するゲート信号線GLとの短絡をレーザ光の照射によって行なう。

このようにした場合、(B)部および(C)部は常時非点灯状態の黒点化を図ることができ、(A)部のみが常時点灯状態となる。

この場合、(A)部は画素領域の1/3の面積での輝点として表示されるが、その表示は認識をほとんど不可能なほど小さいことから問題となることはなくなる。

【0043】

ステップ4. (ST4)

図6(b)に示すように、異物FOが(B)部内に存在している場合、(B)部内の画素電極PXと(C)部内の画素電極PXとの切断を図るとともに、(A)部内の画素電極PXと(B)部内の画素電極PXとの切断を図る。

この場合の各切断も各部内の画素電極PXとの間で比較的小さい幅で接続された狭隘部NWをレーザ光の走査によって行なう。

その後、画素電極PXの延在部である容量素子Caddの一方の電極とその下層に走行するゲート信号線GLとの短絡をレーザ光の照射によって行なう。

このようにした場合、(A)部は正常に維持でき、(B)部は常時点灯状態、(C)部は常時非点灯状態となる。

この場合においても、(B)部は画素領域の1/3の面積での輝点として表示されるが、その表示は認識をほとんど不可能なほど小さいことから問題となることはなくなる。

【0044】

ステップ5. (ST5)

図6(c)に示すように、異物FOが(C)部内に存在している場合、(B)部内の画素電極PXと(C)部内の画素電極PXとの切断を図る。

この場合の切断も各部内の画素電極PXとの間で比較的小さい幅で接続された狭隘部NWをレーザ光の走査によって行なう。

このようにした場合、(A)部と(B)部は正常に維持でき、(C)部は常時点灯状態となる。

この場合においても、(C)部は画素領域の1/3の面積での輝点として表示されるが、その表示は認識をほとんど不可能なほど小さいことから問題となることはなくなる。

【0045】

実施例2.

10

20

30

40

50

図7は、本発明による液晶表示装置の他の実施例を示す構成図で、図1と対応した図となっている。

図1の場合と比較して異なる構成は、画素領域の区分けにおいて、斜め方向に境界がある点にある。

この場合においても、薄膜トランジスタTFTが形成されている領域と、容量素子Caddが形成されている領域と、それら各領域の間の領域にそれぞれ区分けされており、図1に示した場合と全く機能を同一にする。

また、この場合にあつて、各領域の境界には遮光膜OLが配置され、画素電極PXに形成されたスリットSLTによって光漏れが生じるのを回避させている。

【0046】

実施例3.

上述した各実施例では、各画素領域を3つに区分けしたものである。しかし、少なくとも薄膜トランジスタTFTが形成されている領域と容量素子Caddが形成されている領域とが区分けされていれば、該画素領域の区分けは2つでもよいし、また4つ以上であってもよいことはもちろんである。

【0047】

実施例4.

また、実施例で示した修復の方法は、たとえばレーザ光の走査によって画素電極の分離を図る場合、それらを接続する狭隘部NWの分断を行なうようにしたものである。

しかし、この方法の実施の対象となる液晶表示装置としては、このような狭隘部NWを備えたものでなくてもよい。すなわち、レーザ光等の走査の煩雑さを考慮にいれなければ前記狭隘部NWおよびこの狭隘部NWの形成によって形成されるスリットSLTはなくてもよいからである。

しかし、この方法の実施によって、図6(a)、(b)、(c)のいずれかの態様で画素電極PX(容量素子Caddの一方の電極を含む)の分離がなされることはいうまでもない。

【0048】

実施例5.

図8は、本発明による液晶表示装置の他の実施例を示す構成図である。なお、この場合の液晶表示装置は、ノーマリブラックモード、すなわち、液晶に電界が発生していない際に黒表示がなされるものを対象としている。

同図は、透明基板SUB2を液晶面側から観た平面図で、簡単のためブラックマトリクスBMと対向電極CTのみを示している。

ブラックマトリクスBMは画素領域の周辺を薄膜トランジスタTFTをも被うようにして形成され、これにより他の隣接する画素領域との間を画するようになっている。換言すれば、該ブラックマトリクスBMは各画素領域の周辺を除く中央部が開口されたパターンとして形成されている。

【0049】

また、対向電極CTは少なくとも前記ブラックマトリクスBMの前記開口を被うようにして形成され、隣接する他の画素領域の対向電極CTとはそれぞれ狭隘部NWを介して互いに接続されている。

すなわち、一の対向電極CTを他の対向電極CTと電氣的に孤立させる場合には、該一の対向電極とそれに隣接する他の各対向電極CTと接続されている前記狭隘部NWをたとえばレーザ光の走査によって分断させればよいことになる。

このように構成した場合、画素領域内に存在してしまう異物によって線欠陥が生じるような場合、該画素領域の対向電極CTにおいて上述した操作を行なうことにより、該画素領域の画素のみを常時非点灯とすることができるようになる。

【0050】

実施例6.

上述した各実施例では、画素電極PXあるいは対向電極CTに形成する狭隘部NWはそれ

10

20

30

40

50

ら電極と一体に形成されたものであり、該各電極と同一の材料からなるものである。しかし、別の材料であってもよいことはいうまでもない。

たとえば、画素電極 P X を透明基板 S U B 1 側に近い層で形成し、その後たとえばドレイン信号線 D L 等を形成するような場合において、各画素領域内において前記画素電極 P X を互いに分離させた状態でパターン化させ、前記ドレイン信号線 D L の形成の際において、該ドレイン信号線 D L と同一の材料で前記各画素電極 P X を接続させる狭隘部 N W を形成することができるからである。

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【 0 0 5 1 】

10

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示装置およびその製造方法によれば、輝線欠陥を生じさせることなく、黒点化あるいは最小限の輝点欠陥で抑えるようにすることができる。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の画素の構成の一実施例を示す平面図である。

【図 2】本発明による液晶表示装置の一実施例を示す概略平面図である。

【図 3】図 1 の I I I - I I I 線における断面図である。

【図 4】図 1 の I V - I V 線における断面図である。

【図 5】本発明による液晶表示装置の修復の一実施例を示すフローチャートである。

20

【図 6】本発明による液晶表示装置の修復の各態様の一実施例を示す平面図である。

【図 7】本発明による液晶表示装置の画素の構成の他の実施例を示す平面図である。

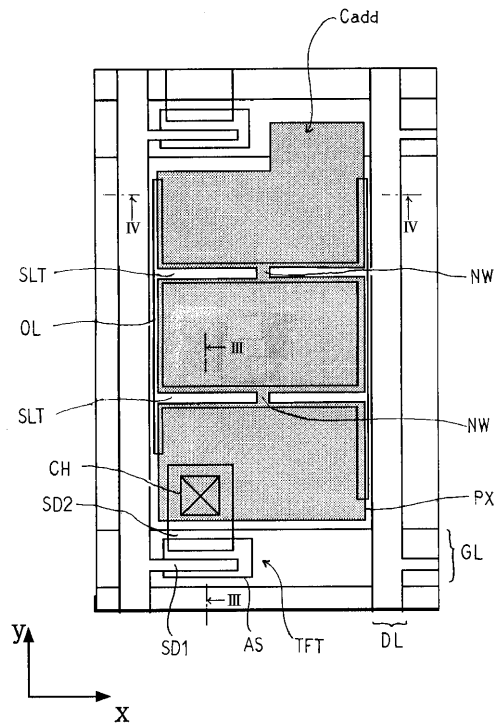
【図 8】本発明による液晶表示装置の対向電極の構成と該液晶表示装置の修復の一実施例を示す平面図である。

【符号の説明】

S U B ……透明基板、G L ……ゲート信号線、D L ……ドレイン信号線、A R ……液晶表示部、P X ……画素電極、T F T ……薄膜トランジスタ、C a d d ……容量素子、N W ……狭隘部、S L T ……スリット。

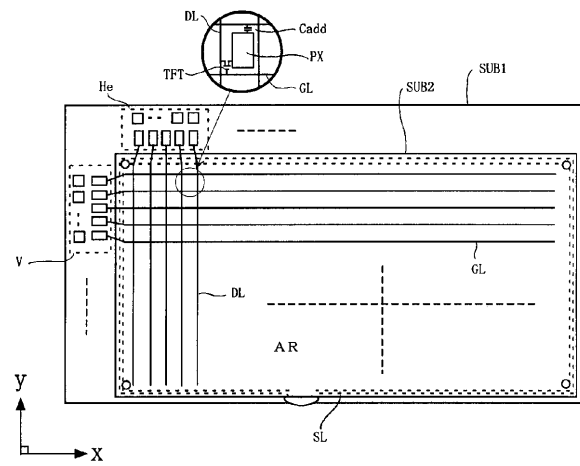
【図 1】

図 1



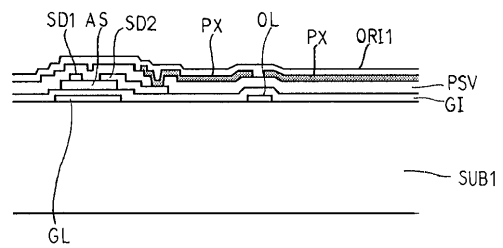
【図 2】

図 2



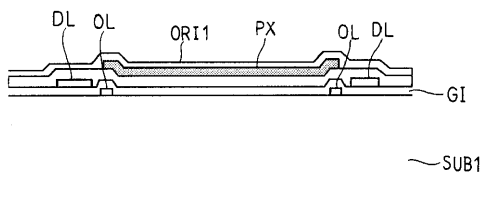
【図 3】

図 3



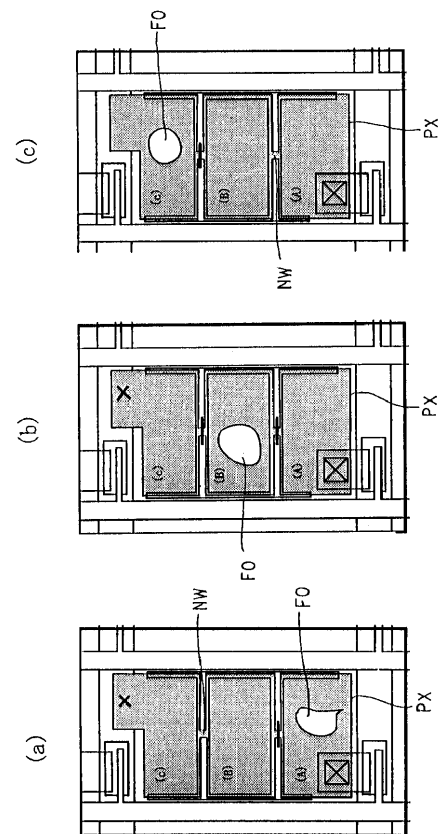
【図 4】

図 4



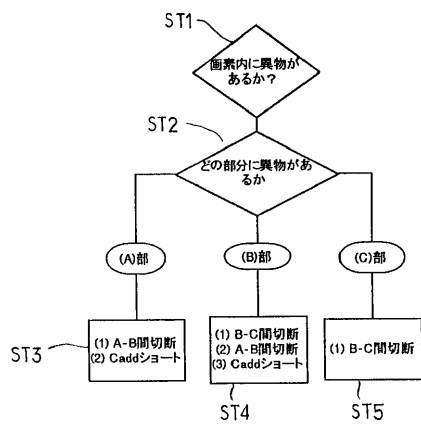
【図 6】

図 6



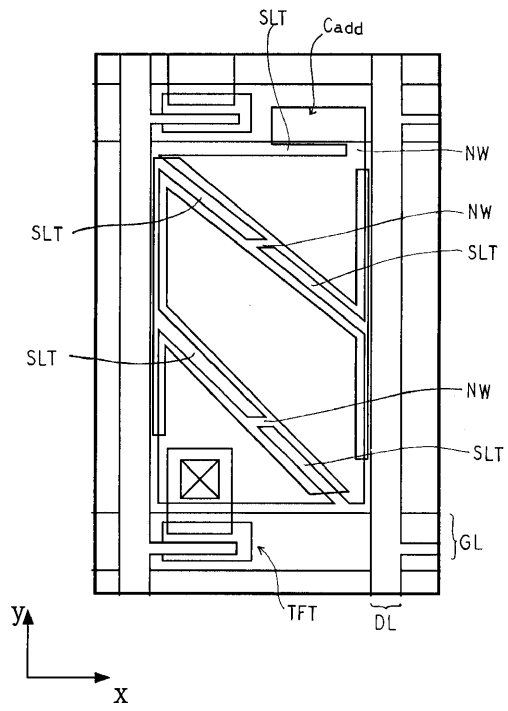
【図 5】

図 5



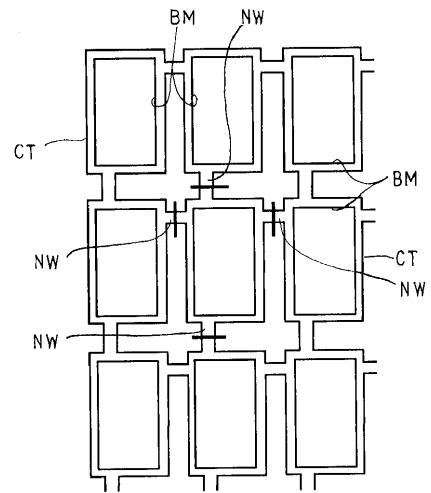
【図 7】

図 7



【図 8】

図 8



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2004021087A	公开(公告)日	2004-01-22
申请号	JP2002178436	申请日	2002-06-19
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	合田貴博 扇一公俊		
发明人	合田 貴博 扇一 公俊		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/GA17 2H092/JA24 2H092/JA40 2H092/JB05 2H092/JB06 2H092/JB24 2H092/JB64 2H092/JB66 2H092/JB73 2H092/JB75 2H092/NA29 2H192/AA24 2H192/BA16 2H192/BC13 2H192/BC31 2H192/CB05 2H192/CC04 2H192/DA02 2H192/EA17 2H192/HB02 2H192/HB34 2H192/HB46 2H192/HB64		
其他公开文献	JP2004021087A5		
外部链接	Espacenet		

摘要(译)

解决的问题：在不引起亮线缺陷的情况下，抑制黑点或最少数量的亮点缺陷。彼此并列的多条栅极信号线和并列于各条栅极信号线的多条栅极信号线布置在彼此相对的基板之一的液晶侧表面上，并在其间插入液晶。和漏极信号线在被这些信号线的每一个包围的像素区域中，设置有通过来自栅极信号线的扫描信号而工作的开关元件和经由该开关元件被提供了来自漏极信号线的视频信号的像素电极。像素电极形成在几乎整个像素区域上，并且被配置为在像素电极和在另一基板的液晶侧表面上的每个像素区域中共同形成的对电极之间产生电场。多个划分的像素区域中的每一个中的像素电极包括通过狭窄部分与相邻区域中的像素电极连接的像素。[选型图]图1

