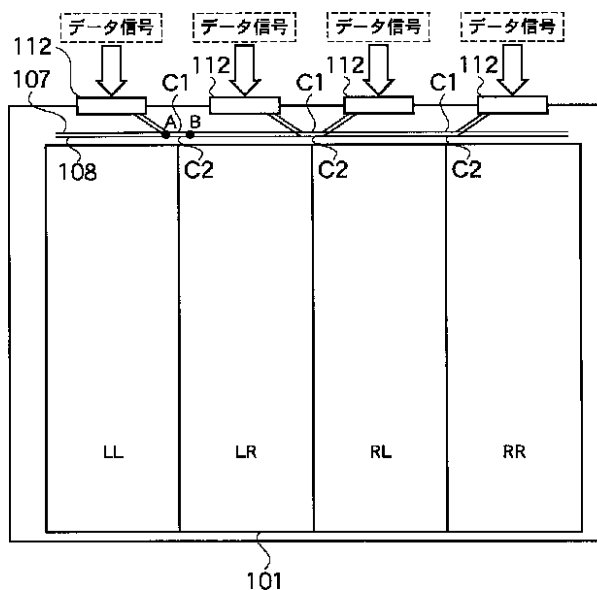




【特許請求の範囲】

【請求項 1】 少なくとも、マトリクス状に配線された複数の走査線と複数の信号線と、このマトリクスの各格子毎に配置された複数の画素トランジスタと、前記各画素トランジスタに対応して配置された複数の画素電極とが主面上が形成され、
前記各信号線に対応するデータ信号について、前記信号線を所定数の信号線からなる信号線群に区分したときの各信号線群毎に分けてシリアルに前記データ信号を供給する信号線駆動用 IC と、前記信号線駆動用 IC から各信号線群へ供給されるデータ信号を 1 水平走査期間内で各信号線群における総ての信号線に切り替えて出力する信号線切替回路とを、複数組設けた表示装置用電極基板であって、
前記各信号線群は、 n 本の信号線が前記信号線駆動用 IC からのデータ信号を伝送する 1 本の信号配線に接続され、
前記信号線切替回路は、前記外部から供給されるスイッチ制御信号によりオン・オフが制御され、オン時に前記信号線と前記信号配線との間を導通させて、前記信号配線に供給されたデータ信号を前記信号線に出力するスイッチ手段と、前記スイッチ手段と $n-1$ 個おきに共通に接続されて、各々接続する前記スイッチ手段にスイッチ制御信号を供給する n 本の制御信号線とを備え、
前記 n 本の制御信号線は、各同一制御信号線毎に総て共通に接続されていることを特徴とする表示装置用電極基板。

【請求項 2】 各組毎に、前記 n 本の制御信号線の中央部から前記スイッチ制御信号が供給されることを特徴とする請求項 1 に記載の表示装置用電極基板。

【請求項 3】 各組の前記 n 本の制御信号線に供給される前記スイッチ制御信号は、1 つの前記信号線駆動用 IC から供給されることを特徴とする請求項 1 に記載の表示装置用電極基板。

【請求項 4】 少なくとも、マトリクス状に配線された複数の走査線と複数の信号線と、このマトリクスの各格子毎に配置された画素トランジスタとが主面上が形成され、
前記各信号線に対応するデータ信号について、前記信号線を所定数の信号線からなる信号線群に区分したときの各信号線群毎に分けてシリアルに前記データ信号を供給する信号線駆動用 IC と、前記信号線駆動用 IC から各信号線群へ供給されるデータ信号を 1 水平走査期間内で各信号線群における総ての信号線に切り替えて出力する信号線切替回路とを、複数組設けた表示装置用電極基板であって、
前記各信号線群は、 n 本の信号線が前記信号線駆動用 IC からのデータ信号を伝達する 1 本の信号配線に接続され、
前記信号線切替回路は、前記外部から供給されるスイッ

チ制御信号によりオン・オフが制御され、オン時に前記信号線と前記信号配線との間を導通させて、前記信号配線に供給されたデータ信号を前記信号線に出力するスイッチ手段と、前記スイッチ手段と $n-1$ 個おきに共通に接続されて、各々接続する前記スイッチ手段にスイッチ制御信号を供給する n 本の制御信号線とを備え、
各組の前記 n 本の制御信号線の中央部から前記スイッチ制御信号が供給されることを特徴とする表示装置用電極基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、おもに液晶表示装置に用いられる表示装置用電極基板に関し、詳しくは信号線駆動用 IC と信号線切替回路とを複数組備え、信号線選択方式により駆動される液晶表示装置の表示装置用電極基板に関する。

【0002】

【従来の技術】アクティブマトリクス型の液晶表示装置には、データ信号の書き込みを制御する画素トランジスタ（以下、画素 TFT）が各画素毎に形成されている。この画素 TFT としてアモルファスシリコン TFT を用いた液晶表示装置では、画素の駆動回路として、信号線駆動用 IC 及び走査線駆動用 IC をフレキシブル配線基板上に実装して構成したテープ・キャリア・パッケージ（以下、TCP）が用いられている。この TCP を、画素 TFT がマトリクス状に配置されたアレイ基板の外部接続端子に電氣的に接続することによって、信号線駆動用 IC 及び走査線駆動用 IC がアレイ基板上の各画素 TFT に対応して設けられた各画素電極にそれぞれ接続され、画素 TFT を駆動するように構成されている。

【0003】

【発明が解決しようとする課題】図 6 は、従来例におけるアモルファスシリコン TFT を用いた液晶表示装置の回路構成図である。また図 7 は、その概略構成図であり、とくに分割された表示エリアと信号線制御回路部との関係を示している。

【0004】図 6 において、アレイ基板 100 上には、表示エリア 101 が設けられている。この表示エリア 101 内には、走査線 $G_1, G_2, \dots, G_n$ と信号線 $S_1, S_2, S_3, \dots, S_n$ （以下、総称 S ）がマトリクス状に配置されており、そのマトリクスの各格子毎に画素 TFT 102 と画素電極 103 が配置されている。画素電極 103 と相対して配置される共通電極 104 は、図示しない対向基板上に形成され、画素電極 103 と対向電極 104 との間には液晶層 105 が保持されている。また、画素電極 103 には補助容量 106 が並列に接続され、図示しない補助容量線を介して所定の補助容量電圧が与えられている。

【0005】表示エリア 101 の上端部には信号線制御回路部 111 が配置され、左端部には走査線駆動用 IC

115が接続されている。表示エリア101は、図7に示すように4つのブロックLL, LR, RL, RRに分割されており、信号線Sは各ブロック毎に所定数の信号線群に区分され、それぞれのブロック毎に配置された同一構成の信号線制御回路部111からデータ信号が供給される。なお、図7では、信号線制御回路部111のうち、信号線駆動用IC112と後述するASW制御信号線107, 108のみを示している。

【0006】信号線制御回路部111は、データ信号を各信号線毎に分けてシリアルに供給する信号線駆動用IC112と、各信号線群へ供給されるデータ信号を1水平走査期間内で各信号線群における総ての信号線に切り替えて出力する信号線切替回路113とで構成されている。このうち、信号線駆動用IC112は、TCP120-1~120-4に実装され、信号線切替回路113は、アレイ基板100上に形成されている。TCP120-1~120-4は、その一方の側辺がアレイ基板100の一辺に形成された外部接続端子に接続され、他方の側辺が外部回路基板200に接続されている。

【0007】一方、走査線駆動用IC115は、画素TFT102を導通させ、信号線Sからデータ信号を書き込ませる走査信号を、走査線G1, G2, ... Gnに順次出力する。走査線駆動用IC115は、TCP130-1, 130-2に実装されている。TCP130-1, 130-2は、その一方の側辺がアレイ基板100の一辺に形成された外部接続端子に接続され、他方の側辺が外部回路基板300に接続されている。

【0008】外部回路基板200には、外部から入力されるクロック信号、タイミング信号、デジタルのデータ信号等に基づいて、各種タイミングの制御信号及びこれら制御信号に同期したデータ信号を出力するコントロールIC201、及び図示しない電源回路やインターフェース回路等が実装されている。なお、コントロールIC201から出力される各種タイミングの制御信号、及び図示しない電源回路からの電源電圧等は、図示しない配線を介して走査線駆動用IC115にも供給されている。

【0009】上記のようなアレイ基板100を備えた液晶表示装置は、アレイ基板100と図示しない対向基板とを所定間隔をもって対向配置し、その周囲をシール材で貼り合わせ、基板間に液晶層105を封入することで完成する。

【0010】図8は、1ブロック分の信号線切替回路111の回路構成図である。信号線S1, S2, S3, S4, ... Sn-1, Snは、隣接する2本の信号線が信号線駆動用IC103からのデータ信号を伝送する信号配線D1, D2, ... Dm (以下、総称D) にそれぞれ共通に接続されている。また、各信号線Sには、信号配線Dとの導通を制御するためのASW (アナログスイッチ) 1, ASW2, ASW3, ASW4, ... ASWn-1, 50

ASWn (以下、総称ASW) が接続されている。このASWは、外部回路基板200上に配置されたコントロールIC201から信号線駆動用IC112を介して供給されるASW制御信号 (ASW1U, ASW2U) によりオン・オフが制御され、オン時に信号線Sと信号配線Dとの間を導通させて、信号配線Dに供給されたデータ信号を信号線Sに供給するスイッチ手段である。信号線Sは、図示しない画素TFTを介して画素電極PIX1, PIX2, PIX3, PIX4, ... PIXN-1, PIXNに接続されている。ただし、PIXは図6の符号103に対応する。

【0011】ASW1, ASW3, ... ASWn-1の制御電極はASW制御信号線108に共通に接続され、ASW2, ASW4, ... ASWnの制御電極はASWの制御信号線107に共通に接続されている。各ASWの導通は、それぞれ接続するASW制御信号線に供給されたASW制御信号により制御される。

【0012】図9は、1ブロック分の信号線切替回路104を駆動する場合のタイミングチャートである。1水平走査期間のうち、前半の書き込み期間ではASW制御信号ASW1Uがオンレベルとなり、ASW2, ASW4, ... ASWnに接続する画素電極PIX2, PIX4, ... PIXNにデータ信号 (data1) が書き込まれる。また、後半の書き込み期間では、ASW制御信号ASW2Uがオンレベルとなり、PIX1, PIX3, ... PIXN-1にデータ信号 (data2) が書き込まれる。この様な駆動方式は信号線選択方式と呼ばれ、外部からアレイ基板100に接続する信号配線Dの実装本数を削減することができる。なお、この例では2本の信号線を交互に選択する2選択の構成について示したが、3選択以上の構成としてもよい。

【0013】ところで、ASW制御信号は、外部回路基板200に実装されたコントロールIC201からの長い配線により伝送されているため、図7のように、各ブロックの端部からASW制御信号が入力されると、A地点とB地点ではASW制御信号線の負荷が大きく異なり、ASW制御信号の波形に生じるなまりにも違いが生じることになる。この結果、例えば図7のA地点では負荷が軽く、B地点では負荷が重くなり、ブロックLLとLRとの境界線付近の画素ではASWの導通状態に差が生じてしまう。この結果、負荷が重くなる側ではデータ信号の書き込み不足が生じ、これが境界線付近での表示ムラとして認識されてしまうという問題点があった。

【0014】この発明は、複数のブロックに分けられた信号線を信号線選択方式で駆動する液晶表示装置において、ブロックの境界線付近での表示ムラを解消することができる表示装置用電極基板を提供することにある。

【0015】

【課題を解決するための手段】 上記課題を解決するため、請求項1の発明は、少なくとも、マトリクス状に配

線された複数の走査線と複数の信号線と、このマトリクス
の各格子毎に配置された複数の画素トランジスタと、
前記各画素トランジスタに対応して配置された複数の画
素電極とが主面上が形成され、前記各信号線に対応する
データ信号について、前記信号線を所定数の信号線から
なる信号線群に区分したときの各信号線群毎に分けてシ
リアルに前記データ信号を供給する信号線駆動用ICと、
前記信号線駆動用ICから各信号線群へ供給される
データ信号を1水平走査期間内で各信号線群における総
ての信号線に切り替えて出力する信号線切替回路とを、
複数組設けた表示装置用電極基板であって、前記各信号
線群は、n本の信号線が前記信号線駆動用ICからのデ
ータ信号を伝送する1本の信号配線に接続され、前記信
号線切替回路は、前記外部から供給されるスイッチ制御
信号によりオン・オフが制御され、オン時に前記信号線
と前記信号配線との間を導通させて、前記信号配線に供
給されたデータ信号を前記信号線に出力するスイッチ手
段と、前記スイッチ手段とn-1個おきに共通に接続され
て、各々接続する前記スイッチ手段にスイッチ制御信
号を供給するn本の制御信号線とを備え、前記n本の制
御信号線は、各同一制御信号線毎に総て共通に接続され
ていることを特徴とする。

【0016】好ましい形態として、前記n本の制御信号
線を、数ブロック単位で共通に接続するように構成す
る。

【0017】請求項2の発明は、請求項1において、各
組毎に、前記n本の制御信号線の中央部から前記スイッ
チ制御信号が供給されることを特徴とする。

【0018】請求項3の発明は、請求項1において、各
組の前記n本の制御信号線に供給される前記スイッチ制
御信号は、1つの前記信号線駆動用ICから供給される
ことを特徴とする。

【0019】好ましい形態として、前記スイッチ制御信
号は、基板上の左端、右端又は中央部に配置された1つ
の前記信号線駆動用ICから供給されるように構成す
る。

【0020】また、上記課題を解決するため、請求項4
の発明は、少なくとも、マトリクス状に配線された複数
の走査線と複数の信号線と、このマトリクスの各格子毎
に配置された画素トランジスタとが主面上が形成され、
前記各信号線に対応するデータ信号について、前記信号
線を所定数の信号線からなる信号線群に区分したときの
各信号線群毎に分けてシリアルに前記データ信号を供給
する信号線駆動用ICと、前記信号線駆動用ICから各
信号線群へ供給されるデータ信号を1水平走査期間内で
各信号線群における総ての信号線に切り替えて出力する
信号線切替回路とを、複数組設けた表示装置用電極基板
であって、前記各信号線群は、n本の信号線が前記信号
線駆動用ICからのデータ信号を伝達する1本の信号配
線に接続され、前記信号線切替回路は、前記外部から供

給されるスイッチ制御信号によりオン・オフが制御さ
れ、オン時に前記信号線と前記信号配線との間を導通さ
せて、前記信号配線に供給されたデータ信号を前記信号
線に出力するスイッチ手段と、前記スイッチ手段とn-
1個おきに共通に接続されて、各々接続する前記スイッ
チ手段にスイッチ制御信号を供給するn本の制御信号線
とを備え、各組の前記n本の制御信号線の中央部から前
記スイッチ制御信号が供給されることを特徴とする。

【0021】

【発明の実施の形態】以下、本発明に係わる表示装置用
電極基板の実施形態について図面を参照しながら説明す
る。

【0022】なお、本実施形態に係わる表示装置用電極
基板の基本構成は図6と同じであるため説明を省略す
る。ここでは、本実施形態に特徴的な構成を、図7に対
応する図1～図4及び図5を用いて説明するものとし、
図6及び図7と同等部分を同一符号で説明する。また、
図1～図4についても、信号線制御回路部111のう
ち、信号線駆動用IC112とASW制御信号線10
7、108のみを示している。

【0023】実施形態1

図1は、実施形態1に係わる液晶表示装置の概略構成図
であり、分割された表示エリアと信号線制御回路部との
関係を示している。

【0024】本実施形態において、各ブロックのASW
制御信号線107、108は、それぞれ同一のASW制
御信号線毎に総て共通に接続されている。すなわち、各
ブロックの隣り合うASW制御信号線107は結合配線
C1により接続され、同じく隣り合うASW制御信号線
108は結合配線C2により接続されている。

【0025】上記構成によれば、各ブロックの境界線付
近にあるA地点とB地点において、隣接するASW制御
信号線107、108の負荷が急激に変動することがなく、
A地点とB地点における負荷の大きさをほぼ同等と
することができる。これにより、ASW制御信号の波形
に生じるなまりにも極端な差を生じることがなくなるた
め、隣接するブロックとの境界線付近では、ASWの導
通状態に差が生じなくなる。したがって、ブロックの境
界線付近にあるA地点又はB地点の一方の側で信号線へ
のデータ信号の書き込み不足を生じることがなくなり、
ブロックの境界線付近での表示ムラを解消することがで
きる。

【0026】なお、図1では、全ブロックのASW制御
信号線107、108をアレイ基板101上で共通に接
続しているが、画面サイズが大きく、ブロックの分割数
が多い場合には、数ブロック単位で共通に接続するよう
に構成してもほぼ同等の効果をを得ることができる。

【0027】実施形態2

図2は、実施形態2に係わる液晶表示装置の概略構成図
であり、分割された表示エリアと信号線制御回路部との

関係を示している。

【0028】本実施形態では、各ブロックのA SW制御信号線107、108が、それぞれ同一のA SW制御信号線毎に総て共通に接続されると共に、A SW制御信号線107、108にA SW制御信号を供給する配線107a、108aが、それぞれA SW制御信号線107、108の中央部に接続され、A SW制御信号線107、108の中央部からA SW制御信号が供給されるように構成されている。

【0029】上記構成においても、各ブロックの境界線10付近において、隣接するA SW制御信号線107、108の負荷の大きさが急激に変動しないため、隣接するブロックとの境界線付近では、A SWの導通状態に差が生じなくなる。したがって、ブロックの境界線付近において、一方の側で信号線へのデータ信号の書き込み不足を生じることがなくなり、ブロックの境界線付近での表示ムラを解消することができる。

【0030】実施形態3

図3は、実施形態3に係わる液晶表示装置の概略構成図であり、分割された表示エリアと信号線制御回路部との関係を示している。

【0031】本実施形態では、各ブロックのA SW制御信号線107、108が、それぞれ同一のA SW制御信号線毎に総て共通に接続されると共に、A SW制御信号線107、108にA SW制御信号を供給する配線107a、108aが、左端にある信号線駆動用IC102に接続され、A SW制御信号線107、108の左端からA SW制御信号が供給されるように構成されている。

【0032】上記構成において、A SW制御信号線107、108のA地点とB地点とはで負荷の大きさが異なるため、画面の左端と右端とではA SWの導通状態に差が生じることになり、画面全体として見た場合には画面の左右で表示ムラを生じることになる。しかし、隣接するブロックとの境界線付近においては負荷の大きさが急激に変動することがなく、ブロックの境界線付近での表示ムラを解消することができるため、従来例のように画面上に一定間隔で表示ムラが生じる場合に比べて、良好な表示品位を得ることができる。

【0033】なお、図3では、A SW制御信号線107、108の左端からA SW制御信号がA SW制御信号を供給するようにしているが、A SW制御信号は、A SW制御信号線107、108の右端、又は中央部から供給するように構成しても同等の効果を得ることができる。

【0034】実施形態4

図4は、実施形態4に係わる液晶表示装置の概略構成図であり、分割された表示エリアと信号線制御回路部との関係を示している。

【0035】本実施形態では、各ブロックのA SW制御信号線107、108が、それぞれ同一のA SW制御信

*号線毎に総て共通に接続されておらず、A SW制御信号線107、108にA SW制御信号を供給する配線107a、108aが、A SW制御信号線107、108の中央部に接続され、それぞれのブロックのA SW制御信号線107、108の中央部からA SW制御信号が供給されるように構成されている。

【0036】上記構成においては、各ブロックの境界線付近において、隣接するA SW制御信号線107、108の負荷の大きさが急激に変動することがなく、A地点とB地点における負荷の大きさをほぼ同等とすることができ、隣接するブロックとの境界線付近では、A SWの導通状態に差が生じなくなる。したがって、ブロックの境界線付近にあるA地点又はB地点の一方の側で信号線へのデータ信号の書き込み不足を生じることがなくなり、ブロックの境界線付近での表示ムラを解消することができる。

【0037】次に、A SW制御信号線107、108を共通に接続する場合の構成例について説明する。図5は、アレイ基板100の部分断面図であり、ここでは実施形態1の例について示している。

【0038】図5に示すように、ブロックの境界線付近では、アレイ基板100上の絶縁膜109上にA SW制御信号線107が形成されている。この隣接する2つのA SW制御信号線107は、コンタクトホール110を介して接続された結合配線C1により電氣的に導通している。この結合配線C1は、図6に示す走査線Gと同層にあるため、走査線Gと同一のプロセスで形成することができる。なお、図5では、A SW制御信号線107について示したが、ブロックの境界線付近にあるA SW制御信号線108についても同様の構造により共通化することができる。

【0039】

【発明の効果】以上説明したように、本発明に係わる表示装置用電極基板においては、各ブロックの境界線付近において、隣接するA SW制御信号線の負荷が急激に変動することがないため、ブロックの境界線付近で一方の側に信号線へのデータ信号の書き込み不足を生じることがなくなり、ブロックの境界線付近での表示ムラを解消することができる。

【図面の簡単な説明】

【図1】実施形態1に係わる液晶表示装置の概略構成図。

【図2】実施形態2に係わる液晶表示装置の概略構成図。

【図3】実施形態3に係わる液晶表示装置の概略構成図。

【図4】実施形態4に係わる液晶表示装置の概略構成図。

【図5】アレイ基板の部分断面図。

【図6】従来例におけるアモルファスシリコンTFTを

用いた液晶表示装置の回路構成図。

【図7】 従来例における液晶表示装置の概略構成図。

【図8】 1ブロック分の信号線切替回路の回路構成図。

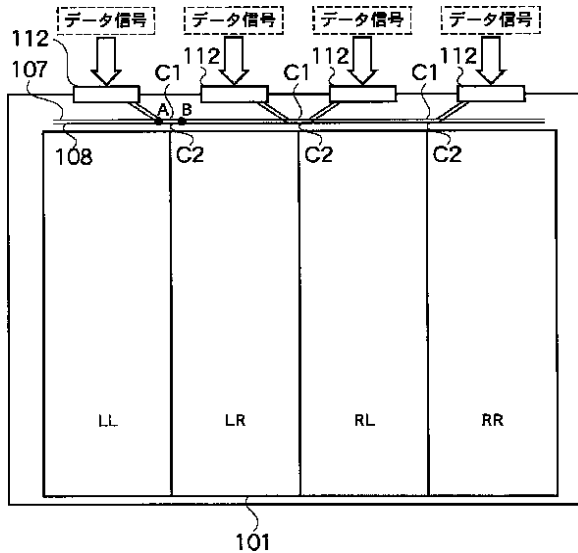
【図9】 1ブロック分の信号線切替回路を駆動する場合のタイミングチャート。

【符号の説明】

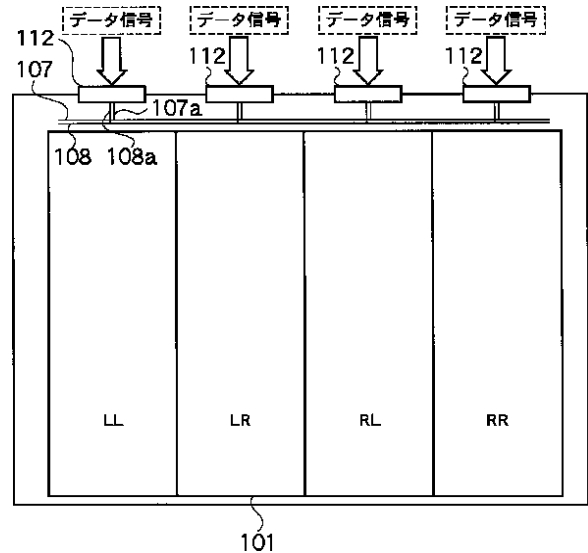
*

*100…アレイ基板、101…表示エリア、102…画素TFT、111…信号線制御回路部、112…信号線駆動用IC、113…信号線切替回路、120、130…TCP、107、108…ASW制御信号線、S…信号線、G…走査線、D…信号配線、C1、C2…結合配線、ASW…アナログスイッチ

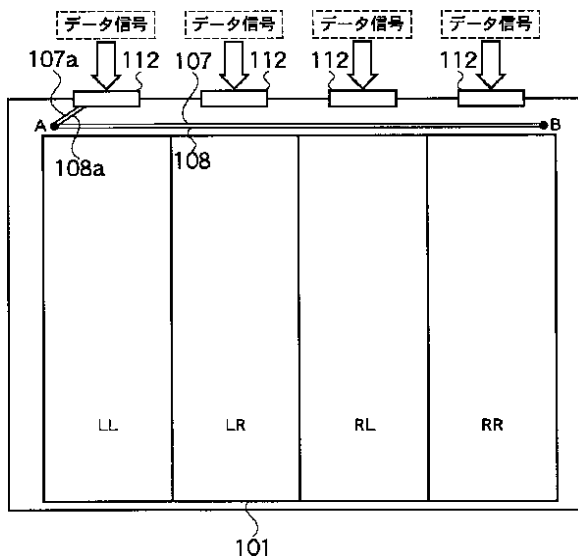
【図1】



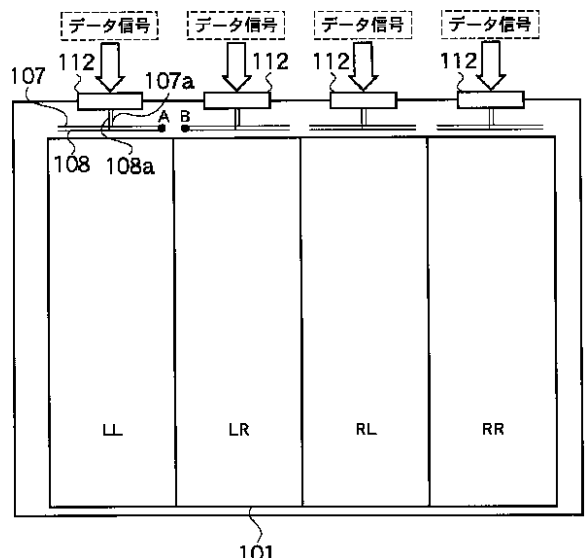
【図2】



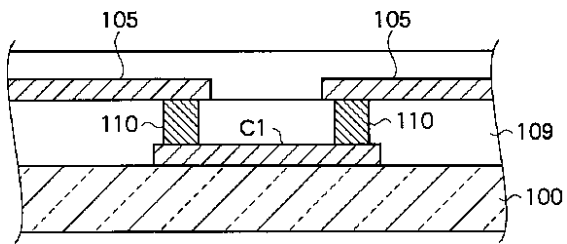
【図3】



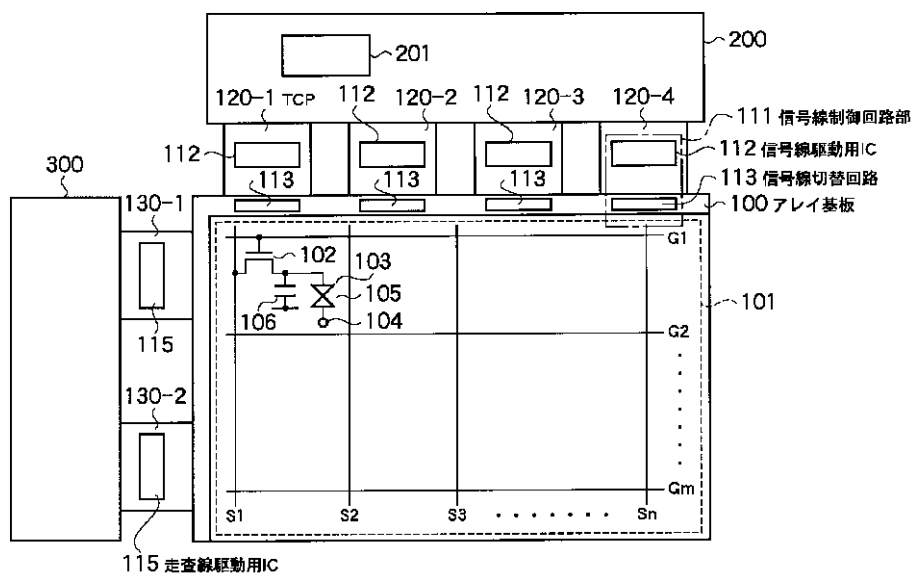
【図4】



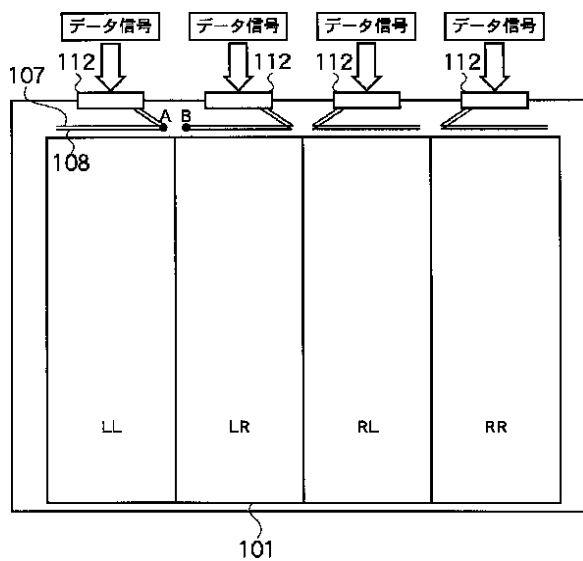
【図 5】



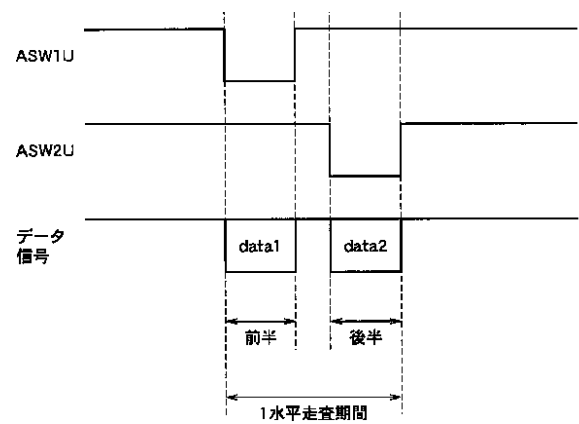
【図 6】



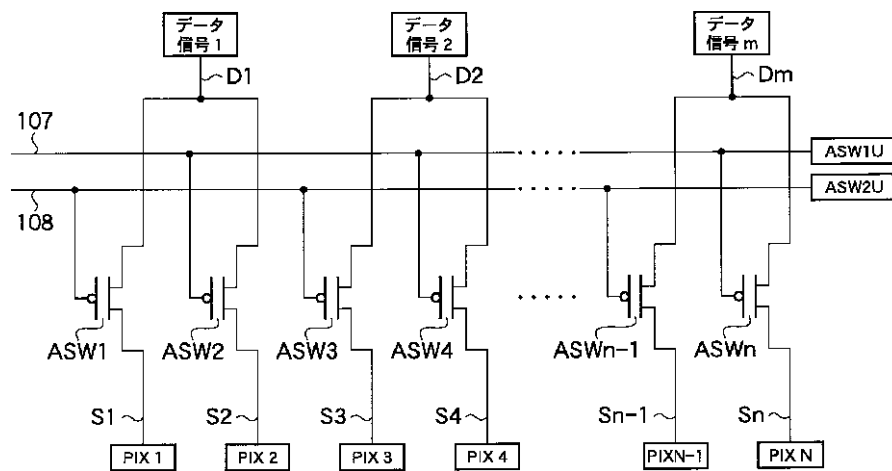
【図 7】



【図 9】



【図 8】



フロントページの続き

(72)発明者 森田 哲生	F ターム(参考)	2H093 NA22 NA45 NC11 NC12 NC16
埼玉県深谷市幡羅町一丁目 9 番地 2 株式		NC90 ND01 ND05 ND09 NH06
会社東芝深谷工場内		5C006 AA01 AF50 BB16 BC11 BC20
(72)発明者 芝 康一		BC23 BF31 EB05 FA22 FA37
埼玉県深谷市幡羅町一丁目 9 番地 2 株式		5C080 AA10 BB05 DD05 DD25 FF11
会社東芝深谷工場内		JJ02 JJ04 JJ06
		5C094 AA03 AA53 BA03 BA43 CA19
		DA09 DB05

专利名称(译)	表示装置用电极基板		
公开(公告)号	JP2003345266A	公开(公告)日	2003-12-03
申请号	JP2002156093	申请日	2002-05-29
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	佐々木 寧 稲田 克彦 森田 哲生 芝 康一		
发明人	佐々木 寧 稲田 克彦 森田 哲生 芝 康一		
IPC分类号	G02F1/133 G02F1/13 G02F1/1345 G09F9/30 G09G3/20 G09G3/36		
CPC分类号	G02F1/13452 G02F1/1345 G09G3/3648 G09G2310/0297 G09G2320/0223		
FI分类号	G09F9/30.330.Z G02F1/133.550 G09G3/20.621.M G09G3/20.680.G G09G3/36 G09F9/30.330		
F-TERM分类号	2H093/NA22 2H093/NA45 2H093/NC11 2H093/NC12 2H093/NC16 2H093/NC90 2H093/ND01 2H093/ND05 2H093/ND09 2H093/NH06 5C006/AA01 5C006/AF50 5C006/BB16 5C006/BC11 5C006/BC20 5C006/BC23 5C006/BF31 5C006/EB05 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD25 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DB05 2H193/ZA32 2H193/ZC26 2H193/ZD32 2H193/ZD34 2H193/ZF36		
其他公开文献	JP4112283B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在通过信号线选择方法驱动被分成多个块的信号线的液晶显示装置中，消除在块边界线附近的显示不均匀。通过将每个块的相邻的ASW控制信号线107与耦合线C1连接并且将同一块的相邻的ASW控制信号线108与耦合线C2连接，来划分每个块的ASW控制信号线107。107和108全部共同连接到同一ASW控制信号线。

