

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 57624

(P2003 - 57624A)

(43)公開日 平成15年2月26日 (2003.2.26)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト-ド (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 2
	1/1368		2 H 0 9 3
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 0 6
	9/35		5 C 0 8 0
G 0 9 G 3/20	622	G 0 9 G 3/20	5 C 0 9 4

審査請求 未請求 請求項の数 24 O L (全 43数) 最終頁に続く

(21)出願番号 特願2001 - 241383(P2001 - 241383)

(22)出願日 平成13年8月8日 (2001.8.8)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 安川 貞彦

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

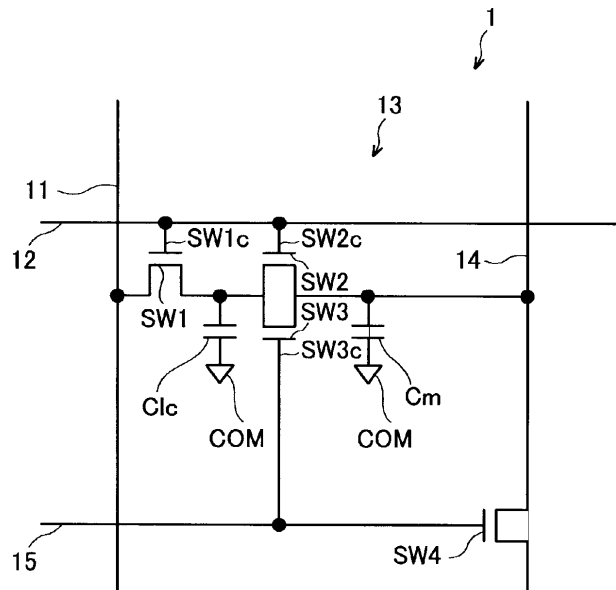
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【課題】 垂直解像度が表示部の解像度よりも低い映像信号を、簡単かつ低コストの構成により、良好に表示できるようにする。

【解決手段】 アクティブマトリクス型表示装置は、供給された映像信号のデータを充電する映像表示用の液晶容量 C_{1c} を各画素部毎に備える。さらに、供給された映像信号のデータを充電するとともに、充電したデータを液晶容量 C_{1c} に供給する映像信号補完用の補完用容量 C_m を備える。



【特許請求の範囲】

【請求項1】供給された映像信号のデータを充電する映像表示用の第1容量を各画素部毎に備えたアクティブマトリクス型表示装置において、

供給された映像信号のデータを充電するとともに、充電したデータを第1容量に供給する映像信号補完用の第2容量を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】前記第2容量が各画素部毎に設けられていることを特徴とする請求項1に記載のアクティブマトリクス型表示装置。

【請求項3】供給された映像信号のデータを充電する映像表示用の第1容量を表示部の各画素部毎に備えたアクティブマトリクス型表示装置において、

各画素部毎に映像信号補完用の第2容量が設けられ、前記表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、

第1および第2水平ラインの第1および第2容量に第1水平期間のデータが充電されるとともに、第3水平ラインの第1および第2容量に第2水平期間のデータが充電され、第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給されることを特徴とするアクティブマトリクス型表示装置。

【請求項4】マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、

これらソースラインとゲートラインとの交差部付近に形成された画素部と、

前記の各ソースラインに各々対応して設けられ、ソースラインの延設方向に延設された複数のデータ移動用ラインと、

前記の各ゲートラインに各々対応して設けられ、ゲートラインの延設方向に延設された複数の制御用ラインと、前記の各画素部毎に、前記ソースラインと前記データ移動用ラインとの間に直列に設けられ、制御端子への入力信号によりON/OFFが制御され、制御端子が前記ゲートラインと接続されている第1および第2スイッチング素子と、

第2スイッチング素子と並列に設けられ、前記制御端子を有し、この制御端子が前記制御用ラインと接続されている第3スイッチング素子と、

前記データ移動用ラインの隣り合う第2スイッチング素子との接続部の間においてデータ移動用ラインに直列に設けられ、前記制御端子を有し、この制御端子が前記制御用ラインと接続されている第4スイッチング素子と、

前記ゲートライン側に設けられた第1スイッチング素子と前記データ移動用ライン側に設けられた第2スイッチング素子との接続部に第1端子が接続され、第2端子が

共通電極と接続されている映像表示用の第1容量と、第2および第3スイッチング素子の前記データ移動用ライン側端子に第1端子が接続され、第2端子が前記第1容量の第2端子と接続されている映像信号補完用の第2容量とを備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項5】前記映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、

第1および第2水平ラインの第1および第2容量に第1水平期間のデータが充電され、第3水平ラインの第1および第2容量に第2水平期間のデータが充電されるように、前記第1および第2スイッチング素子がON動作されるとともに、第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給されるように、前記第3および第4スイッチング素子がON動作されることを特徴とする請求項4に記載のアクティブマトリクス型表示装置。

【請求項6】マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、

これらソースラインとゲートラインとの交差部付近に形成された画素部と、

前記の各ソースラインに各々対応して設けられ、ソースラインの延設方向に延設された複数のデータ移動用ラインと、

前記の各ゲートラインに各々対応して設けられ、ゲートラインの延設方向に延設された複数の第1制御用ラインおよび複数の第2制御用ラインと、

前記の各画素部毎に、前記ソースラインと前記データ移動用ラインとの間に直列に設けられ、制御端子への入力信号によりON/OFFが制御され、制御端子が前記ゲートラインと接続されている第1および第2スイッチング素子と、

第2スイッチング素子と並列に設けられ、前記制御端子を有し、この制御端子が第1制御用ラインと接続されている第3スイッチング素子と、

前記データ移動用ラインの隣り合う第2スイッチング素子との接続部の間においてデータ移動用ラインに直列に設けられ、前記制御端子を有し、この制御端子が第1制御用ラインと接続されている第4スイッチング素子と、

直列接続された第5および第6スイッチング素子からなり、第1端子が第2および第3スイッチング素子の前記データ移動用ライン側端子に接続され、第2端子が共通電極と接続され、第5および第6スイッチング素子が前記制御端子を有し、これら制御端子が第2制御用ラインと接続され、前記の両スイッチング素子が互いに逆動作を行なう第1ペアスイッチング素子と、

直列接続された第7および第8スイッチング素子からな

り、第1端子が第2および第3スイッチング素子の前記データ移動用ライン側端子に接続され、第2端子が共通電極と接続され、第7および第8スイッチング素子が前記制御端子を有し、これら制御端子が第2制御用ラインと接続され、前記の両スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第8スイッチング素子が第2および第3スイッチング素子側の第5スイッチング素子と共通動作を行なう第2ペアスイッチング素子と、前記ゲートライン側に設けられた第1スイッチング素子と前記データ移動用ライン側に設けられた第2スイッチング素子との接続部に第1端子が接続されている映像表示用の第1容量と、第5、第6スイッチング素子の接続部に第1端子が接続され、第7、第8スイッチング素子の接続部に第2端子が接続されている映像信号補完用の第2容量とを備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項7】前記映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1および第2水平ラインの第1および第2容量に第1水平期間のデータが充電され、第3水平ラインの第1および第2容量に第2水平期間のデータが充電されるように、前記第1および第2スイッチング素子がON動作されるとともに、第2および第3水平ラインの第5および第8スイッチング素子のON動作と第6および第7スイッチング素子とのOFF動作、並びにその逆の動作により、第2および第3水平ラインの第2容量が保持するデータの極性が反転され、かつ第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給されるように、前記第3および第4スイッチング素子がON動作されることを特徴とする請求項6に記載のアクティブマトリクス型表示装置。

【請求項8】供給された映像信号のデータを充電する映像表示用の第1容量を表示部の各画素部毎に備えたアクティブマトリクス型表示装置において、

映像信号補完用の複数の第2容量が設けられ、

前記表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、

第1水平ラインの第1容量に第1水平期間のデータが充電され、第3水平ラインの第1容量に第2水平期間のデータが充電されるとともに、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電され、かつこれら第2容量のデータの相加平均されたデータが第2水平ラインの第1容

量が第2水平ラインの第1容量に供給されることを特徴とするアクティブマトリクス型表示装置。

【請求項9】マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、

これらソースラインとゲートラインとの交差部付近に形成された画素部と、

前記の各画素部毎に設けられたスイッチング素子と、前記の各画素部毎に設けられ、前記スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、

映像信号補完用の複数の第2容量と、第2容量と前記ソースラインとの間に設けられ、前記ソースラインから各第2容量への各第2容量での各々独立したデータの取り込みを可能とし、かつ取り込んだデータを2個の第2容量同士で互いに相加平均可能とし、かつ相加平均したデータを前記ソースラインに出力可能とするスイッチング回路とを備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項10】マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、

これらソースラインとゲートラインとの交差部付近に形成された画素部と、

前記の各画素部毎に設けられた第1スイッチング素子と、

前記の各画素部毎に設けられ、第1スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、

互いに並列に接続された映像信号補完用の複数の第2容量と、

これら第2容量と前記ソースラインとの間に設けられた第2スイッチング素子と、

各第2容量に個々に対応して設けられ、各第2容量と各々直列接続された第3スイッチング素子とを備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項11】映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、

第1水平ラインの第1容量に第1水平期間のデータが充電され、かつ第3水平ラインの第1容量に第2水平期間のデータが充電されるように第1スイッチング素子がON動作され、

少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電され、かつこれら第2容量のデータの相加平均されたデータがソースラインに出力されるように第2および第3スイッチング素子のON/OFF動作が行なわれ、

前記の相加平均されたデータが第2水平ラインの第1容

量に供給されるように、第2水平ラインの第1スイッチング素子がON動作されることを特徴とする請求項10に記載のアクティブマトリクス型表示装置。

【請求項12】映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平期間内の第1の期間に、第1水平期間のデータが第1水平ラインの第1容量、および少なくとも2個の第2容量のうちの第1の第2容量に充電されるように、第1水平ラインの第1スイッチング素子、第2スイッチング素子および第1の第2容量に対応する第3スイッチング素子がON動作され、第2水平期間内の第1の期間に、第2水平期間のデータが第3水平ラインの第1容量、前記2個の第2容量のうちの第2の第2容量に充電されるように、第3水平ラインの第1スイッチング素子、第2スイッチング素子および第2の第2容量に対応する第3スイッチング素子がON動作され、同一の第2水平期間内の第2の期間に、第1の第2容量と第2の第2容量との間で電荷の移動が生じるように、第2スイッチング素子がOFF動作され、かつ第1および第2の第2容量に対応する第3スイッチング素子がON動作され、同一の第2水平期間内の第3の期間に、第1および第2の第2容量に充電されているデータが、第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子、第2スイッチング素子、並びに第1および第2の第2容量に対応する第3スイッチング素子がON動作されることを特徴とする請求項10に記載のアクティブマトリクス型表示装置。

【請求項13】マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各画素部毎に設けられた第1スイッチング素子と、前記の各画素部毎に設けられ、第1スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、第1端子が前記ソースラインと接続された第2スイッチング素子と、直列接続された第4および第5スイッチング素子からなり、第1端子が前記第2スイッチング素子の第2端子と接続され、第2端子が共通電極と接続され、第4および第5スイッチング素子がON/OFF制御用の制御端子を有し、これら制御端子が共通の制御用ラインに接続され、第4および第5スイッチング素子が互いに逆動作を行なう第1ペアスイッチング素子と、

直列接続された第6および第7スイッチング素子からなり、第1端子が前記第2スイッチング素子の第2端子と接続され、第2端子が共通電極と接続され、第6および第7スイッチング素子が前記制御端子を有し、これら制御端子が共通の前記制御用ラインに接続され、6および第7スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第7スイッチング素子が第2スイッチング素子側の第4スイッチング素子と共通動作を行なう第2ペアスイッチング素子と、第4、第5スイッチング素子の接続部に第1端子が接続され、第6、第7スイッチングの接続部に第2端子が接続され、互いに並列に接続された映像信号補完用の複数の第2容量と、各第2容量に個々に対応して設けられ、各第2容量と各々直列接続された第3スイッチング素子とを備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項14】映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの第1容量に第1水平期間のデータが充電され、かつ第3水平ラインの第1容量に第2水平期間のデータが充電されるように第1スイッチング素子がON動作され、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電されるように、第2～第7スイッチングのON/OFF動作が行なわれ、第1および第2の第2容量が保持するデータの極性が反転されるように、第4および第7スイッチング素子のON動作と第5および第6スイッチング素子とのOFF動作、並びにその逆の動作が行なわれ、第1および第2の第2容量のデータが相加平均され、このデータがソースラインに出力されるように第2～第7スイッチング素子のON/OFF動作が行なわれ、前記の相加平均されたデータが第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子がON動作されることを特徴とする請求項13に記載のアクティブマトリクス型表示装置。

【請求項15】映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平期間内の第1の期間に、第1水平期間のデータが第1水平ラインの第1容量、および少なくとも2個の第2容量のうちの第1の第2容量に充電されるように、第1水平ラインの第1スイッチング素子、第2スイッチング素子、第1の第2容量に対応する第3スイッチング

素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、

第2水平期間内の第1の期間に、第2水平期間のデータが第3水平ラインの第1容量、前記2個の第2容量のうち第2の第2容量に充電されるように、第3水平ラインの第1スイッチング素子、第2スイッチング素子、第2の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、

同一の第2水平期間内の第2の期間に、第1の第2容量と第2の第2容量との間で電荷の移動が生じるように、第2スイッチング素子がOFF動作され、かつ第1および第2の第2容量に対応する第3スイッチング素子がON動作され、

同一の第2水平期間内の第3の期間に、第1および第2の第2容量に充電されているデータが、第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子、第2スイッチング素子、並びに第1および第2の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、

同一の第2水平期間内において、第1および第2の第2容量が保持するデータの極性が反転されるように、第4および第7スイッチング素子のON動作と第5および第6スイッチング素子とのOFF動作、並びにその逆の動作が行なわれることを特徴とする請求項13に記載のアクティブマトリクス型表示装置。

【請求項16】前記第2スイッチング素子と並列に、第2容量から前記ソースラインに供給されるデータを増幅する増幅器が設けられていることを特徴とする請求項10または13に記載のアクティブマトリクス型表示装置。

【請求項17】前記第2容量が保持するデータの極性を反転させる反転回路を備えていることを特徴とする請求項1、3、4、8、9または10の何れか1項に記載のアクティブマトリクス型表示装置。

【請求項18】供給された映像信号のデータを充電する映像表示用容量を各画素部毎に備えたアクティブマトリクス型表示装置において、

前記映像信号として、同一の映像信号から生成された第1および第2映像信号が同時に入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、

第1水平ラインの映像表示用容量に、第1映像信号の第1水平期間のデータが入力され、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力され、第3水平

ラインの映像表示用容量に、第2映像信号の第2水平期間の映像信号が入力されることを特徴とするアクティブマトリクス型表示装置。

【請求項19】マトリクス状に設けられた複数の第1ソースラインおよび複数の第1ゲートラインと、これら第1ソースラインと第1ゲートラインとの交差部付近に形成された画素部と、

各第1ソースラインに各々対応して設けられ、第1ソースラインの延設方向に延設された複数の第2ソースラインと、

各第1ゲートラインに各々対応して設けられ、第1ゲートラインの延設方向に延設された複数の第2ゲートラインと、

前記の各画素部毎に設けられ、第1端子が第1ソースラインと接続され、ON/OFF制御用の制御端子が第1ゲートラインと接続された第1スイッチング素子と、前記の各画素部毎に設けられ、第1端子が第2ソースラインと接続され、第2端子が第1スイッチング素子の第2端子と接続され、前記制御端子が第2ゲートラインと接続された第2スイッチング素子と、

第1スイッチング素子と第2スイッチング素子との接続部に第1端子が接続され、第2端子が共通電極と接続された映像表示用容量とを備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項20】同一の映像信号から生成された第1映像信号が第1ソースラインに入力され、第2映像信号が第1映像信号と同時に第2ソースラインに入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、

第1水平ラインの映像表示用容量に第1映像信号の第1水平期間のデータが入力されるように、第1スイッチング素子がON動作され、

第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力されるように、第1および第2スイッチング素子がON動作され、

第3水平ラインの映像表示用容量に第2映像信号の第2水平期間の映像信号が入力されるように第2スイッチング素子がON動作されることを特徴とする請求項19に記載のアクティブマトリクス型表示装置。

【請求項21】前記映像表示用容量が保持するデータの極性を反転させる反転回路を備えていることを特徴とする請求項19に記載のアクティブマトリクス型表示装置。

【請求項22】マトリクス状に設けられた複数の第1ソースラインおよび複数の第2ゲートラインと、これら第1ソースラインと第1ゲートラインとの交差部

付近に形成された画素部と、
 各第1ソースラインに各々対応して設けられ、第1ソースラインの延設方向に延設された複数の第2ソースラインと、
 各第1ゲートラインに各々対応して設けられ、第1ゲートラインの延設方向に延設された複数の第2ゲートラインと、
 前記の各画素部毎に設けられ、第1端子が第1ソースラインと接続され、ON/OFF制御用の制御端子が第1ゲートラインと接続された第1スイッチング素子と、
 前記の各画素部毎に設けられ、第1端子が第2ソースラインと接続され、第2端子が第1スイッチング素子の第2端子と接続され、前記制御端子が第2ゲートラインと接続された第2スイッチング素子と、
 直列接続された第3および第4スイッチング素子からなり、第1端子が第1および第2スイッチング素子の接続部に接続され、第2端子が共通電極と接続され、第3および第4スイッチング素子が前記制御端子を有し、これら制御端子が共通の制御用ラインと接続され、第3および第4スイッチング素子が互いに逆動作を行なう第1ペアスイッチング素子と、
 直列接続された第5および第6スイッチング素子からなり、第1端子が第1および第2スイッチング素子の接続部に接続され、第2端子が共通電極と接続され、第5および第6スイッチング素子が前記制御端子を有し、これら制御端子が前記制御用ラインと接続され、第5および第6スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第6スイッチング素子が第1および第2スイッチング素子側の第3スイッチング素子と共通動作を行なう第2ペアスイッチング素子と、
 第3および第4スイッチング素子の前記接続部に第1端子が接続され、第5および第6スイッチング素子の前記接続部に第2端子が接続されている映像表示用容量とを備えていることを特徴とするアクティブマトリクス型表示装置。
 【請求項23】同一の映像信号から生成された第1映像信号が第1ソースラインに入力され、第2映像信号が第1映像信号と同時に第2ソースラインに入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、
 第1水平ラインの映像表示用容量に第1映像信号の第1水平期間のデータが入力されるように、第1スイッチング素子がON動作されるとともに、第3～第6スイッチング素子のON/OFF動作が行なわれ、
 第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力されるように、第1および第2スイッチング素子*

*がON動作されるとともに、第3～第6スイッチング素子のON/OFF動作が行なわれ、
 第3水平ラインの映像表示用容量に第2映像信号の第2水平期間の映像信号が入力されるように第2スイッチング素子がON動作されるとともに、第3～第6スイッチング素子のON/OFF動作が行なわれ、
 映像表示用容量が保持するデータの極性が反転されるように、第3および第6スイッチング素子のON動作と第4および第5スイッチング素子とのOFF動作、並びにその逆の動作が行なわれることを特徴とする請求項19に記載のアクティブマトリクス型表示装置。

【請求項24】前記第1映像信号は、映像信号の一つおきの水平期間のデータを2倍に伸長することにより生成され、第2の映像信号は、同一の映像信号の第1映像信号とは異なる一つおきの水平期間のデータを2倍に伸長することにより生成されたものであることを特徴とする請求項18、19または22の何れか1項に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、垂直解像度が表示部の解像度よりも低い映像信号を表示可能なアクティブマトリクス型表示装置に関するものである。

【0002】

【従来の技術】近年普及しているアクティブマトリクス型表示装置としてのアクティブマトリクス型液晶表示装置では、複数のソースラインと複数のゲートラインとがマトリクス状に設けられ、これらソースラインとゲートラインとの各交差部付近に画素部が形成されている。各画素部には映像表示用の画素容量が形成され、この画素容量はTFT(Thin Film Transistor)を介して上記ゲートラインおよびソースラインと接続されている。

【0003】このようなマトリクスタイプのディスプレイでは、画像表示の際の走査が、一水平ラインずつ順番に走査するプログレッシブ走査であるため、NTSCやPALのようなインタレース信号を表示するには不向きである。そこで、マトリクスタイプのディスプレイにおいてインタレース信号を表示する場合の駆動方法として、倍速変換駆動方式やデータ変換による駆動方式が提案されている。

【0004】倍速変換駆動方式では、次のようにしてインタレース信号の表示が行なわれる。例えば、NTSC方式の映像信号(以下、NTSC信号と称する)の1フィールドは262.5本であり、ブランキング期間やオーバースキャン分を除いた有効走査線は240本である。そこで、このNTSC信号を垂直解像度480本のディスプレイに表示するために、NTSC信号の走査線1ラインに対して、ディスプレイの走査線を2ライン駆動している。具体的には、倍速走査にてNTSC信号の1水平期間における前半の1/2H期間にてディスプレ

イの1ライン目の走査を行い、後半の1/2H期間にてディスプレイの2ライン目の走査を行っている。また、他の手法としては、NTSC信号の1水平期間中にディスプレイの走査ラインを2本同時に駆動するものがある。

【0005】一方、データ変換による駆動方式では、次のようにしてインタレース信号の表示が行なわれる。即ち、例えばNTSC信号の奇数フィールドと偶数フィールドの2フィールドの信号を、フィールドメモリを用いて1フレームのノンインタレースの信号に変換して

10 また、他の手法としては、奇数(偶数)フィールドにおいては、連続する2水平期間のデータ補完により偶数(奇数)フィールドのデータを生成し、ノンインタレースの信号を生成するものがある。

【0006】また、マトリックスタイプのディスプレイは、走査ライン数が固定されているため、ディスプレイパネルの走査線数と異なる走査線数を有する信号、例えばノンインタレース方式の信号の表示にも不向きである。そこで、マトリックスタイプのディスプレイにおいて、ディスプレイパネルの走査線数と異なる走査線数を

20 有する信号、即ちディスプレイとは垂直解像度の異なる信号を表示するためのものとして、次の駆動方式が提案されている。

【0007】その駆動方式では、例えば走査線数を768本有するマトリックスタイプのディスプレイにおいて、走査線を480本有する信号を表示する場合、信号の走査線1本に対してディスプレイの走査線を複数本に対応させている。

【0008】

【発明が解決しようとする課題】ところが、上記従来の

30 マトリックスタイプのディスプレイにおける各駆動方式では、一つの走査線用の信号を単にディスプレイにおける複数の走査線に対応させるものであるため、垂直解像度を低下させることなく映像信号を表示することができない。また、上記のデータ変換による駆動方式では、外部メモリやインターフェイスを用いる必要があるため、コストアップを招来するといった問題点を有している。

【0009】したがって、本発明は、垂直解像度が表示部の解像度よりも低い映像信号を、簡単かつ低コストの構成により、良好に表示することができるアクティブマ

40 トリクス型表示装置の提供を目的としている。

【0010】

【課題を解決するための手段】上記の課題を解決するために、本発明のアクティブマトリクス型表示装置は、供給された映像信号のデータを充電する映像表示用の第1容量を各画素部毎に備えたアクティブマトリクス型表示装置において、供給された映像信号のデータを充電するとともに、充電したデータを第1容量に供給する映像信号補完用の第2容量を備えていることを特徴としている。

【0011】上記の構成によれば、映像表示用の第1容量が保持すべきデータを、映像信号補完用の第2容量から供給することにより補完することができる。即ち、映像信号補完用の第2容量を備えた簡単な構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。

【0012】これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインタレース信号あるいはノンインタレース信号を簡単かつ低コストの構成により表示することができる。

【0013】上記のアクティブマトリクス型表示装置は、前記第2容量が各画素部毎に設けられている構成としてもよい。

【0014】上記の構成によれば、映像信号補完用の第2容量が映像表示用の第1容量と共に画素部に設けられた構成であるので、画像処理に必要とされる外部メモリやインターフェイス等を使用する必要がなく、構成を確実に簡素化かつ低コスト化することができる。

【0015】本発明のアクティブマトリクス型表示装置は、供給された映像信号のデータを充電する映像表示用の第1容量を表示部の各画素部毎に備えたアクティブマトリクス型表示装置において、各画素部毎に映像信号補完用の第2容量が設けられ、前記表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1および第2水平ラインの第1および第2容量に第1水平期間のデータが充電されるとともに、第3水平ラインの第1および第2容量に第2水平期間のデータが充電され、第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給されることを特徴としている。

【0016】上記の構成によれば、表示装置における第1および第2水平ラインの第1および第2容量に、映像信号の第1水平期間のデータが充電されるとともに、表示装置における第3水平ラインの第1および第2容量に映像信号の第2水平期間のデータが充電され、表示装置における第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給される。これにより、表示装置における第2水平ラインの第1容量のデータは、第2および第3水平ラインの第2容量のデータの相加平均値により補完されることになる。

【0017】したがって、画像処理に必要とされる外部メモリやインターフェイス等を使用することなく、映像信号補完用の第2容量が映像表示用の第1容量と共に画素部に設けられた簡単かつ低コストの構成により、表示装置の垂直解像度よりも低い解像度の映像信号、例えば

50 インタレース信号あるいはノンインタレース信号

を、垂直解像度を低下させることなく、良好に表示することができる。

【0018】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各ソースラインに各々対応して設けられ、ソースラインの延設方向に延設された複数のデータ移動用ラインと、前記の各ゲートラインに各々対応して設けられ、ゲートラインの延設方向に延設された複数の制御用ラインと、前記の各画素部毎に、前記ソースラインと前記データ移動用ラインとの間に直列に設けられ、制御端子への入力信号によりON/OFFが制御され、制御端子が前記ゲートラインと接続されている第1および第2スイッチング素子と、第2スイッチング素子と並列に設けられ、前記制御端子を有し、この制御端子が前記制御用ラインと接続されている第3スイッチング素子と、前記データ移動用ラインの隣り合う第2スイッチング素子との接続部の間においてデータ移動用ラインに直列に設けられ、前記制御端子を有し、この制御端子が前記制御用ラインと接続されている第4スイッチング素子と、前記ゲートライン側に設けられた第1スイッチング素子と前記データ移動用ライン側に設けられた第2スイッチング素子との接続部に第1端子が接続され、第2端子が共通電極と接続されている映像表示用の第1容量と、第2および第3スイッチング素子の前記データ移動用ライン側端子に第1端子が接続され、第2端子が前記第1容量の第2端子と接続されている映像信号補完用の第2容量とを備えていることを特徴としている。

【0019】そして、上記のアクティブマトリクス型表示装置は、前記映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1および第2水平ラインの第1および第2容量に第1水平期間のデータが充電され、第3水平ラインの第1および第2容量に第2水平期間のデータが充電されるように、前記第1および第2スイッチング素子がON動作されるとともに、第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給されるように、前記第3および第4スイッチング素子がON動作される構成としてもよい。

【0020】上記の構成によれば、アクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、次のように動作することができる。

【0021】即ち、表示部における第1および第2水平ラインのゲートラインに選択信号が印加され、それらの第1および第2スイッチング素子がON動作されることにより、第1および第2水平ラインの第1および第2容量に、ソースラインから供給された第1水平期間のデータが充電される。

【0022】また、表示部における第3水平ラインのゲートラインに選択信号が印加され、その第1および第2スイッチング素子がON動作されることにより、第3水平ラインの第1および第2容量に、ソースラインから供給された第2水平期間のデータが充電される。

【0023】そして、表示部における第2水平ラインの制御用ラインに制御信号が供給され、この制御信号によりON/OFFが制御される第3および第4スイッチング素子がON動作されることにより、第2水平ラインの第1容量に第2水平ラインの第2容量からのデータ、およびデータ移動用ラインを介した、第3水平ラインの第2容量からのデータが供給される。これにより、表示装置における第2水平ラインの第1容量のデータは、第2および第3水平ラインの第2容量のデータの相加平均値により補完されることになる。

【0024】したがって、画像処理に必要とされる外部メモリやインターフェース等を使用することなく、映像信号補完用の第2容量および第2～第4スイッチング素子が映像表示用の第1容量および第1スイッチング素子と共に画素部に設けられ、さらにデータ移動用ラインおよび制御用ラインを備えた簡単かつ低コストの構成により、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0025】なお、上記のアクティブマトリクス型表示装置において、第2容量が保持するデータの極性を反転させる反転回路を備えた場合には、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができる。これにより、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0026】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各ソースラインに各々対応して設けられ、ソースラインの延設方向に延設された複数のデータ移動用ラインと、前記の各ゲートラインに各々対応して設けられ、ゲートラインの延設方向に延設された複数の第1制御用ラインおよび複数の第2制御用ラインと、前記の各画素部毎に、前記ソースラインと前記データ移動用ラインとの間に直列に設けられ、制御端子への入力信号によりON/OFFが制御され、制御端子が前記ゲートラインと接続され

ている第1および第2スイッチング素子と、第2スイッチング素子と並列に設けられ、前記制御端子を有し、この制御端子が第1制御用ラインと接続されている第3スイッチング素子と、前記データ移動用ラインの隣り合う第2スイッチング素子との接続部の間においてデータ移動用ラインに直列に設けられ、前記制御端子を有し、この制御端子が第1制御用ラインと接続されている第4スイッチング素子と、直列接続された第5および第6スイッチング素子からなり、第1端子が第2および第3スイッチング素子の前記データ移動用ライン側端子に接続され、第2端子が共通電極と接続され、第5および第6スイッチング素子が前記制御端子を有し、これら制御端子が第2制御用ラインと接続され、前記の両スイッチング素子が互いに逆動作を行なう第1ペアスイッチング素子と、直列接続された第7および第8スイッチング素子からなり、第1端子が第2および第3スイッチング素子の前記データ移動用ライン側端子に接続され、第2端子が共通電極と接続され、第7および第8スイッチング素子が前記制御端子を有し、これら制御端子が第2制御用ラインと接続され、前記の両スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第8スイッチング素子が第2および第3スイッチング素子側の第5スイッチング素子と共通動作を行なう第2スイッチング素子と、前記ゲートライン側に設けられた第1スイッチング素子と前記データ移動用ライン側に設けられた第2スイッチング素子との接続部に第1端子が接続されている映像表示用の第1容量と、第5、第6スイッチング素子の接続部に第1端子が接続され、第7、第8スイッチング素子の接続部に第2端子が接続されている映像信号補完用の第2容量とを備えていることを特徴としている。

【0027】そして、上記のアクティブマトリクス型表示装置は、前記映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1および第2水平ラインの第1および第2容量に第1水平期間のデータが充電され、第3水平ラインの第1および第2容量に第2水平期間のデータが充電されるように、前記第1および第2スイッチング素子がON動作されるとともに、第2および第3水平ラインの第5および第8スイッチング素子のON動作と第6および第7スイッチング素子とのOFF動作、並びにその逆の動作により、第2および第3水平ラインの第2容量が保持するデータの極性が反転され、かつ第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給されるように、前記第3および第4スイッチング素子がON動作される構成としてもよい。

【0028】上記の構成によれば、アクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して

並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、次のように動作することができる。

【0029】即ち、表示部における第1および第2水平ラインのゲートラインに選択信号が印加され、それらの第1および第2スイッチング素子がON動作されることにより、第1および第2水平ラインの第1および第2容量に、ソースラインから供給された第1水平期間のデータが充電される。

【0030】また、表示部における第3水平ラインのゲートラインに選択信号が印加され、その第1および第2スイッチング素子がON動作されることにより、第3水平ラインの第1および第2容量に、ソースラインから供給された第2水平期間のデータが充電される。

【0031】また、表示部における第2および第3水平ラインの第2制御用ラインに制御信号が供給され、第2および第3水平ラインの第5および第8スイッチング素子のON動作と第6および第7スイッチング素子とのOFF動作、並びにその逆の動作により、第2および第3水平ラインの第2容量が保持するデータの極性が反転される。

【0032】そして、表示部における第2水平ラインの第1制御用ラインに制御信号が供給され、この制御信号によりON/OFFが制御される第3および第4スイッチング素子がON動作されることにより、第2水平ラインの第1容量に第2水平ラインの第2容量からのデータ、およびデータ移動用ラインを介した、第3水平ラインの第2容量からのデータが供給される。これにより、表示装置における第2水平ラインの第1容量のデータは、第2および第3水平ラインの第2容量のデータの相加平均値により補完されることになる。

【0033】したがって、画像処理に必要とされる外部メモリやインターフェース等を使用することなく、映像信号補完用の第2容量および第2～第8スイッチング素子が映像表示用の第1容量および第1スイッチング素子と共に画素部に設けられ、さらにデータ移動用ラインおよび第1、第2制御用ラインを備えた簡単かつ低コストの構成により、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0034】また、第2容量が保持するデータの極性を反転させ、この結果、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0035】本発明のアクティブマトリクス型表示装置

は、供給された映像信号のデータを充電する映像表示用の第1容量を表示部の各画素部毎に備えたアクティブマトリクス型表示装置において、映像信号補完用の複数の第2容量が設けられ、前記表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの第1容量に第1水平期間のデータが充電され、第3水平ラインの第1容量に第2水平期間のデータが充電されるとともに、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電され、かつこれら第2容量のデータの相加平均されたデータが第2水平ラインの第1容量に供給されることを特徴としている。

【0036】上記の構成によれば、第1水平ラインの第1容量に第1水平期間のデータが充電され、第3水平ラインの第1容量に第2水平期間のデータが充電されるとともに、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電される。そして、これら第2容量のデータの相加平均されたデータが第2水平ラインの第1容量に供給される。

【0037】したがって、映像信号補完用の複数の第2容量を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を簡単な構成により、垂直解像度を低下させることなく、良好に表示することができる。

【0038】また、第2容量は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0039】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各画素部毎に設けられたスイッチング素子と、前記の各画素部毎に設けられ、前記スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、映像信号補完用の複数の第2容量と、第2容量と前記ソースラインとの間に設けられ、前記ソースラインから各第2容量への各第2容量での各々独立したデータの取り込みを可能とし、かつ取り込んだデータを2個の第2容量同士で互いに相加平均可能とし、かつ相加平均したデータを前記ソースラインに出力可能とするスイッチング回路とを備えていることを特徴として

いる。

【0040】上記の構成によれば、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、表示部の第1水平ラインの第1容量に第1水平期間のデータが充電され、表示部の第3水平ラインの第1容量に第2水平期間のデータが充電されるように第1水平ラインおよび第2水平ラインのスイッチング素子がON動作される。

【0041】一方、スイッチング回路は、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電されよう動作する。さらに、スイッチング回路は、上記の両第2容量のデータが相加平均され、相加平均されたデータがソースラインに供給されるように動作する。

【0042】その後、ソースラインに供給されたデータが第2水平ラインの第1容量に供給されるように、第2水平ラインのスイッチング素子がON動作される。

【0043】したがって、映像信号補完用の複数の第2容量およびスイッチング回路を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を簡単な構成により、垂直解像度を低下させることなく、良好に表示することができる。

【0044】また、第2容量およびスイッチング回路は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0045】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各画素部毎に設けられた第1スイッチング素子と、前記の各画素部毎に設けられ、第1スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、互いに並列に接続された映像信号補完用の複数の第2容量と、これら第2容量と前記ソースラインとの間に設けられた第2スイッチング素子と、各第2容量に個々に対応して設けられ、各第2容量と各々直列接続された第3スイッチング素子とを備えていることを特徴としている。

【0046】上記のアクティブマトリクス型表示装置

は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第 1 水平ライン、第 2 水平ライン、第 3 水平ラインとし、前記映像信号の 1 フレームにおける連続する複数の水平期間を順次第 1 水平期間、第 2 水平期間、第 3 水平期間としたときに、第 1 水平ラインの第 1 容量に第 1 水平期間のデータが充電され、かつ第 3 水平ラインの第 1 容量に第 2 水平期間のデータが充電されるように第 1 スwitching 素子が ON 動作され、少なくとも 2 個の第 2 容量のうちの第 1 の第 2 容量に第 1 水平期間のデータが充電され、第 2 の第 2 容量に第 2 水平期間のデータが充電され、かつこれら第 2 容量のデータの相加平均されたデータがソースラインに出力されるように第 2 および第 3 スwitching 素子の ON/OFF 動作が行なわれ、前記の相加平均されたデータが第 2 水平ラインの第 1 容量に供給されるように、第 2 水平ラインの第 1 スwitching 素子が ON 動作される構成としてもよい。

【0047】上記の構成によれば、アクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第 1 水平ライン、第 2 水平ライン、第 3 水平ラインとし、前記映像信号の 1 フレームにおける連続する複数の水平期間を順次第 1 水平期間、第 2 水平期間、第 3 水平期間としたときに、次のように動作することができる。

【0048】即ち、表示部の第 1 水平ラインの第 1 容量に第 1 水平期間のデータが充電され、表示部の第 3 水平ラインの第 1 容量に第 2 水平期間のデータが充電されるように第 1 水平ラインおよび第 2 水平ラインの第 1 スwitching 素子が ON 動作される。

【0049】また、第 2 スwitching 素子と何れかの第 3 スwitching 素子とが ON されることにより、少なくとも 2 個の第 2 容量のうちの第 1 の第 2 容量に第 1 水平期間のデータが充電され、また、第 2 スwitching 素子と他の第 3 スwitching 素子とが ON されることにより、上記 2 個の第 2 容量のうちの第 2 の第 2 容量に第 2 水平期間のデータが充電される。そして、第 2 スwitching 素子が OFF にされ、上記の両第 3 スwitching 素子が ON にされることにより、上記の両第 2 容量のデータが相加平均される。

【0050】その後、例えば第 2 スwitching が ON にされることにより、上記の相加平均されたデータがソースラインに供給される。このデータは、第 2 水平ラインの第 1 スwitching 素子が ON にされることにより、第 2 水平ラインの第 1 容量に供給される。

【0051】なお、第 2 スwitching 素子と並列に増幅器が設けられている場合には、上記の相加平均されたデータが第 2 容量から増幅器を介してソースラインに出力される。

【0052】したがって、映像信号補完用の複数の第 2 容量、並びに第 2 および第 3 スwitching 素子、あるい

はこれらに加えて増幅器を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第 1 水平ラインの第 1 容量に供給するデータと第 3 水平ラインの第 1 容量に供給するデータとを使用して、第 2 水平ラインの第 1 容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0053】また、第 2 容量、並びに第 2、第 3 スwitching 素子は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0054】また、上記のアクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第 1 水平ライン、第 2 水平ライン、第 3 水平ラインとし、前記映像信号の 1 フレームにおける連続する複数の水平期間を順次第 1 水平期間、第 2 水平期間、第 3 水平期間としたときに、第 1 水平期間内の第 1 の期間に、第 1 水平期間のデータが第 1 水平ラインの第 1 容量、および少なくとも 2 個の第 2 容量のうちの第 1 の第 2 容量に充電されるように、第 1 水平ラインの第 1 スwitching 素子、第 2 スwitching 素子および第 1 の第 2 容量に対応する第 3 スwitching 素子が ON 動作され、第 2 水平期間内の第 1 の期間に、第 2 水平期間のデータが第 3 水平ラインの第 1 容量、前記 2 個の第 2 容量のうちの第 2 の第 2 容量に充電されるように、第 3 水平ラインの第 1 スwitching 素子、第 2 スwitching 素子および第 2 の第 2 容量に対応する第 3 スwitching 素子が ON 動作され、同一の第 2 水平期間内の第 2 の期間に、第 1 の第 2 容量と第 2 の第 2 容量との間で電荷の移動が生じるように、第 2 スwitching 素子が OFF 動作され、かつ第 1 および第 2 の第 2 容量に対応する第 3 スwitching 素子が ON 動作され、同一の第 2 水平期間内の第 3 の期間に、第 1 および第 2 の第 2 容量に充電されているデータが、第 2 水平ラインの第 1 容量に供給されるように、第 2 水平ラインの第 1 スwitching 素子、第 2 スwitching 素子、並びに第 1 および第 2 の第 2 容量に対応する第 3 スwitching 素子が ON 動作される構成としてもよい。

【0055】上記の構成によれば、第 1 水平期間内の第 1 の期間に、第 1 水平期間のデータが第 1 水平ラインの第 1 容量、および少なくとも 2 個の第 2 容量のうちの第 1 の第 2 容量に充電され、第 2 水平期間内の第 1 の期間に、第 2 水平期間のデータが第 3 水平ラインの第 1 容量、前記 2 個の第 2 容量のうちの第 2 の第 2 容量に充電される。また、同一の第 2 水平期間内の第 2 の期間に、第 1 の第 2 容量と第 2 の第 2 容量との間で電荷の移動が行なわれ、さらに、同一の第 2 水平期間内の第 3 の期間

に、第1および第2の第2容量に充電されているデータが、第2水平ラインの第1容量に供給される。

【0056】したがって、映像信号補完用の複数の第2容量、並びに第2および第3スイッチング素子、あるいはこれらに加えて増幅器を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0057】また、第2容量、並びに第2、第3スイッチング素子および増幅器は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0058】なお、上記のアクティブマトリクス型表示装置において、第2容量が保持するデータの極性を反転させる反転回路を備えた場合には、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができる。これにより、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0059】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各画素部毎に設けられた第1スイッチング素子と、前記の各画素部毎に設けられ、第1スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、第1端子が前記ソースラインと接続された第2スイッチング素子と、直列接続された第4および第5スイッチング素子からなり、第1端子が前記第2スイッチング素子の第2端子と接続され、第2端子が共通電極と接続され、第4および第5スイッチング素子がON/OFF制御用の制御端子を有し、これら制御端子が共通の制御用ラインに接続され、第4および第5スイッチング素子が互いに逆動作を行なう第1ペアスイッチング素子と、直列接続された第6および第7スイッチング素子からなり、第1端子が前記第2スイッチング素子の第2端子と接続され、第2端子が共通電極と接続され、第6および第7スイッチング素子が前記制御端子を有し、これら制御端子が共通の前記制御用ラインに接続され、第6および第7スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第7スイッチング素子が第2スイッチング素子側の第4スイッチング素子と共通動作を行なう第2ペアスイッチング素子と、第4、第5スイッチング素子の接続部に第1端子が接続され、第6、

第7スイッチングの接続部に第2端子が接続され、互いに並列に接続された映像信号補完用の複数の第2容量と、各第2容量に個々に対応して設けられ、各第2容量と各々直列接続された第3スイッチング素子とを備えていることを特徴としている。

【0060】上記のアクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの第1容量に第1水平期間のデータが充電され、かつ第3水平ラインの第1容量に第2水平期間のデータが充電されるように第1スイッチング素子がON動作され、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電されるように、第2～第7スイッチングのON/OFF動作が行なわれ、第1および第2の第2容量が保持するデータの極性が反転されるように、第4および第7スイッチング素子のON動作と第5および第6スイッチング素子とのOFF動作、並びにその逆の動作が行なわれ、第1および第2の第2容量のデータが相加平均され、このデータがソースラインに出力されるように第2～第7スイッチング素子のON/OFF動作が行なわれ、前記の相加平均されたデータが第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子がON動作される構成としてもよい。

【0061】上記の構成によれば、アクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、次のように動作することができる。

【0062】即ち、表示部の第1水平ラインの第1容量に第1水平期間のデータが充電され、表示部の第3水平ラインの第1容量に第2水平期間のデータが充電されるように第1スイッチング素子がON動作される。

【0063】また、第2～第7スイッチングのON/OFF動作が行なわれることにより、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、また、第2の第2容量に第2水平期間のデータが充電される。

【0064】また、第4および第7スイッチング素子のON動作と第5および第6スイッチング素子とのOFF動作、並びにその逆の動作が行なわれることにより、第1および第2の第2容量が保持するデータの極性が反転される。

【0065】また、第2～第7スイッチング素子のON

／OFF動作が行なわれることにより、第1および第2の第2容量のデータが相加平均され、このデータがソースラインに出力される。なお、第2容量の極性の反転と上記相加平均の順序は逆であってもよい。

【0066】その後、第2水平ラインの第1スイッチング素子がON動作されることにより、相加平均されたデータが第2水平ラインの第1容量に供給される。

【0067】なお、第2スイッチング素子と並列に増幅器が設けられている場合には、上記の相加平均されたデータが第2容量から増幅器を介してソースラインに出力される。

【0068】したがって、映像信号補完用の複数の第2容量、並びに第2～第7スイッチング素子を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0069】また、第2容量、並びに第2～第7スイッチング素子は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0070】さらに、第2容量が保持するデータの極性を反転させ、この結果、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することができる。

【0071】また、上記のアクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平期間内の第1の期間に、第1水平期間のデータが第1水平ラインの第1容量、および少なくとも2個の第2容量のうちの第1の第2容量に充電されるように、第1水平ラインの第1スイッチング素子、第2スイッチング素子、第1の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、第2水平期間内の第1の期間に、第2水平期間のデータが第3水平ラインの第1容量、前記2個の第2容量のうちの第2の第2容量に充電されるように、第3水平ラインの第1スイッチング素子、第2スイッチング素子、第2の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7ス

スイッチング素子のON/OFF動作が行なわれ、同一の第2水平期間内の第2の期間に、第1の第2容量と第2の第2容量との間で電荷の移動が生じるように、第2スイッチング素子がOFF動作され、かつ第1および第2の第2容量に対応する第3スイッチング素子がON動作され、同一の第2水平期間内の第3の期間に、第1および第2の第2容量に充電されているデータが、第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子、第2スイッチング素子、並びに第1および第2の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、同一の第2水平期間内において、第1および第2の第2容量が保持するデータの極性が反転されるように、第4および第7スイッチング素子のON動作と第5および第6スイッチング素子とのOFF動作、並びにその逆の動作が行なわれる構成としてもよい。

【0072】上記の構成によれば、第1水平期間内の第1の期間に、第1水平期間のデータが第1水平ラインの第1容量、および少なくとも2個の第2容量のうちの第1の第2容量に充電され、第2水平期間内の第1の期間に、第2水平期間のデータが第3水平ラインの第1容量、前記2個の第2容量のうちの第2の第2容量に充電される。また、同一の第2水平期間内の第2の期間に、第1の第2容量と第2の第2容量との間で電荷の移動が行なわれ、同一の第2水平期間内の第3の期間に、第1および第2の第2容量に充電されているデータが、第2水平ラインの第1容量に供給され、同一の第2水平期間内において、第1および第2の第2容量が保持するデータの極性が反転される。

【0073】したがって、映像信号補完用の複数の第2容量、並びに第2～第7スイッチング素子を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0074】また、第2容量、並びに第2～第7スイッチング素子は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0075】さらに、第2容量が保持するデータの極性を反転させ、この結果、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減

することが可能である。

【0076】本発明のアクティブマトリクス型表示装置は、供給された映像信号のデータを充電する映像表示用容量を各画素部毎に備えたアクティブマトリクス型表示装置において、前記映像信号として、同一の映像信号から生成された第1および第2映像信号が同時に入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの映像表示用容量に、第1映像信号の第1水平期間のデータが入力され、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力され、第3水平ラインの映像表示用容量に、第2映像信号の第2水平期間の映像信号が入力されることを特徴としている。

【0077】上記の構成によれば、第1水平ラインの映像表示用容量に、第1映像信号の第1水平期間のデータが入力され、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力され、第3水平ラインの映像表示用容量に、第2映像信号の第2水平期間の映像信号が入力される。

【0078】上記のように、本アクティブマトリクス型表示装置では、第1および第2ソースラインを備えることにより、両ソースラインに印加される映像信号のデータを映像表示用容量（画素容量）やバスライン抵抗を利用して相加平均することができる。

【0079】したがって、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの映像表示用容量に供給するデータと第3水平ラインの映像表示用容量に供給するデータとを使用して、第2水平ラインの映像表示用容量のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0080】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数の第1ソースラインおよび複数の第1ゲートラインと、これら第1ソースラインと第1ゲートラインとの交差部付近に形成された画素部と、各第1ソースラインに各々対応して設けられ、第1ソースラインの延設方向に延設された複数の第2ソースラインと、各第1ゲートラインに各々対応して設けられ、第1ゲートラインの延設方向に延設された複数の第2ゲートラインと、前記の各画素部毎に設けられ、第1端子が第1ソースラインと接続され、ON/OFF制御用の制御端子が第1ゲートラインと接続された第1ス

イッチング素子と、前記の各画素部毎に設けられ、第1端子が第2ソースラインと接続され、第2端子が第1スイッチング素子の第2端子と接続され、前記制御端子が第2ゲートラインと接続された第2スイッチング素子と、第1スイッチング素子と第2スイッチング素子との接続部に第1端子が接続され、第2端子が共通電極と接続された映像表示用容量とを備えていることを特徴としている。

【0081】そして、上記のアクティブマトリクス型表示装置は、同一の映像信号から生成された第1映像信号が第1ソースラインに入力され、第2映像信号が第1映像信号と同時に第2ソースラインに入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの映像表示用容量に第1映像信号の第1水平期間のデータが入力されるように、第1スイッチング素子がON動作され、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力されるように、第1および第2スイッチング素子がON動作され、第3水平ラインの映像表示用容量に第2映像信号の第2水平期間の映像信号が入力されるように第2スイッチング素子がON動作される構成としてもよい。

【0082】上記の構成によれば、第1スイッチング素子のON動作により、第1水平ラインの映像表示用容量に第1映像信号の第1水平期間のデータが入力され、第1および第2スイッチング素子のON動作により、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力される。また、第2スイッチング素子のON動作により、第3水平ラインの映像表示用容量に第2映像信号の第2水平期間の映像信号が入力される。

【0083】上記のように、本アクティブマトリクス型表示装置では、第1および第2ソースラインを備えることにより、両ソースラインに印加される映像信号のデータを映像表示用容量（画素容量）やバスライン抵抗を利用して相加平均することができる。

【0084】したがって、第1スイッチング素子、第1ソースラインおよび第1ゲートラインに加えて、第2スイッチング素子、第2ソースラインおよび第2ゲートラインを備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの映像表示用容量に供給するデータと第3水平ラインの映像表示用容量に供給するデータとを使用して、第2水平ラインの映像表示用容量のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を

低下させることなく、良好に表示することができる。

【0085】上記のアクティブマトリクス型表示装置は、前記映像表示用容量が保持するデータの極性を反転させる反転回路を備えている構成としてもよい。

【0086】上記の構成によれば、映像表示用容量に保持されるデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0087】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数の第1ソースラインおよび複数の第2ゲートラインと、これら第1ソースラインと第1ゲートラインとの交差部付近に形成された画素部と、各第1ソースラインに各々対応して設けられ、第1ソースラインの延設方向に延設された複数の第2ソースラインと、各第1ゲートラインに各々対応して設けられ、第1ゲートラインの延設方向に延設された複数の第2ゲートラインと、前記の各画素部毎に設けられ、第1端子が第1ソースラインと接続され、ON/OFF制御用の制御端子が第1ゲートラインと接続された第1スイッチング素子と、前記の各画素部毎に設けられ、第1端子が第2ソースラインと接続され、第2端子が第1スイッチング素子の第2端子と接続され、前記制御端子が第2ゲートラインと接続された第2スイッチング素子と、直列接続された第3および第4スイッチング素子からなり、第1端子が第1および第2スイッチング素子の接続部に接続され、第2端子が共通電極と接続され、第3および第4スイッチング素子が前記制御端子を有し、これら制御端子が共通の制御用ラインと接続され、第3および第4スイッチング素子が互いに逆動作を行なう第1ペアスイッチング素子と、直列接続された第5および第6スイッチング素子からなり、第1端子が第1および第2スイッチング素子の接続部に接続され、第2端子が共通電極と接続され、第5および第6スイッチング素子が前記制御端子を有し、これら制御端子が前記制御用ラインと接続され、第5および第6スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第6スイッチング素子が第1および第2スイッチング素子側の第3スイッチング素子と共通動作を行なう第2ペアスイッチング素子と、第3および第4スイッチング素子の前記接続部に第1端子が接続され、第5および第6スイッチング素子の前記接続部に第2端子が接続されている映像表示用容量とを備えていることを特徴としている。

【0088】そして、上記のアクティブマトリクス型表示装置は、同一の映像信号から生成された第1映像信号が第1ソースラインに入力され、第2映像信号が第1映像信号と同時に第2ソースラインに入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1

水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの映像表示用容量に第1映像信号の第1水平期間のデータが入力されるように、第1スイッチング素子がON動作されるとともに、第3～第6スイッチング素子のON/OFF動作が行なわれ、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力されるように、第1および第2スイッチング素子がON動作されるとともに、第3～第6スイッチング素子のON/OFF動作が行なわれ、第3水平ラインの映像表示用容量に第2映像信号の第2水平期間の映像信号が入力されるように第2スイッチング素子がON動作されるとともに、第3～第6スイッチング素子のON/OFF動作が行なわれ、映像表示用容量が保持するデータの極性が反転されるように、第3および第6スイッチング素子のON動作と第4および第5スイッチング素子とのOFF動作、並びにその逆の動作が行なわれる構成としてもよい。

【0089】上記の構成によれば、第1スイッチング素子のON動作、および第3～第6スイッチング素子のON/OFF動作により、第1水平ラインの映像表示用容量に第1映像信号の第1水平期間のデータが入力される。また、第1および第2スイッチング素子のON動作、および第3～第6スイッチング素子のON/OFF動作により、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力される。また、第2スイッチング素子のON動作、および第3～第6スイッチング素子のON/OFF動作により、第3水平ラインの映像表示用容量に第2映像信号の第2水平期間の映像信号が入力される。さらに、第3および第6スイッチング素子のON動作と第4および第5スイッチング素子とのOFF動作、並びにその逆の動作により、映像表示用容量が保持するデータの極性が反転される。

【0090】上記のように、本アクティブマトリクス型表示装置では、第1および第2ソースラインを備えることにより、両ソースラインに印加される映像信号のデータを映像表示用容量（画素容量）やバスライン抵抗を利用して相加平均することができる。

【0091】したがって、第1スイッチング素子、第1ソースラインおよび第1ゲートラインに加えて、第2ソースライン、第2ゲートライン、および第2～第6スイッチング素子を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの映像表示用容量に供給するデータと第3水平ラインの映像表示用容量に供給するデータとを使用して、第2水平ラインの映像表示用容量のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直

解像度を低下させることなく、良好に表示することができる。

【0092】また、映像表示用容量に保持されるデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0093】上記のアクティブマトリクス型表示装置において、前記第1映像信号は、映像信号の一つおきの水平期間のデータを2倍に伸長することにより生成され、第2の映像信号は、同一の映像信号の第1映像信号とは異なる一つおきの水平期間のデータを2倍に伸長することにより生成されたものである構成としてもよい。

【0094】上記の構成によれば、表示する例えばインターレース信号あるいはノンインターレース信号を上記第1および第2映像信号とすることにより、第1および第2映像信号を使用して、良好な表示が可能となる。

【0095】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態を図1ないし図4に基づいて以下に説明する。本実施の形態のアクティブマトリクス型表示装置としてのアクティブマトリクス型液晶表示装置（以下、単に液晶表示装置と称する）は、図2に示すように、アクティブマトリクス型の液晶パネル1、ソースドライバ2、ゲートドライバ3、メモリドライバ4およびタイミングコントローラ5を備えている。これらソースドライバ2、ゲートドライバ3、メモリドライバ4およびタイミングコントローラ5は液晶パネル1の周縁部に設けられている。液晶パネル1は図1に示す構成を有している。なお、同図は、液晶パネル1内の1個の画素部付近の等価回路を示している。

【0096】図2に示すように、液晶パネル1では、複数のソースライン11と複数のゲートライン12とがマトリクス状に設けられ、これらソースライン11とゲートライン12との交差部付近に画素部13が形成されている。さらに、液晶パネル1では、各ソースライン11に各々対応してデータ移動用ライン14が設けられ、各ゲートライン12に各々対応して制御用ライン15が設けられている。各データ移動用ライン14はソースライン11の延設方向に延設され、各制御用ライン15はゲートライン12の延設方向に延設されている。

【0097】ソースライン11はソースドライバ2に接続され、ゲートライン12はゲートドライバ3に接続され、制御用ライン15はメモリドライバ4に接続されている。

【0098】上記の各画素部13では、図1に示すように、ソースライン11とデータ移動用ライン14との間に、スイッチング素子（第1スイッチング素子）SW1とスイッチング素子（第2スイッチング素子）SW2とが直列に設けられ、スイッチング素子SW2と並列にスイッチング素子（第3スイッチング素子）SW3が設け

られている。また、データ移動用ライン14における、データ移動用ライン14と接続されている隣り合うスイッチング素子SW2との2箇所の接続部の間には、データ移動用ライン14と直列にスイッチング素子（第4スイッチング素子）SW4設けられている。

【0099】スイッチング素子SW1～SW4（第1～第4スイッチング素子）はトランジスタからなり、それぞれON/OFF制御用の制御端子SW1c～SW4cを有する。スイッチング素子SW1、SW2の制御端子SW1c、SW2cはゲートライン12と接続され、スイッチング素子SW3、SW4の制御端子SW3c、SW4cは制御用ライン15と接続されている。

【0100】また、各画素部13には映像表示用の液晶容量（第1容量）C1cとデータ補完用の補完用容量（第2容量）Cmとが設けられている。液晶容量C1cの第1端子（一方の端子）は、ソースライン11側に設けられたスイッチング素子SW1とデータ移動用ライン14側に設けられたスイッチング素子SW2との接続部に接続され、第2端子（他方の端子）は共通電極（図示せず）に接続されている。補完用容量Cmの第1端子（一方の端子）は、スイッチング素子SW2、SW3の前記データ移動用ライン14側端子に接続され、第2端子（他方の端子）は、前記液晶容量C1cの第2端子と同様、共通電極に接続されている。なお、共通電極は、液晶容量C1cにデータを書き込むときの基準電位を与える電極である。

【0101】上記のように、本液晶表示装置では、液晶パネル1の画素部13に液晶容量C1cに加えて補完用容量Cm、およびその駆動回路（スイッチング素子SW1～SW4）がモノリシックに構成されている。

【0102】上記のスイッチング素子SW1、SW2は、ゲートライン12に印加される信号によりON/OFFされ、ON動作によりそれぞれソースライン11のデータを液晶容量C1c、補完用容量Cmに書き込む。スイッチング素子SW3、SW4は、制御用ライン15に印加される信号によりON/OFFされ、液晶容量C1cおよび補完用容量Cmに蓄積された電荷の移動先を決定する。データ移動用ライン14は、液晶容量C1cおよび補完用容量Cmに蓄積された電荷を移動させるための信号線であり、各画素部13に対して上記のように接続されている。このデータ移動用ライン14を介した電荷の移動はスイッチング素子SW4のON/OFF動作により制御される。

【0103】図2に示したタイミングコントローラ5は、外部から入力される垂直同期信号Vsyncと水平同期信号Hsyncに基づいて、ソースドライバ2、ゲートドライバ3、メモリドライバ4の駆動を制御する制御信号Ca、制御信号Cb、制御信号Ccを生成する。

【0104】ソースドライバ2は、タイミングコントローラ5から供給される制御信号Caに基づいて、データ

信号Dを液晶パネル1のソースライン11に印加する。

【0105】ゲートドライバ3は、タイミングコントローラ5から供給される制御信号Cbに基づいて、前記スイッチング素子SW1、SW2のON/OFF動作を制御する信号をゲートライン12に出力し、ソースドライバ2より出力されたデータ信号Dを書き込む画素部13を決定する。

【0106】メモリドライバ4は、タイミングコントローラ5から供給される制御信号Ccに基づいて、前記スイッチング素子SW3、SW4のON/OFF動作を制御する信号を制御ライン15に出力し、液晶容量Clcおよび補完容量Cmに蓄積された電荷の移動先を決定する。

【0107】上記の構成において、本液晶表示装置の動作について以下に説明する。

(1)表示する映像信号がインターレース信号である場合

有効走査線240本のNTSC信号を、走査線数480本の液晶パネル1に表示する場合について説明する。なお、NTSC信号より生成されたRGBの各信号を以下、映像信号と称する。また、映像信号と液晶パネル1の水平ラインとの対応関係を次のようにしている。即ち、映像信号の奇数フレームは、第1水平期間(1H)のデータをパネルの第1番目の水平ライン、第2水平期間(2H)のデータを第3番目の水平ラインというように、第1、第2、...の各水平期間のデータを第1番目の水平ラインを初めとして順次一つおきの水平ラインに対応させる。同様に、映像信号の偶数フレームは、第1水平期間(1H)のデータ液晶パネル1の第2番目の水平ライン、第2水平期間(2H)のデータを第4番目の水平ラインというように、第1、第2、...の各水平期間のデータを第2番目の水平ラインを初めとして順次一つおきの水平ラインに対応させる。

【0108】本実施の形態では、映像信号の奇数フレームにおいて抜けている偶数ラインのデータを補完容量Cmに充電した奇数ラインのデータを使用して補完し、同様に、映像信号の偶数フレームにおいて抜けている奇数ラインのデータを補完容量Cmに充電した偶数ラインのデータを使用して補完するようにしている。

【0109】上記の動作を図3(a)~図3(c)により詳細に説明する。なお、図3(a)において、nはnが付されたものが第nライン目(第n番目)のものであることを示す。この点は、後述の他の例においても同様である。また、図3(b)、図3(c)のタイミングチャートに示す各信号は、図3(a)におけるゲートライン12および制御ライン15に印加されたものであり、図3(b)は奇数フレームの信号、図3(c)は偶数フレームの信号をそれぞれ示す。H₁、H₂、H₃、H₄、H₅はそれぞれ奇数フレームの1H期間を示し、H₆、H₇、H₈、H₉、H₁₀はそれぞれ偶数フレーム

の1H期間を示す。a、b、c、d、eはそれぞれ奇数フレームの1Hのデータを表し、f、g、h、i、jはそれぞれ偶数フレームの1Hのデータを表す。また、SV1は映像信号であり、この映像信号SV1は、基準電位E0を中心に奇数フレームと偶数フレームとで反転されている。

【0110】まず、水平期間H₁において、ゲートライン12(n-2)、12(n-1)に選択信号を印加して、スイッチング素子SW1(n-2)、SW1(n-1)およびスイッチング素子SW2(n-2)、SW2(n-1)をONにすることにより、液晶容量Clc(n-2)、Clc(n-1)と補完容量Cm(n-2)、Cm(n-1)とにデータaを書き込む。

【0111】次に、水平期間H₂において、ゲートライン12(n)、12(n+1)に選択信号を印加して、スイッチング素子SW1(n)、SW1(n+1)およびスイッチング素子SW2(n)、SW2(n+1)をONにすることにより、液晶容量Clc(n)、Clc(n+1)と補完容量Cm(n)、Cm(n+1)とにデータbを書き込む。

【0112】次に、水平期間H₃において、ゲートライン12(n+2)、12(n+3)に選択信号を印加して、スイッチング素子SW1(n+2)、SW1(n+3)およびスイッチング素子SW2(n+2)、SW2(n+3)をONにすることにより、液晶容量Clc(n+2)、Clc(n+3)と補完容量Cm(n+2)、Cm(n+3)とにデータcを書き込む。

【0113】これと同時に、制御ライン15(n-1)をHighにすると、スイッチング素子SW3(n-1)、SW4(n-1)がONとなり、図3(a)に破線にて示すように、液晶容量Clc(n-1)と補完容量Cm(n-1)と補完容量Cm(n)との間で電荷が移動する。このとき、液晶容量Clcに比べて補完容量Cmが十分大きい場合、Clc(n-1)の電位はCm(n-1)とCm(n)の相加平均となる。これにより、映像信号の奇数フレームのデータ(例えば補完容量Cm(n)に保持されたデータ)を用いて、偶数フレームのデータ(例えば液晶容量Clc(n-1)に保持されるデータ)の補完が可能となる。

【0114】液晶パネル1に映像信号の偶数フレームのデータを入力する場合にも、同様にして、偶数フレームのデータを用いて奇数フレームのデータの補完が可能となる。

【0115】(2)表示する映像信号がノンインターレース信号である場合

ここでは、例えば垂直解像度がn本のノンインターレース信号(映像信号)を、垂直解像度が2n本の液晶パネル1に表示するものとする。また、映像信号と液晶パネル1の水平ラインとの対応関係は、次の3つの場合の何れかとするのが可能である。

(a) 映像信号における各ラインのデータを液晶パネル1の奇数ラインに順次対応させて書き込み、偶数ラインのデータを奇数ラインのデータにより補完する。

(b) 映像信号における各ラインのデータを液晶パネル1の偶数ラインに順次対応させて書き込み、奇数ラインのデータを偶数ラインのデータにより補完する。

(c) 上記(a)と(b)とを各フレーム毎に交互に行なう。

【0116】ここでは、一例として上記(a)の場合の動作について、図4(a)~図4(c)により詳細に説明する。図4(b)、図4(c)のタイミングチャートに示す各信号は、図4(a)におけるゲートライン12および制御用ライン15に印加されたものであり、図4(b)は任意の1フレームの信号、図4(c)はその次の1フレームの信号をそれぞれ示す。 $H_1 \sim H_5$ 、 $H_6 \sim H_{10}$ はそれぞれのフレームの1H期間を示し、 $a_1 \sim e_1$ 、 $a_2 \sim e_2$ はそれぞれのフレームの1Hのデータを示す。また、映像信号SV1は、同様に、基準電位E0を中心にフレーム毎に反転されている。

【0117】まず、水平期間 H_1 において、ゲートライン12(n-2)、12(n-1)に選択信号を印加して、液晶容量C1c(n-2)、C1c(n-1)と補完用容量Cm(n-2)、Cm(n-1)とにデータa1を書き込む。

【0118】次に、水平期間 H_2 において、ゲートライン12(n)、12(n+1)に選択信号を印加して、液晶容量C1c(n)、C1c(n+1)と補完用容量Cm(n)、Cm(n+1)とにデータb1を書き込む。

【0119】次に、水平期間 H_3 において、ゲートライン12(n+2)、12(n+3)に選択信号を印加して、液晶容量C1c(n+2)、C1c(n+3)と補完用容量Cm(n+2)、Cm(n+3)とにデータc1を書き込む。

【0120】これと同時に、制御用ライン15(n-1)をHighにすると、液晶容量C1c(n-1)と補完用容量Cm(n-1)と補完用容量Cm(n)との間で電荷が移動する。このとき、液晶容量C1cに比べて補完用容量Cmが十分大きい場合、C1c(n-1)の電位はCm(n-1)とCm(n)の相加平均となる。これにより、液晶パネル1の奇数ラインに書き込まれたデータ(例えば補完用容量Cm(n)に保持されたデータ)により、偶数ラインのデータ(例えば液晶容量C1c(n-1)に保持されるデータ)の補完が可能となる。

【0121】上記の動作は、前述の(1)の場合の動作と同様のものであり、上記(b)および(c)の場合についても、同様に可能である。

【0122】〔実施の形態2〕本発明の実施の他の形態を図5ないし図9に基づいて以下に説明する。本実施の

形態のアクティブマトリクス型表示装置としての液晶表示装置は、図5に示すように、図2に示したアクティブマトリクス型の液晶パネル1、ソースドライバ2、ゲートドライバ3、メモリドライバ4およびタイミングコントローラ5に対応する、アクティブマトリクス型の液晶パネル21、ソースドライバ22、ゲートドライバ23、メモリドライバ24およびタイミングコントローラ25を備えている。

【0123】液晶パネル21は、前記画素部13に代る画素部26を有している。また、液晶パネル21は、前記ソースライン11、ゲートライン12、データ移動用ライン14および制御用ライン(第1制御用ライン)15に加えて制御用ライン(第2制御用ライン)27を有している。制御用ライン27は、各ゲートライン12に各々対応してゲートライン12の延設方向に延設されている。

【0124】液晶パネル21は図6に示す構成を有している。なお、同図は、液晶パネル21内の1個の画素部付近の等価回路を示している。各画素部26では、図6に示すように、ソースライン11とデータ移動用ライン14との間に、スイッチング素子SW1、SW2が直列に設けられ、スイッチング素子SW2と並列にスイッチング素子SW3が設けられている。また、データ移動用ライン14における、データ移動用ライン14と接続されている隣り合うスイッチング素子SW2との2箇所の接続部の間には、データ移動用ライン14と直列にスイッチング素子SW4設けられている。

【0125】スイッチング素子SW1~SW4はトランジスタからなり、それぞれON/OFF制御用の制御端子SW1c~SW4cを有する。スイッチング素子SW1、SW2の制御端子SW1c、SW2cはゲートライン12と接続され、スイッチング素子SW3、SW4の制御端子SW3c、SW4cは制御用ライン15と接続されている。

【0126】また、各画素部26は、直列接続されたスイッチング素子(第5スイッチング素子)SW5、スイッチング素子(第6スイッチング素子)SW6からなるペアスイッチング素子(第1ペアスイッチング素子)28、および直列接続されたスイッチング素子(第7スイッチング素子)SW7、スイッチング素子(第8スイッチング素子)SW8からなるペアスイッチング(第2ペアスイッチング素子)素子29を有している。

【0127】ペアスイッチング素子28は、一方の端子(第1端子)がスイッチング素子SW2、SW3のデータ移動用ライン14の側端子に接続され、他方の端子(第2端子)が共通電極と接続されている。同様に、ペアスイッチング素子29は、一方の端子(第1端子)がスイッチング素子SW2、SW3のデータ移動用ライン14の側端子に接続され、他方の端子(第2端子)が共通電極と接続されている。

【0128】ペアスイッチング素子28を構成するスイッチング素子SW5、SW6はトランジスタからなり、それぞれON/OFF制御用の制御端子SW5c、SW6cを有し、互いに逆動作を行なう。同様に、ペアスイッチング素子29を構成するスイッチング素子SW7、SW8はトランジスタからなり、それぞれON/OFF制御用の制御端子SW7c、SW8cを有し、互いに逆動作を行なう。一方、スイッチング素子SW6、SW7同士、およびスイッチング素子SW5、SW8同士は互いに同じ動作を行なう。また、上記制御端子SW5c、SW8cは、制御用ライン27と接続されている。

【0129】さらに各画素部26は、前記液晶容量C1cと前記補完容量Cmとを有する。液晶容量C1cは、図2の構成と同様、一方の端子(第1端子)がソースライン11側に設けられたスイッチング素子SW1とデータ移動用ライン14側に設けられたスイッチング素子SW2との接続部に接続され、他方の端子(第2端子)が共通電極(図示せず)に接続されている。一方、補完容量Cmは、一方の端子(第1端子)がスイッチング素子SW5、SW6の接続部に接続され、他方の端子(第2端子)がスイッチング素子SW7、SW8の接続部に接続されている。したがって、メモリドライバ24から上記制御用ライン27に印加する信号のレベルを変更し、スイッチング素子SW5~SW8のON/OFFを切り替えることにより、共通電極(共通電位COM)と接続される補完容量Cmの電極を切り替えることができる。

【0130】上記のように、本液晶表示装置では、液晶パネル21の画素部26に液晶容量C1cに加えて補完容量Cm、およびその駆動回路(スイッチング素子SW1~SW8)がモノリシックに構成されている。

【0131】スイッチング素子SW1、SW2は、ゲートライン12に印加される信号によりON/OFFされ、スイッチング素子SW3、SW4は、制御用ライン15に印加される信号によりON/OFFされ、スイッチング素子SW5~SW8は、制御用ライン27に印加される信号によりON/OFFされる。

【0132】液晶容量C1cには、スイッチング素子SW1のON動作によりソースライン11の信号が書き込まれる。また、補完容量Cmには、スイッチング素子SW2のON動作、およびスイッチング素子SW5、SW8またはスイッチング素子SW6、SW7のON動作によりソースライン11の信号が書き込まれる。また、液晶容量C1cおよび補完容量Cmに蓄積された電荷の移動先は、スイッチング素子SW3、SW4、およびスイッチング素子SW5またはスイッチング素子SW7により決定される。さらに、共通電極(COM電位)と接続される補完容量Cmの端子(2端子のうちの何れか一方)は、スイッチング素子SW6、SW8の何れがON動作するかにより切り替わる。

【0133】ソースドライバ22、ゲートドライバ23およびタイミングコントローラ25は、前述のソースドライバ2、ゲートドライバ3およびタイミングコントローラ5と同様の動作を行なう。

【0134】メモリドライバ24は、タイミングコントローラ25から供給される制御信号Ccに基づいて、スイッチング素子SW3、SW4のON/OFF動作を制御する信号を制御用ライン15に出力するとともに、スイッチング素子SW5~SW8のON/OFF動作を制御する信号を制御用ライン27に出力する。これにより、液晶容量C1cおよび補完容量Cmに蓄積された電荷の移動先を決定するとともに、共通電極(COM電位)と接続される補完容量Cmの電極を切り替える。この切り替え動作により、補完容量Cmの電位の極性を基準電位に対して反転可能となっている。

【0135】上記の構成において、本液晶表示装置の動作について以下に説明する。

【0136】(1)表示する映像信号がインターレース信号である場合

有効走査線240本のNTSC信号を、走査線480本の液晶パネル1に表示する場合について説明する。なお、映像信号と液晶パネル41の水平ラインとの対応関係は、実施の形態1において説明した(1)のインターレース信号の処理の場合と同様である。

【0137】本実施の形態においても、映像信号の奇数フレームにおいて抜けている偶数ラインのデータを補完容量Cmに充電した奇数ラインのデータを使用して補完し、同様に、映像信号の偶数フレームにおいて抜けている奇数ラインのデータを補完容量Cmに充電した偶数ラインのデータを使用して補完するようにしている。

【0138】上記の動作を図7(a)~図7(c)、および図8により詳細に説明する。なお、図7(b)、図7(c)のタイミングチャートに示す各信号は、図7(a)におけるゲートライン12、制御用ライン27および制御用ライン15に印加されたものであり、図7(b)は奇数フレームの信号、図7(c)は偶数フレームの信号をそれぞれ示す。H₁、H₂、H₃、H₄、H₅はそれぞれ奇数フレームの1H期間を示し、H₆、H₇、H₈、H₉、H₁₀はそれぞれ偶数フレームの1H期間を示す。a、b、c、d、eはそれぞれ映像信号における奇数フレームの1Hのデータを表し、f、g、h、i、jはそれぞれ偶数フレームの1Hのデータを表す。映像信号SV1は、基準電位E0を中心に奇数フレームと偶数フレームとで反転されている。また、ここでは、n-2、n-1、n番目の画素部26に注目して説明する。

【0139】まず、水平期間H₁において、ゲートライン12(n-2)、12(n-1)に選択信号を印加して、スイッチング素子SW1(n-2)、SW1(n-1)およびスイッチング素子SW2(n-2)、SW2

($n-1$)をONにするとともに、制御用ライン27($n-2$)、27($n-1$)をHighにして、スイッチング素子SW5($n-2$)、SW5($n-1$)およびスイッチング素子SW8($n-2$)、SW8($n-1$)をONにする。これにより、液晶容量C1c($n-2$)、C1c($n-1$)と補完容量Cm($n-2$)、Cm($n-1$)とにデータaを書き込むとともに、液晶容量C1c($n-2$)、C1c($n-1$)と補完容量Cm($n-2$)、Cm($n-1$)との映像信号書き込みの基準電位E0を共通電位COMとする。

【0140】次に、水平期間H₂において、制御用ライン27($n-2$)、27($n-1$)のHigh状態を継続し、液晶容量C1c($n-2$)、C1c($n-1$)および補完容量Cm($n-2$)、Cm($n-1$)の電位と基準電位COMとの関係を維持する。

【0141】また、ゲートライン12(n)に選択信号を印加して、スイッチング素子SW1(n)およびスイッチング素子SW2(n)をONにするとともに、制御用ライン27(n)をHighにして、スイッチング素子SW5(n)およびスイッチング素子SW8(n)をONにする。これにより、液晶容量C1c(n)と補完容量Cm(n)とにデータbを書き込むとともに、液晶容量C1c(n)と補完容量Cm(n)との映像信号書き込みの基準電位E0を共通電位COMとする。

【0142】次に、水平期間H₃において、制御用ライン27($n-1$)、27(n)のHigh状態を継続し、液晶容量C1c($n-1$)、C1c(n)および補完容量Cm($n-1$)、Cm(n)の電位と基準電位COMとの関係を維持する。

【0143】また、制御用ライン15($n-1$)をHighにすると、スイッチング素子SW3($n-1$)、SW4($n-1$)がONとなり、図8に破線で示すように、液晶容量C1c($n-1$)と補完容量Cm($n-1$)と補完容量Cm(n)との間で電荷が移動する。このとき、液晶容量C1cに比べて補完容量Cmが十分大きい場合、C1c($n-1$)の電位はCm($n-1$)とCm(n)の相加平均となる。これにより、映像信号の奇数フレームのデータ(例えば補完容量Cm(n)に保持されたデータ)を用いて、偶数フレームのデータ(例えば液晶容量C1c($n-1$)に保持されるデータ)の補完が可能となる。

【0144】次に、水平期間H₄において、制御用ライン15($n-1$)のHigh状態を継続する一方、制御用ライン27($n-1$)、27(n)をHighからLowに切り替えることにより、液晶容量C1c($n-1$)および補完容量Cm($n-1$)の電位と共通電位COMとの電位関係を入れ替える。即ち、共通電位COMを基準として液晶容量C1c($n-1$)および補完容量Cm($n-1$)の電位を反転させる。この反転動作の結果、共通電位COMに対して正極性であった液晶容

量C1c($n-1$)の電位が、共通電位COMに対して負極性となる。

【0145】上記のように、本液晶表示装置では、液晶パネル21にインターレース信号における奇数フレームの映像信号を入力する場合に、奇数フレームのデータを用いて、偶数フレームのデータの補完が可能となる。また、液晶パネル21に偶数フレームの映像信号を入力する場合にも、同様にして、偶数フレームのデータを用いて奇数フレームのデータの補完が可能となる。

10 【0146】さらに、奇数フレームおよび偶数フレームにおいて、液晶パネル21の水平ライン毎に液晶容量C1cが保持する電荷の極性を変えること、即ち補完容量Cmの電荷の極性を変えることにより補完容量Cmによって補完される液晶容量C1cの電荷の極性を変えることができるので、空間的に発生するフリッカを軽減することが可能である。

【0147】(2)表示する映像信号がノンインターレース信号である場合

ここでは、例えば垂直解像度がn本のノンインターレース信号(映像信号)を、垂直解像度が2n本の液晶パネル21に表示するものとする。この場合の映像信号と液晶パネル21の水平ラインとの対応関係は実施の形態1において前述した(a)~(c)の3つの場合の何れかに設定することが可能である。ここでは、一例として

(a)映像信号における各ラインのデータを液晶パネル21の奇数ラインに順次対応させて書き込み、偶数ラインのデータを奇数ラインのデータにより補完する場合の動作について、図8および図9(a)~図9(c)により詳細に説明する。図9(b)、図9(c)のタイミングチャートに示す各信号は、図9(a)におけるゲートライン12、制御用ライン27および制御用ライン15に印加されたものであり、図9(b)は任意の1フレームの信号、図9(c)はその次の1フレームの信号をそれぞれ示す。H₁~H₅、H₆~H₁₀はそれぞれのフレームの1H期間を示し、a1~e1、a2~e2はそれぞれのフレームの1Hのデータを示す。また、映像信号SV1は、同様に、基準電位E0を中心にフレーム毎に反転されている。

【0148】まず、任意のフレームの水平期間H₁において、ゲートライン12($n-2$)、12($n-1$)に選択信号を印加して、スイッチング素子SW1($n-2$)、SW1($n-1$)およびスイッチング素子SW2($n-2$)、SW2($n-1$)をONにする。また、制御用ライン27($n-2$)、27($n-1$)はLowであり、このとき、スイッチング素子SW6($n-2$)、SW6($n-1$)およびスイッチング素子SW7($n-2$)、SW7($n-1$)はONとなっている。これにより、液晶容量C1c($n-2$)、C1c($n-1$)と補完容量Cm($n-2$)、Cm($n-1$)とにデータa1を書き込む。

【0149】次に、水平期間 H_2 において、ゲートライン12(n)、12(n+1)に選択信号を印加し、水平期間 H_1 の場合と同様にして、液晶容量 $C1c$ (n)、 $C1c$ (n+1)と補完容量 Cm (n)、 Cm (n+1)とにデータ $b1$ を書き込む。

【0150】また、制御用ライン27(n-2)、27(n-1)をHighにして、即ち制御用ライン27(n-2)、27(n-1)に印加する信号レベルを変化させ、補完容量 Cm (n-2)、 Cm (n-1)の電位を共通電位COMを基準として反転させる。この反転動作の結果、共通電位COMに対して正極性であった補完容量 Cm (n-2)、 Cm (n-1)の電位が、共通電位COMに対して負極性となる。

【0151】次に、水平期間 H_3 において、制御用ライン27(n)、27(n+1)への信号レベルを変化させ、補完容量 Cm (n)、 Cm (n+1)の電位を共通電位COMを基準として反転させる。

【0152】次に、水平期間 H_4 において、制御用ライン15(n-1)をHighにすると、スイッチング素子 $SW3$ (n-1)、 $SW4$ (n-1)がONとなり、図8に破線にて示すように、液晶容量 $C1c$ (n-1)と補完容量 Cm (n-1)と補完容量 Cm (n)との間で電荷が移動する。このとき、液晶容量 $C1c$ に比べて補完容量 Cm が十分大きい場合、 $C1c$ (n-1)の電位は Cm (n-1)と Cm (n)の相加平均となる。これにより、映像信号の奇数ラインのデータ(例えば補完容量 Cm (n)に保持されたデータ)を用いて、偶数ラインのデータ(例えば液晶容量 $C1c$ (n-1)に保持されるデータ)の補完が可能となる。

【0153】上記のように、本液晶表示装置では、液晶パネル21にノンインターレース信号を入力する場合には、映像信号の奇数ラインのデータを用いて、偶数ラインのデータの補完が可能となる。また、同様にして、偶数ラインのデータを用いて奇数ラインのデータの補完が可能となる。

【0154】さらに、液晶パネル21の水平ライン毎に液晶容量 $C1c$ が保持する電荷の極性を変えることができるので、空間的に発生するフリッカを軽減することが可能である。

【0155】〔実施の形態3〕本発明の実施のさらに他の形態を図10ないし図12に基づいて以下に説明する。本実施の形態のアクティブマトリクス型表示装置としての液晶表示装置は、図10に示すように、図2に示したアクティブマトリクス型の液晶パネル1、ソースドライバ2、ゲートドライバ3、メモリドライバ4およびタイミングコントローラ5に対応する、アクティブマトリクス型の液晶パネル31、ソースドライバ32、ゲートドライバ33、メモリドライバ34およびタイミングコントローラ35を備えている。

【0156】液晶パネル31は、前記画素部13に代る

画素部36を有している。また、液晶パネル31は、前記ソースライン11およびゲートライン12を有し、各ソースライン11に各々対応してメモリ回路37を有している。各メモリ回路37は、液晶パネル31におけるソースドライバ32の配置側とは反対側の位置において液晶パネル31の端縁部に沿って並べて配置され、それぞれ対応するソースライン11と接続されている。また、各メモリ回路37は制御用ライン38(38a~38e)によってメモリドライバ34と接続されている。各メモリ回路37は、画素部36外の位置において、液晶パネル31にモノリシックに形成されている。なお、各メモリ回路37は、ソースドライバ32の配置側と同じ側に配置されていれもよい。

【0157】図11には上記メモリ回路37の等価回路を示す。同図に示すように、本実施の形態において、メモリ回路37は3個の補完容量 $Cm1$ ~ $Cm3$ を有している。これら補完容量 $Cm1$ ~ $Cm3$ は互いに並列に接続され、各補完容量 $Cm1$ 、 $Cm2$ 、 $Cm3$ にはそれぞれスイッチング素子(第3スイッチング素子) $SW11$ 、 $SW12$ 、 $SW13$ が直列に接続されている。補完容量 $Cm1$ ~ $Cm3$ の他方の端子は共に共通電極(共通電位COM)と接続され、スイッチング素子 $SW11$ ~ $SW13$ の他方の端子は共に、スイッチング素子(第2スイッチング素子) $SW14$ を介してソースライン11と接続されている。また、スイッチング素子 $SW14$ には増幅器としての電流増幅回路(AMP)39が並列に接続されており、補完容量 $Cm1$ ~ $Cm3$ の電荷は電流増幅回路39を介してソースライン11に出力される。

【0158】上記の各スイッチング素子 $SW11$ ~ $SW14$ は、それぞれ制御端子 $SW11c$ ~ $SW14c$ を有し、制御端子 $SW11c$ ~ $SW14c$ に制御用ライン38a~38dを介してメモリドライバ34から入力される制御信号により、ON/OFFが制御される。同様に、電流増幅回路39は、制御端子39aを有し、この制御端子39aに制御用ライン38eを介してメモリドライバ34から入力される制御信号により動作が制御される。即ち、メモリドライバ34は、補完容量 $Cm1$ ~ $Cm3$ が保持する電荷の移動を制御する。

【0159】また、液晶パネル31の各画素部36には、液晶容量 $C1c$ が設けられ、この液晶容量 $C1c$ はスイッチング素子 $SW1$ を介してソースライン11およびゲートライン12と接続されている。スイッチング素子 $SW1$ のON/OFFは、前述のように、ゲートドライバ33からゲートライン12に出力される選択信号に基づいて行なわれ、ゲートドライバ33の動作は、タイミングコントローラ35から出力される制御信号Cbにより制御される。即ち、スイッチング素子 $SW1$ がONすることにより、それに接続された液晶容量 $C1c$ に、ソースドライバ32からソースライン11に出力された

データが書き込まれる。

【0160】上記の構成において、本液晶表示装置の動作について以下に説明する。

(1) 表示する映像信号がインターレース信号である場合

有効走査線240本のNTSC信号(映像信号)を、走査線数480本の液晶パネル31に表示する場合について説明する。なお、映像信号と液晶パネル41の水平ラインとの対応関係は、実施の形態1において説明した(1)のインターレース信号の処理の場合と同様である。

【0161】本実施の形態では、映像信号の奇数フレームにおいて抜けている偶数ラインのデータを補完用容量 C_m (補完用容量 $C_{m1} \sim C_{m3}$)に充電した奇数ラインのデータを使用して補完し、同様に、映像信号の偶数フレームにおいて抜けている奇数ラインのデータを補完用容量 C_m (補完用容量 $C_{m1} \sim C_{m3}$)に充電した偶数ラインのデータを使用して補完するようにしている。

【0162】上記の動作を図12(a)および図12(b)により詳細に説明する。なお、図12(b)のタイミングチャートに示す信号は、図12(a)におけるゲートライン12、電流増幅回路39、スイッチング素子SW14、スイッチング素子SW11、スイッチング素子SW12、スイッチング素子SW13に印加されたものである。また、SV2は映像信号であり、この映像信号SV2は、基準電位E0を中心に奇数フレームと偶数フレームとで反転される。映像信号SV2としては、例えば奇数フレームの(m-2)、(m-1)、(m)番目の水平信号(データ)を示している。また、 H_1 、 H_2 、 H_3 ...は例えば1/3水平期間を示す。

【0163】まず、期間 H_1 において、ゲートライン12(n)に選択信号を印加して、液晶容量 $C_{1c}(n)$ に(m-1)水平期間のデータを書き込む。また、スイッチング素子SW12~SW14をONにし、補完用容量 C_{m2} 、 C_{m3} に(m-1)水平期間のデータを書き込む。

【0164】次に、期間 H_2 において、スイッチング素子SW12、SW14をOFFにする一方、スイッチング素子SW11、SW13をONにし、先の(m-2)水平期間に電荷(データ)を充電した補完用容量 C_{m1} と期間 H_1 において電荷(データ)を充電した補完用容量 C_{m3} との間で電荷の移動を行う。これにより(m-2)水平期間と(m-1)水平期間とのデータが相加平均される。

【0165】次に、期間 H_3 において、引き続きスイッチング素子SW11、SW13をONにするるとともに、電流増幅回路39をONにすることにより、期間 H_2 において相加平均されたデータを電流増幅回路39を介してソースライン11に出力する。また、ゲートライン12(n-1)に選択信号を印加して、電流増幅回路39より出力されたデータを液晶容量 $C_{1c}(n-1)$ に書

き込む。

【0166】上記の動作により、映像信号の奇数フレームのデータを用いて、偶数フレームのデータの補完が可能となる。映像信号の偶数フレームにおいても、同様の動作により、偶数フレームのデータを用いて奇数フレームのデータ補完が可能となる。

【0167】(2) 表示する映像信号がノンインターレース信号である場合

ここでは、例えば垂直解像度がn本のノンインターレース信号(映像信号)を、垂直解像度が2n本の液晶パネル31に表示するものとする。この場合の映像信号と液晶パネル31の水平ラインとの対応関係は実施の形態1において前述した(a)~(c)の3つの場合の何れかに設定することが可能ある。ここでは、一例として(a)映像信号における各ラインのデータを液晶パネル31の奇数ラインに順次対応させて書き込み、偶数ラインのデータを奇数ラインのデータにより補完する場合の動作について、前記の図12(a)および図12(b)により詳細に説明する。

【0168】まず、期間 H_1 において、ゲートライン12(n)に選択信号を印加して、液晶容量 $C_{1c}(n)$ に(m-1)水平期間のデータを書き込む。また、スイッチング素子SW12~SW14をONにし、補完用容量 C_{m2} 、 C_{m3} に(m-1)水平期間のデータを書き込む。

【0169】次に、期間 H_2 において、スイッチング素子SW12、SW14をOFFにする一方、スイッチング素子SW11、SW13をONにし、先の(m-2)水平期間に電荷(データ)を充電した補完用容量 C_{m1} と期間 H_2 において電荷(データ)を充電した補完用容量 C_{m3} との間で電荷の移動を行う。これにより(m-2)水平期間と(m-1)水平期間とのデータが相加平均される。

【0170】次に、期間 H_3 において、引き続きスイッチング素子SW11、SW13をONにするるとともに、電流増幅回路39をONにすることにより、期間 H_2 において相加平均されたデータを電流増幅回路39を介してソースライン11に出力する。また、ゲートライン12(n-1)に選択信号を印加して、電流増幅回路39より出力されたデータを液晶容量 $C_{1c}(n-1)$ に書き込む。

【0171】上記の動作により、映像信号の奇数ラインのデータを用いて、偶数ラインのデータの補完が可能となる。同様に、映像信号の偶数ラインのデータを用いて、奇数ラインのデータの補完が可能となる。

【0172】また、上記の例では、メモリ回路37が3個の補完用容量 $C_{m1} \sim C_{m3}$ を有しているので、円滑かつ効率のよい処理が可能となる。即ち、補完用容量 C_m にソースライン11から順次データを取り込む際には、同時に2個の補完用容量 C_{m1} 、 C_{m2} にデータ取

り込み、そのうちの一つの補完容量 C_{m2} のデータと先の期間において別のデータを取り込んだ残りの一つの補完容量 C_{m3} のデータとを相加平均して出力する。次に、同様に、同時に2個の補完容量 C_{m2} 、 C_{m3} にデータ取り込み、そのうちの一つの補完容量 C_{m3} のデータと先の期間において別のデータを取り込んだ残りの一つの補完容量 C_{m1} のデータとを相加平均して出力する。したがって、この処理を処理を繰り返すことにより、円滑かつ効率のよい処理が可能となる。

【0173】なお、補完容量 C_m の数は3個に限定されることなく、3個以外の複数であってもよい。また、補完容量 $C_{m1} \sim C_{m3}$ の電荷は、スイッチング素子 $SW14$ を介してソースライン11に出力されてもよい。

【0174】〔実施の形態4〕本発明の実施のさらに他の形態を図13ないし図15に基づいて以下に説明する。本実施の形態のアクティブマトリクス型表示装置としての液晶表示装置は、図13に示すように、図2に示したアクティブマトリクス型の液晶パネル1、ソースドライバ2、ゲートドライバ3、メモリドライバ4およびタイミングコントローラ5に対応する、アクティブマトリクス型の液晶パネル41、ソースドライバ42、ゲートドライバ43、メモリドライバ44およびタイミングコントローラ45を備えている。

【0175】液晶パネル41は、前記画素部36、ソースライン11およびゲートライン12を有し、各ソースライン11に各々対応してメモリ回路47を有している。各メモリ回路47は、配置状態が前記メモリ回路37の場合と同様であり、各ソースライン11に各々対応して設けられ、制御用ライン48(48a~48f)を介してメモリドライバ44と接続されている。各メモリ回路47は、画素部36外の位置において、液晶パネル41にモノリシックに形成されている。

【0176】図14には上記メモリ回路47の等価回路を示す。同図に示すように、メモリ回路47は、直列接続されたスイッチング素子(第4スイッチング素子) $SW15$ 、スイッチング素子(第5スイッチング素子) $SW16$ からなるペアスイッチング素子(第1ペアスイッチング素子)および直列接続されたスイッチング素子(第6スイッチング素子) $SW17$ 、スイッチング素子(第7スイッチング素子) $SW18$ からなるペアスイッチング(第2ペアスイッチング素子)素子50を有している。

【0177】ペアスイッチング素子49は、一方の端子(第1端子)がスイッチング素子 $SW14$ を介してソースライン11と接続され、他方の端子(第2端子)が共通電極(共通電位COM)と接続されている。同様に、ペアスイッチング素子50は、一方の端子(第1端子)が同一のスイッチング素子 $SW14$ を介してソースライン11と接続され、他方の端子(第2端子)が共通電極

(共通電位COM)と接続されている。

【0178】ペアスイッチング素子49を構成するスイッチング素子 $SW15$ 、 $SW16$ はトランジスタからなり、それぞれON/OFF制御用の制御端子 $SW15c$ 、 $SW16c$ を有し、互いに逆動作を行なう。同様に、ペアスイッチング素子50を構成するスイッチング素子 $SW17$ 、 $SW18$ はトランジスタからなり、それぞれON/OFF制御用の制御端子 $SW17c$ 、 $SW18c$ を有し、互いに逆動作を行なう。一方、スイッチング素子 $SW16$ 、 17 同士、およびスイッチング素子 $SW15$ 、 $SW18$ 同士はそれぞれ同じ動作を行なう。また、上記制御端子 $SW15c \sim SW18c$ は、同一の制御用ライン48fを介してメモリドライバ44と接続されている。

【0179】また、メモリ回路47は3個の補完容量 $C_{m1} \sim C_{m3}$ を有し、これら補完容量 $C_{m1} \sim C_{m3}$ は互いに並列に接続され、各補完容量 C_{m1} 、 C_{m2} 、 C_{m3} にはそれぞれスイッチング素子 $SW11$ 、 $SW12$ 、 $SW13$ が直列に接続されている。補完容量 $C_{m1} \sim C_{m3}$ の他方の端子は共にスイッチング素子 $SW17$ 、 $SW18$ の接続部に接続され、スイッチング素子 $SW11 \sim SW13$ の他方の端子は共に、スイッチング素子 $SW15$ 、 $SW16$ の接続部に接続されている。したがって、メモリドライバ44から上記制御用ライン48fに印加する信号のレベルを変更し、スイッチング素子 $SW15 \sim SW18$ のON/OFFを切り替えることにより、共通電極(共通電位COM)と接続される補完容量 $C_{m1} \sim C_{m3}$ の電極を切り替えることができる。

【0180】また、上記スイッチング素子 $SW14$ には電流増幅回路(AMP)39が並列に接続されており、補完容量 $C_{m1} \sim C_{m3}$ の電荷は電流増幅回路39を介してソースライン11に出力される。

【0181】上記の各スイッチング素子 $SW11 \sim SW14$ は、それぞれ制御端子 $SW11c \sim SW14c$ を有し、制御端子 $SW11c \sim SW14c$ に制御用ライン48a~48dを介してメモリドライバ34から入力される制御信号により、ON/OFFが制御される。同様に、電流増幅回路39は、制御端子39aを有し、この制御端子39aに制御用ライン48eを介してメモリドライバ44から入力される制御信号により動作が制御される。即ち、メモリドライバ44は、補完容量 $C_{m1} \sim C_{m3}$ が保持する電荷の移動を制御する。

【0182】また、画素部36の液晶容量 $C1c$ へのソースドライバ42から出力されたデータの書き込みは、前述の図11に示した構成の場合と同様にして行なわれる。

【0183】上記の構成において、本液晶表示装置の動作について以下に説明する。

(1)表示する映像信号がインターレース信号である場

合

有効走査線240本のNTSC信号(映像信号)を、走査線数480本の液晶パネル41に表示する場合について説明する。なお、映像信号と液晶パネル41の水平ラインとの対応関係は、実施の形態1において説明した(1)のインターレース信号の処理の場合と同様である。

【0184】本実施の形態では、映像信号の奇数フレームにおいて抜けている偶数ラインのデータを補完用容量 C_m (補完用容量 $C_{m1} \sim C_{m3}$)に充電した奇数ラインのデータを使用して補完し、同様に、映像信号の偶数

10 フレームにおいて抜けている奇数ラインのデータを補完用容量 C_m (補完用容量 $C_{m1} \sim C_{m3}$)に充電した偶数ラインのデータを使用して補完するようにしている。
【0185】上記の動作を図15(a)および図15(b)により詳細に説明する。なお、図15(b)のタイミングチャートに示す信号は、図15(a)におけるゲートライン12、制御用ライン48e、48d、48a、48b、48c、48fに印加されたものである。また、SV2は映像信号であり、この映像信号SV2は、基準電位E0を中心に奇数フレームと偶数フレーム

20 とで反転される。映像信号SV2としては、例えば奇数フレームの(m-2)、(m-1)、(m)番目の水平信号(データ)を示している。また、 H_1 、 H_2 、 H_3 、 $H_4 \dots$ は例えば1/4水平期間を示す。
【0186】まず、期間 H_1 において、ゲートライン12(n)に選択信号を印加して、液晶容量 $C_{lc}(n)$ に(m-1)水平期間のデータを書き込む。また、制御用ライン48d、48b、48c、48fをHighにして、スイッチング素子SW14、SW12、SW13、SW15、SW18をONにし、補完用容量 C_m

30 C_{m2} 、 C_{m3} に(m-1)水平期間のデータを書き込む。
【0187】次に、期間 H_2 において、スイッチング素子SW14、SW12をOFFにする一方、スイッチング素子SW11、SW13をONにし、先の(m-2)水平期間に電荷(データ)を充電した補完用容量 C_{m1} と期間 H_1 において電荷(データ)を充電した補完用容量 C_{m3} との間で電荷の移動を行う。これにより(m-2)水平期間と(m-1)水平期間とのデータが相加平均される。また、制御用ライン48fのHigh状態は維持する。

40 【0188】次に、期間 H_3 において、スイッチング素子SW11~SW14を期間 H_2 の状態に維持するとともに、制御用ライン48fをLowにして、共通電極(共通電位COM)に接続される補完用容量 $C_{m1} \sim C_{m3}$ の電極を切り替える。この結果、共通電位COMに対して正極性であった補完用容量 C_{m1} 、 C_{m2} の電位が、共通電位COMに対して負極性となる。

50 【0189】次に、期間 H_4 において、スイッチング素子SW11~SW14、および制御用ライン48fを期間 H_3 の状態に維持するとともに、電流増幅回路39を

ONにすることにより、期間 H_3 において共通電位COMに対して反転された補完用容量 C_{m1} 、 C_{m2} の電荷(データ)を電流増幅回路39を介してソースライン11に出力する。また、ゲートライン12(n-1)に選択信号を印加して、電流増幅回路39より出力されたデータを液晶容量 $C_{lc}(n-1)$ に書き込む。

【0190】上記の動作により、映像信号の奇数フレームのデータを用いて、偶数フレームのデータの補完が可能となる。また、映像信号の偶数フレームにおいても、同様の動作により、偶数フレームのデータを用いて奇数フレームのデータの補完が可能となる。また、液晶パネル41の水平ライン毎に液晶容量 C_{lc} が保持する電荷の極性を変えることができるため、空間的に発生するフリッカを軽減することが可能となる。

【0191】(2)表示する映像信号がノンインターレース信号である場合

例えば垂直解像度がn本のノンインターレース信号(映像信号)を、垂直解像度が2n本の液晶パネル41に表示する。この場合の映像信号と液晶パネル41の水平ラインとの対応関係は前述した(a)~(c)の3つの場合の何れかに設定することが可能ある。例えば(a)映像信号における各ラインのデータを液晶パネル41の奇数ラインに順次対応させて書き込み、偶数ラインのデータを奇数ラインのデータにより補完する場合の動作は、前述した(1)のインターレース信号の場合と同様であり、ここでの説明は重複を避けるため、省略する。

【0192】表示する映像信号がノンインターレース信号である場合、本実施の形態の液晶表示装置では、映像信号の奇数ラインのデータを用いて、偶数ラインのデータの補完が可能となる。また、液晶パネル41の水平ライン毎に液晶容量 C_{lc} が保持する電荷の極性を変えることができるため、空間的に発生するフリッカを軽減することが可能となる。

【0193】〔実施の形態5〕本発明の実施のさらに他の形態を図16ないし図19に基づいて以下に説明する。本実施の形態のアクティブマトリクス型表示装置としての液晶表示装置は、図16に示すように、図2に示したアクティブマトリクス型の液晶パネル1、ソースドライバ2、ゲートドライバ3およびタイミングコントローラ5に対応する、アクティブマトリクス型の液晶パネル61、ソースドライバ62、63、ゲートドライバ64、65およびタイミングコントローラ66を備えている。ソースドライバ62、63は液晶パネル61における対向する2辺の一方側と他方側に設けられ、同様に、ゲートドライバ64、65は、液晶パネル61における他の対向する2辺の一方側と他方側に設けられている。信号遅延等の電気的特性を考慮すると、ソースドライバ62、63およびゲートドライバ64、65は、液晶パネル61に対して同一辺側にあるのが望ましい。

【0194】液晶パネル61では、ソースドライバ62

に接続されたソースライン（第1ソースライン）72およびソースドライバ63に接続されたソースライン（第2ソースライン）73と、ゲートドライバ64に接続されたゲートライン（第1ゲートライン）74およびゲートドライバ65に接続されたゲートライン（第2ゲートライン）75とがマトリクス状に設けられ、それらの交差部付近に画素部71が形成されている。

【0195】ソースドライバ62、63は、タイミングコントローラ66から制御信号Ca1、Ca2を受けることにより、それぞれソースライン72、73にデータ信号Da、Dbを出力する。ゲートドライバ64、65は、タイミングコントローラ66から制御信号Cb1、Cb2を受けることにより、それぞれゲートライン74、75に選択信号を出力し、データを書き込む画素を決定する。

【0196】液晶パネル61は図17に示す構成を有している。なお、同図は、液晶パネル61内の1個の画素部71付近の等価回路を示している。図17に示すように、各画素部71には、スイッチング素子（第1スイッチング素子）SW21、スイッチング素子（第2スイッチング素子）SW22および液晶容量（映像表示用容量）C1cが設けられている。スイッチング素子SW21、SW22は、前記ソースライン72、73の間に直列に設けられている。各スイッチング素子SW21、SW22は制御端子SW21c、22cを有し、制御端子SW21cは上記ゲートライン74と接続され、制御端子SW22cは上記ゲートライン75と接続されている。

【0197】また、液晶容量C1cは、一端部がスイッチング素子SW21、SW22の接続部に接続され、他端部が共通電極（共通電位COM）と接続されている。このような構成により、本実施の形態の液晶表示装置では、画素部71内に設けられたトランジスタからなる2個のスイッチング素子SW21、SW22のON抵抗を用いて、ソースライン72、73に与えられたデータ（電荷）の相加平均値を液晶容量C1cに書き込むようにしている。また、この液晶表示装置では、制御回路（タイミングコントローラ66）およびドライバ回路（ソースドライバ62、63、ゲートドライバ64、65）が液晶パネル61とモノリシックに構成されている。

【0198】上記の構成において、本液晶表示装置の動作について以下に説明する。

（1）表示する映像信号がインターレース信号である場合

有効走査線240本のNTSC信号を、走査線数480本の液晶パネル61に表示する場合について説明する。なお、映像信号と液晶パネル61の水平ラインとの対応関係は、実施の形態1において説明した（1）のインターレース信号の処理の場合と同様である。

【0199】本実施の形態では、映像信号の奇数フレームにおいて抜けている偶数ラインのデータを奇数ラインのデータを使用して補完し、同様に、映像信号の偶数フレームにおいて抜けている奇数ラインのデータを偶数ラインのデータを使用して補完するようにしている。

【0200】上記の動作を図18(a)～図18(c)により説明する。なお、図18(b)、図18(c)のタイミングチャートに示す各信号は、図18(a)におけるゲートライン74、75に印加されたものであり、図18(b)は奇数フレームの信号、図18(c)は偶数フレームの信号をそれぞれ示す。H₁、H₂、H₃、H₄、H₅はそれぞれ奇数フレームの1H期間を示し、H₅、H₆、H₇、H₈、H₉、H₁₀はそれぞれ偶数フレームの1H期間を示す。a、b、c、d、eはそれぞれ奇数フレームの1Hのデータを表し、f、g、h、i、jはそれぞれ偶数フレームの1Hのデータを表す。

【0201】SV11は映像信号であり、この映像信号SV11は、基準電位E0を中心に奇数フレームと偶数フレームとで反転されている。SV12、SV13は、映像信号SV11における互いに異なる1Hおきのデータを2Hに伸張したものである。したがって、データa2、b2、c2、d2、e2およびデータf2、g2、h2、i2、j2は、1Hのデータa、b、c、d、eおよびデータf、g、h、i、jを2Hに伸張したものである。映像信号SV12はソースドライバ62からソースライン72に出力され、映像信号SV13はソースドライバ63からソースライン73に出力される。

【0202】ソースライン72のデータ（映像信号SV12）は、ゲートドライバ64からゲートライン74に出力された選択信号がスイッチング素子SW21に印加され、スイッチング素子SW21がONすることにより液晶容量C1cに書き込まれる。また、ソースライン73のデータ（映像信号SV13）は、ゲートドライバ65からゲートライン75に出力された選択信号がスイッチング素子SW22に印加され、スイッチング素子SW22がONすることにより液晶容量C1cに書き込まれる。したがって、スイッチング素子SW21、SW22が同時にONすることにより、ソースライン72のデータ（映像信号SV12）とソースライン73のデータ（映像信号SV13）との相加平均値が液晶容量C1cに書き込まれる。以下に上記の動作を詳細に説明する。

【0203】まず、期間H₁において、ゲートライン74(n-2)に選択信号を印加して、液晶容量C1c(n-2)にデータa2を書き込む。

【0204】次に、期間H₂において、ゲートライン75(n)に選択信号を印加して、液晶容量C1c(n)にデータb2を書き込む。また、ゲートライン74(n-1)、75(n-1)に選択信号を印加して、液晶容量C1c(n-1)にデータa2、b2の相加平均値を書き込む。このときデータを出力するソースライン7

2、73の出力インピーダンスはハイインピーダンスであることが望ましい。

【0205】次に、期間 H_3 において、ゲートライン74($n+2$)に選択信号を印加して、液晶容量 $C1c(n+2)$ にデータ $c2$ を書き込む。また、ゲートライン74($n+1$)、75($n+1$)に選択信号を印加して、液晶容量 $C1c(n+1)$ にデータ $b2$ 、 $c2$ の相加平均値を書き込む。このとき同様に、データを出力するソースライン72、73の出力インピーダンスはハイインピーダンスであることが望ましい。

【0206】上記の動作により、映像信号の奇数フレームのデータを用いて、偶数フレームのデータの補完を行うことができる。即ち、上記の動作では、液晶パネル61の奇数フレームに対応する複数の水平ラインに、ソースライン72のデータとソースライン73のデータとを交互に書き込んでいき、それら水平ライン間の、偶数フレームに対応する水平ラインには、ソースライン72、73のデータの相加平均値を書き込んでおり、これによって偶数フレームのデータの補完を行うことができる。また、同様に、液晶パネル61に映像信号の偶数

【0207】(2)表示する映像信号がノンインターレース信号である場合

例えば垂直解像度が n 本のノンインターレース信号(映像信号)を、垂直解像度が $2n$ 本の液晶パネル61に表示する。この場合の映像信号と液晶パネル61の水平ラインとの対応関係は前述した(a)~(c)の3つの場合の何れかに設定することが可能である。例えば(a)映像信号における各ラインのデータを液晶パネル61の奇数ラインに順次対応させて書き込み、偶数ラインのデータを奇数ラインのデータにより補完する場合の動作を、図19(a)~図19(c)に示す。

【0208】図19(b)、図19(c)において、映像信号 $SV11$ がノンインターレース信号であるので、 H_1 、 H_2 、 H_3 、 H_4 、 H_5 はそれぞれ任意の1フレームの1H期間を示し、 H_6 、 H_7 、 H_8 、 H_9 、 H_{10} はそれぞれ次のフレームの1H期間を示すものとなる。同様に、 a 、 b 、 c 、 d 、 e はそれぞれ任意の1フレームの1Hのデータを表し、 f 、 g 、 h 、 i 、 j はそれぞれ次のフレームの1Hのデータを表すものとなる。

【0209】ここでの動作は、前述した(1)のインターレース信号の場合と同様であり、その詳細な説明は重複を避けるため、省略する。なお、インターレース信号の場合を示した前記図18(b)、図18(c)では、偶数フレームのタイミングチャートを示した図18(c)が奇数フレームのタイミングチャートを示した図18(b)に対し、信号タイミングがずれたものとなっている。これに対し、ノンインターレース信号の場合を

示す図19(b)、図19(c)では、任意の1フレームのタイミングチャートを示す図19(b)とこのフレームに続くフレームのタイミングチャートを示す図19(c)とが同一のものとなる。

【0210】表示する映像信号がノンインターレース信号である場合、本実施の形態の液晶表示装置では、映像信号の奇数ラインのデータを用いて、偶数ラインのデータの補完が可能となる。即ち、液晶パネル61の水平ラインにおける奇数ラインに、ソースライン72のデータとソースライン73のデータとを交互に書き込んでいき、それら奇数ライン間の偶数ラインには、ソースライン72、73のデータの相加平均値を書き込むことになるので、これによって偶数ラインのデータの補完を行うことができる。また、同様に、映像信号の偶数ラインのデータを用いて、奇数ラインのデータの補完を行うことができる。

【0211】〔実施の形態6〕本発明の実施のさらに他の形態を図20ないし図23に基づいて以下に説明する。本実施の形態のアクティブマトリクス型表示装置としての液晶表示装置は、図20に示すように、図2に示したアクティブマトリクス型の液晶パネル1、ソースドライバ2、ゲートドライバ3、メモリドライバ4およびタイミングコントローラ5に対応する、アクティブマトリクス型の液晶パネル81、ソースドライバ82、83、ゲートドライバ84、85、メモリドライバ86およびタイミングコントローラ87を備えている。ソースドライバ82、83は液晶パネル81における対向する2辺の一方側と他方側に設けられ、ゲートドライバ84、85は、液晶パネル81における他の1つの辺側に設けられている。メモリドライバ86は、液晶パネル81における上記ゲートドライバ84、85側と対向する辺側に設けられている。信号遅延等の電気的特性を考慮すると、ソースドライバ82、83およびゲートドライバ84、85は、液晶パネル81に対して同一辺側にあるのが望ましい。

【0212】液晶パネル81では、ソースドライバ82に接続されたソースライン72およびソースドライバ83に接続されたソースライン73と、ゲートドライバ84に接続されたゲートライン74およびゲートドライバ85に接続されたゲートライン75とがマトリクス状に設けられ、それらの交差点付近に画素部91が形成されている。さらに、メモリドライバ86と接続された制御用ライン92が、各画素部91に各々対応して、ゲートライン74、75方向に設けられている。

【0213】液晶パネル81は図21に示す構成を有している。なお、同図は、液晶パネル81内の1個の画素部91付近の等価回路を示している。各画素部91では、図21に示すように、ソースライン72、73の間に、スイッチング素子 $SW21$ 、 $SW22$ が直列に設けられている。スイッチング素子 $SW21$ の制御端子 SW

21cは上記ゲートライン74と接続され、スイッチング素子SW22の制御端子SW22cは上記ゲートライン75と接続されている。

【0214】また、各画素部91は、直列接続されたスイッチング素子SW23、SW24からなるペアスイッチング素子(第1ペアスイッチング素子)93、および直列接続されたスイッチング素子SW25、SW26からなるペアスイッチング素子(第2ペアスイッチング素子)94を有している。

【0215】ペアスイッチング素子93は、一方の端子(第1端子)がスイッチング素子SW21、SW22の接続部に接続され、他方の端子(第2端子)が共通電極(共通電位COM)と接続されている。同様に、ペアスイッチング素子94は、一方の端子(第1端子)がスイッチング素子SW21、SW22の接続部に接続され、他方の端子(第2端子)が共通電極(共通電位COM)と接続されている。

【0216】ペアスイッチング素子93を構成するスイッチング素子SW23、SW24はトランジスタからなり、それぞれON/OFF制御用の制御端子SW23c、SW24cを有し、互いに逆動作を行なう。同様に、ペアスイッチング素子94を構成するスイッチング素子SW25、SW26はトランジスタからなり、それぞれON/OFF制御用の制御端子SW25c、SW26cを有し、互いに逆動作を行なう。一方、スイッチング素子SW24、SW25同士、およびスイッチング素子SW23、SW26同士は互いに同じ動作を行なう。また、上記制御端子SW23c~SW26cは、制御用ライン92と接続されている。

【0217】さらに、各画素部91は、液晶容量C1cを有する。この液晶容量C1cは、一方の端子(第1端子)がスイッチング素子SW23、SW24の接続部に接続され、他方の端子(第2端子)がスイッチング素子SW25、SW26の接続部に接続されている。したがって、メモリドライバ86から上記制御用ライン92に印加する信号のレベルを変更し、スイッチング素子SW23~SW26のON/OFFを切り替えることにより、共通電極(共通電位COM)と接続される液晶容量C1cの電極を切り替えることができる。即ち、液晶容量C1cが保持する電荷(データ)の極性を共通電位COMを中心として反転可能である。

【0218】上記のように、本液晶表示装置では、液晶パネル81の画素部91に液晶容量C1cに加えて、その駆動回路(スイッチング素子SW21~SW26)がモノリシックに構成されている。

【0219】また、図20に示すように、ソースドライバ82、83は、タイミングコントローラ87から制御信号Ca1、Ca2を受けることにより、それぞれソースライン72、73にデータ信号Da、Dbを出力する。ゲートドライバ84、85は、タイミングコントロ

ーラ87から制御信号Cb1、Cb2を受けることにより、それぞれゲートライン74、75に選択信号を出力し、データを書き込む画素を決定する。メモリドライバ86は、タイミングコントローラ87から供給される制御信号Ccに基づいて、スイッチング素子SW23~SW26のON/OFF動作を制御する信号を制御用ライン92に出力する。

【0220】このような構成により、本実施の形態の液晶表示装置では、画素部91内に設けられたトランジスタからなる2個のスイッチング素子SW21、SW22のON抵抗を用いて、ソースライン72、73に与えられたデータ(電荷)の相加平均値を液晶容量C1cに書き込むようにしている。さらに、この液晶表示装置では、制御回路(タイミングコントローラ87)およびドライバ回路(ソースドライバ82、83、ゲートドライバ84、85、メモリドライバ86)が液晶パネル81とモノリシックに構成されている。

【0221】上記の構成において、本液晶表示装置の動作について以下に説明する。

(1)表示する映像信号がインターレース信号である場合

有効走査線240本のNTSC信号を、走査線数480本の液晶パネル81に表示する場合について説明する。なお、映像信号と液晶パネル81の水平ラインとの対応関係は、実施の形態1において説明した(1)のインターレース信号の処理の場合と同様である。

【0222】本実施の形態では、映像信号の奇数フレームにおいて抜けている偶数ラインのデータを奇数ラインのデータを使用して補完し、同様に、映像信号の偶数フレームにおいて抜けている奇数ラインのデータを使用し、偶数ラインのデータを使用して補完するようにしている。また、液晶容量C1cが保持するデータの極性を共通電位COMに対して1水平期間毎に反転させている。

【0223】上記の動作を図22(a)~図22(c)により説明する。なお、図22(b)、図22(c)のタイミングチャートに示す各信号は、図22(a)におけるゲートライン74、75および制御用ライン92に印加されたものであり、図22(b)は奇数フレームの信号、図22(c)は偶数フレームの信号をそれぞれ示す。また、 $H_1 \sim H_5$ 、 $H_6 \sim H_{10}$ 、データa~e、データf~j、映像信号SV11~SV13、データa2~e2およびデータf2~j2については、図19(b)(c)において説明したとおりである。

【0224】まず、期間 H_1 において、ゲートライン74(n-2)に選択信号を印加して、液晶容量C1c(n-2)にデータa2を書き込む。また、制御用ライン92(n-2)をHighにして、液晶容量C1c(n-2)におけるペアスイッチング素子94側(図21における下側)の電極を共通電位COMとする。これにより、液晶容量C1c(n-2)に保持される電荷

(データ)を正極性とする。

【0225】次に、期間 H_2 において、制御用ライン92(n)をHighにして、液晶容量C1c(n)におけるペアスイッチング素子94側の電極を共通電位COMとする。これにより、液晶容量C1c(n)に保持される電荷(データ)を正極性とする。

【0226】また、ゲートライン75(n)に選択信号を印加して、液晶容量C1c(n)にデータb2を書き込む。さらに、制御用ライン92(n-1)をHighにして、液晶容量C1c(n-1)におけるペアスイッチング素子94側の電極を共通電位COMとする。これにより、液晶容量C1c(n-1)に保持される電荷(データ)を正極性とする。

【0227】また、ゲートライン74(n-1)、75(n-1)に選択信号を印加して、液晶容量C1c(n-1)にデータa2、b2の相加平均値を書き込む。このとき、液晶容量C1c(n-1)に保持される電位は正極性となる。また、このとき、データを出力するソースドライバ82、83の出力インピーダンスはハイインピーダンスであることが望ましい。

【0228】次に、期間 H_3 において、制御用ライン92(n-1)をLowにして、液晶容量C1c(n-1)における共通電位COMとする電極をペアスイッチング素子94側(図21における上側)の電極からペアスイッチング素子93側(図21における下側)の電極に切り替える。これにより、液晶容量C1c(n-1)に保持されるデータの極性を負極性とする。

【0229】また、制御用ライン92(n+2)をHighにして、液晶容量C1c(n+2)におけるペアスイッチング素子94側の電極を共通電位COMとする。さらに、ゲートライン74(n+2)に選択信号を印加して、液晶容量C1c(n+2)にデータc2を書き込む。

【0230】また、ゲートライン74(n+1)、75(n+1)に選択信号を印加して、液晶容量C1c(n+1)にデータb2、c2の相加平均値を書き込む。このとき映像信号を出力するソースドライバ82、83の出力はハイインピーダンスであることが望ましい。

【0231】次に、期間 H_4 において、制御用ライン92(n+1)をLowにして、液晶容量C1c(n+1)におけるペアスイッチング素子93側(図21における上側)の電極を共通電位COMとする。これにより、液晶容量C1c(n+1)に保持されるデータは負極性となる。

【0232】上記の動作により、映像信号の奇数フレームのデータを用いて、偶数フレームのデータの補完を行うことができる。即ち、上記の動作では、液晶パネル81の奇数フレームに対応する複数の水平ラインに、ソースライン72のデータとソースライン73のデータとを交互に書き込んでいき、それら水平ライン間の、偶数フ

レームに対応する水平ラインには、ソースライン72、73のデータの相加平均値を書き込んでおり、これによって偶数フレームのデータの補完を行うことができる。また、同様にして、映像信号の偶数フレームのデータを用いて、奇数フレームのデータの補完を行うことができる。さらに、液晶容量C1cに保持されるデータの極性を共通電位COMを中心として反転することが可能となり、空間的なフリッカを軽減することができる。

【0233】(2)表示する映像信号がノンインターレース信号である場合

例えば垂直解像度がn本のノンインターレース信号(映像信号)を、垂直解像度が2n本の液晶パネル81に表示する。この場合の映像信号と液晶パネル81の水平ラインとの対応関係は前述した(a)~(c)の3つの場合の何れかに設定することが可能ある。例えば(a)映像信号における各ラインのデータを液晶パネル81の奇数ラインに順次対応させて書き込み、偶数ラインのデータを奇数ラインのデータにより補完する場合の動作を、図23(a)~図23(c)に示す。

【0234】図23(b)、図23(c)において、映像信号SV11がノンインターレース信号であるので、 H_1 、 H_2 、 H_3 、 H_4 、 H_5 はそれぞれ任意の1フレームの1H期間を示し、 H_6 、 H_7 、 H_8 、 H_9 、 H_{10} はそれぞれ次のフレームの1H期間を示すものとなる。同様に、a、b、c、d、eはそれぞれ任意の1フレームの1Hのデータを表し、f、g、h、i、jはそれぞれ次のフレームの1Hのデータを表すものとなる。また、映像信号SV11~SV13、データa2~e2およびデータf2~j2については、図19(b)(c)において説明したとおりである。

【0235】図23(b)に示す期間 H_1 ~ H_5 の動作は、前述した(1)のインターレース信号の場合と同様であり、その説明は重複を避けるため、省略する。したがって、ここでは、図23(c)に示す期間 H_6 以降の動作のみについて説明する。

【0236】まず、期間 H_6 において、ゲートライン74(n-2)に選択信号を印加して、液晶容量C1c(n-2)に映像信号f2を書き込む。

【0237】次に、期間 H_7 において、制御用ライン92(n-2)の信号レベルをHighからLowに変化させることにより、液晶容量C1c(n-2)が保持するデータの極性を共通電位COMを中心として反転させる。これにより、液晶容量C1c(n-2)が保持するデータの極性は負極正となる。

【0238】また、ゲートライン75(n)に選択信号を印加して、液晶容量C1c(n)にデータg2を書き込む。ゲートライン74(n-1)、75(n-1)に選択信号を印加して、液晶容量C1c(n-1)にデータf2、g2の相加平均値を書き込む。このとき、データを出力するソースドライバ82、83の出力インピー

ダンスはハイインピーダンスであることが望ましい。

【0239】次に、期間 H_0 において、制御用ライン92(n)をHighからLowに変化させることにより、液晶容量C1c(n)が保持するデータ(電荷)の極性を反転させる。これにより、上記データ(電荷)の極性は基準電極に対して負極性となる。制御用ライン92(n-1)はHigh状態に維持されるので、液晶容量C1c(n-1)に保持される電位は共通電極に対して正極性のままである。

【0240】また、ゲートライン74(n+2)に選択信号を印加して、液晶容量C1c(n+2)にデータh2を書き込む。さらに、ゲートライン74(n+1)、75(n+1)に選択信号を印加して、液晶容量C1c(n+1)にデータg2、h2の相加平均値を書き込む。このとき、データを出力するソースドライバ82、83の出力インピーダンスはハイインピーダンスであることが望ましい。

【0241】次に、期間 H_1 において、制御用ライン92(n+1)は信号レベルが変化せず、High状態に維持されるので、C1c(n+1)に保持されるデータの極性は基準電極に対して正極性のままである。

【0242】上記の動作により、映像信号の奇数ラインのデータを用いて、偶数ラインのデータの補完を行うことができる。即ち、上記の動作では、液晶パネル81の水平ラインにおける奇数ラインに、ソースライン72のデータとソースライン73のデータとを交互に書き込んでいき、それら奇数ライン間の偶数ラインには、ソースライン72、73のデータの相加平均値を書き込んでおり、これによって偶数ラインのデータの補完を行うことができる。また、同様に、映像信号の偶数ラインのデータをを用いて、奇数ラインのデータの補完を行うことができる。さらに、液晶容量C1cに保持されるデータの極性を共通電位COMを中心として反転することが可能となり、空間的なフリッカを軽減することができる。

【0243】

【発明の効果】以上のように、供給された映像信号のデータを充電するとともに、充電したデータを第1容量に供給する映像信号補完用の第2容量を備えている構成である。

【0244】上記の構成によれば、映像信号補完用の第2容量を備えた簡単な構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。

【0245】これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を簡単かつ低コストの構成により表示することができる。

【0246】上記のアクティブマトリクス型表示装置

は、前記第2容量が各画素部毎に設けられている構成としてもよい。

【0247】上記の構成によれば、映像信号補完用の第2容量が映像表示用の第1容量と共に画素部に設けられた構成であるので、画像処理に必要とされる外部メモリやインターフェース等を使用する必要がなく、構成を確実に簡素化かつ低コスト化することができる。

【0248】本発明のアクティブマトリクス型表示装置は、各画素部毎に映像信号補完用の第2容量が設けられ、前記表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1および第2水平ラインの第1および第2容量に第1水平期間のデータが充電されるとともに、第3水平ラインの第1および第2容量に第2水平期間のデータが充電され、第2水平ラインの第1容量に第2および第3水平ラインの第2容量からデータが供給される構成である。

【0249】上記の構成によれば、表示装置における第2水平ラインの第1容量のデータを第2および第3水平ラインの第2容量のデータの相加平均値により補完することができる。

【0250】したがって、画像処理に必要とされる外部メモリやインターフェース等を使用することなく、映像信号補完用の第2容量が映像表示用の第1容量と共に画素部に設けられた簡単かつ低コストの構成により、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0251】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各ソースラインに各々対応して設けられ、ソースラインの延設方向に延設された複数のデータ移動用ラインと、前記の各ゲートラインに各々対応して設けられ、ゲートラインの延設方向に延設された複数の制御用ラインと、前記の各画素部毎に、前記ソースラインと前記データ移動用ラインとの間に直列に設けられ、制御端子への入力信号によりON/OFFが制御され、制御端子が前記ゲートラインと接続されている第1および第2スイッチング素子と、第2スイッチング素子と並列に設けられ、前記制御端子を有し、この制御端子が前記制御用ラインと接続されている第3スイッチング素子と、前記データ移動用ラインの隣り合う第2スイッチング素子との接続部の間においてデータ移動用ラインに直列に設けられ、前記制御端子を有し、この制御端子が前記制御用ラインと接続されている第4スイッチング素子と、前記ゲートライン

側に設けられた第 1 スイッチング素子と前記データ移動用ライン側に設けられた第 2 スイッチング素子との接続部に第 1 端子が接続され、第 2 端子が共通電極と接続されている映像表示用の第 1 容量と、第 2 および第 3 スイッチング素子の前記データ移動用ライン側端子に第 1 端子が接続され、第 2 端子が前記第 1 容量の第 2 端子と接続されている映像信号補完用の第 2 容量とを備えている構成である。

【0252】そして、上記のアクティブマトリクス型表示装置は、前記映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第 1 水平ライン、第 2 水平ライン、第 3 水平ラインとし、前記映像信号の 1 フレームにおける連続する複数の水平期間を順次第 1 水平期間、第 2 水平期間、第 3 水平期間としたときに、第 1 および第 2 水平ラインの第 1 および第 2 容量に第 1 水平期間のデータが充電され、第 3 水平ラインの第 1 および第 2 容量に第 2 水平期間のデータが充電されるように、前記第 1 および第 2 スイッチング素子が ON 動作されるとともに、第 2 水平ラインの第 1 容量に第 2 および第 3 水平ラインの第 2 容量からデータが供給されるように、前記第 3 および第 4 スイッチング素子が ON 動作される構成としてもよい。

【0253】上記の構成によれば、表示装置における第 2 水平ラインの第 1 容量のデータを第 2 および第 3 水平ラインの第 2 容量のデータの相加平均値により補完することができる。

【0254】したがって、画像処理に必要とされる外部メモリやインターフェース等を使用することなく、映像信号補完用の第 2 容量および第 2～第 4 スイッチング素子が映像表示用の第 1 容量および第 1 スイッチング素子と共に画素部に設けられ、さらにデータ移動用ラインおよび制御用ラインを備えた簡単かつ低コストの構成により、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0255】なお、上記のアクティブマトリクス型表示装置において、第 2 容量が保持するデータの極性を反転させる反転回路を備えた場合には、第 2 容量のデータにて補完される映像表示用の第 1 容量のデータの極性を反転させることができる。これにより、同一極性のデータが全画面の第 1 容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0256】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各ソースラインに各々対応して設けられ、ソースラインの延設方向に延設された複数のデータ移動用ラインと、前記の各ゲートラインに各々対応して設けられ、ゲートラ

インの延設方向に延設された複数の第 1 制御用ラインおよび複数の第 2 制御用ラインと、前記の各画素部毎に、前記ソースラインと前記データ移動用ラインとの間に直列に設けられ、制御端子への入力信号により ON/OFF が制御され、制御端子が前記ゲートラインと接続されている第 1 および第 2 スイッチング素子と、第 2 スイッチング素子と並列に設けられ、前記制御端子を有し、この制御端子が第 1 制御用ラインと接続されている第 3 スイッチング素子と、前記データ移動用ラインの隣り合う第 2 スイッチング素子との接続部の間においてデータ移動用ラインに直列に設けられ、前記制御端子を有し、この制御端子が第 1 制御用ラインと接続されている第 4 スイッチング素子と、直列接続された第 5 および第 6 スイッチング素子からなり、第 1 端子が第 2 および第 3 スイッチング素子の前記データ移動用ライン側端子に接続され、第 2 端子が共通電極と接続され、第 5 および第 6 スイッチング素子が前記制御端子を有し、これら制御端子が第 2 制御用ラインと接続され、前記の両スイッチング素子が互いに逆動作を行なう第 1 ペアスイッチング素子と、直列接続された第 7 および第 8 スイッチング素子からなり、第 1 端子が第 2 および第 3 スイッチング素子の前記データ移動用ライン側端子に接続され、第 2 端子が共通電極と接続され、第 7 および第 8 スイッチング素子が前記制御端子を有し、これら制御端子が第 2 制御用ラインと接続され、前記の両スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第 8 スイッチング素子が第 2 および第 3 スイッチング素子側の第 5 スイッチング素子と共通動作を行なう第 2 スイッチング素子と、前記ゲートライン側に設けられた第 1 スイッチング素子と前記データ移動用ライン側に設けられた第 2 スイッチング素子との接続部に第 1 端子が接続されている映像表示用の第 1 容量と、第 5、第 6 スイッチング素子の接続部に第 1 端子が接続され、第 7、第 8 スイッチング素子の接続部に第 2 端子が接続されている映像信号補完用の第 2 容量とを備えている構成である。

【0257】そして、上記のアクティブマトリクス型表示装置は、前記映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第 1 水平ライン、第 2 水平ライン、第 3 水平ラインとし、前記映像信号の 1 フレームにおける連続する複数の水平期間を順次第 1 水平期間、第 2 水平期間、第 3 水平期間としたときに、第 1 および第 2 水平ラインの第 1 および第 2 容量に第 1 水平期間のデータが充電され、第 3 水平ラインの第 1 および第 2 容量に第 2 水平期間のデータが充電されるように、前記第 1 および第 2 スイッチング素子が ON 動作されるとともに、第 2 および第 3 水平ラインの第 5 および第 8 スイッチング素子の ON 動作と第 6 および第 7 スイッチング素子との OFF 動作、並びにその逆の動作により、第 2 および第 3 水平ラインの第 2 容量が保持するデータの極性が反転され、かつ第 2 水平ラインの第 1 容量に第 2 およ

び第3水平ラインの第2容量からデータが供給されるように、前記第3および第4スイッチング素子がON動作される構成としてもよい。

【0258】上記の構成によれば、表示装置における第2水平ラインの第1容量のデータを第2および第3水平ラインの第2容量のデータの相加平均値により補完することができる。

【0259】したがって、画像処理に必要とされる外部メモリやインターフェース等を使用することなく、映像信号補完用の第2容量および第2～第8スイッチング素子が映像表示用の第1容量および第1スイッチング素子と共に画素部に設けられ、さらにデータ移動用ラインおよび第1、第2制御用ラインを備えた簡単かつ低コストの構成により、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0260】また、第2容量が保持するデータの極性を反転させ、この結果、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0261】本発明のアクティブマトリクス型表示装置は、映像信号補完用の複数の第2容量が設けられ、前記表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの第1容量に第1水平期間のデータが充電され、第3水平ラインの第1容量に第2水平期間のデータが充電されるとともに、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電され、かつこれら第2容量のデータの相加平均されたデータが第2水平ラインの第1容量に供給される構成である。

【0262】上記の構成によれば、第1水平ラインの第1容量に第1水平期間のデータが充電され、第3水平ラインの第1容量に第2水平期間のデータが充電されるとともに、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電される。そして、これら第2容量のデータの相加平均されたデータが第2水平ラインの第1容量に供給される。

【0263】したがって、映像信号補完用の複数の第2容量を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2

水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を簡単な構成により、垂直解像度を低下させることなく、良好に表示することができる。

【0264】また、第2容量は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0265】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各画素部毎に設けられたスイッチング素子と、前記の各画素部毎に設けられ、前記スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、映像信号補完用の複数の第2容量と、第2容量と前記ソースラインとの間に設けられ、前記ソースラインから各第2容量への各第2容量での各々独立したデータの取り込みを可能とし、かつ取り込んだデータを2個の第2容量同士で互いに相加平均可能とし、かつ相加平均したデータを前記ソースラインに出力可能とするスイッチング回路とを備えている構成である。

【0266】上記の構成によれば、映像信号補完用の複数の第2容量およびスイッチング回路を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を簡単な構成により、垂直解像度を低下させることなく、良好に表示することができる。

【0267】また、第2容量およびスイッチング回路は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0268】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各画素部毎に設けられた第1スイッチング素子と、前記の各画素部毎に設けられ、第1スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、互いに並列に接続された映像信号補完用の複数の第2容量と、これら第2容量と前記ソースラインとの間に設けられた第2スイッチング素子と、各第2容量に個々に対応して設けられ、各第2容量と各々直列接続された第3スイッチング素子とを備えている構成である。

【0269】上記のアクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの第1容量に第1水平期間のデータが充電され、かつ第3水平ラインの第1容量に第2水平期間のデータが充電されるように第1スイッチング素子がON動作され、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電され、かつこれら第2容量のデータの相加平均されたデータがソースラインに出力されるように第2および第3スイッチング素子のON/OFF動作が行なわれ、前記の相加平均されたデータが第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子がON動作される構成としてもよい。

【0270】上記の構成によれば、映像信号補完用の複数の第2容量、並びに第2および第3スイッチング素子、あるいはこれらに加えて増幅器を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0271】また、第2容量、並びに第2、第3スイッチング素子は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0272】また、上記のアクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平期間内の第1の期間に、第1水平期間のデータが第1水平ラインの第1容量、および少なくとも2個の第2容量のうちの第1の第2容量に充電されるように、第1水平ラインの第1スイッチング素子、第2スイッチング素子および第1の第2容量に対応する第3スイッチング素子がON動作され、第2水平期間内の第1の期間に、第2水平期間のデータが第3水平ラインの第1容量、前記2個の第2容量のうちの第2の第2容量に充電されるように、第3水平ラインの第1スイッチング素子、第2スイッチング素子および第2の第2容量に対応する第3スイッチング

素子がON動作され、同一の第2水平期間内の第2の期間に、第1の第2容量と第2の第2容量との間で電荷の移動が生じるように、第2スイッチング素子がOFF動作され、かつ第1および第2の第2容量に対応する第3スイッチング素子がON動作され、同一の第2水平期間内の第3の期間に、第1および第2の第2容量に充電されているデータが、第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子、第2スイッチング素子、並びに第1および第2の第2容量に対応する第3スイッチング素子がON動作される構成としてもよい。

【0273】上記の構成によれば、映像信号補完用の複数の第2容量、並びに第2および第3スイッチング素子、あるいはこれらに加えて増幅器を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0274】また、第2容量、並びに第2、第3スイッチング素子および増幅器は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0275】なお、上記のアクティブマトリクス型表示装置において、第2容量が保持するデータの極性を反転させる反転回路を備えた場合には、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができる。これにより、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0276】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数のソースラインおよび複数のゲートラインと、これらソースラインとゲートラインとの交差部付近に形成された画素部と、前記の各画素部毎に設けられた第1スイッチング素子と、前記の各画素部毎に設けられ、第1スイッチング素子を介して前記ゲートラインおよびソースラインと接続された映像表示用の第1容量と、第1端子が前記ソースラインと接続された第2スイッチング素子と、直列接続された第4および第5スイッチング素子からなり、第1端子が前記第2スイッチング素子の第2端子と接続され、第2端子が共通電極と接続され、第4および第5スイッチング素子がON/OFF制御用の制御端子を有し、これら制御端子が共通の制御用ラインに接続され、第4および第5スイッチング素子が互いに逆動作を行なう第1ペアスイッチング素子と、直列接続された第6および第7スイ

チング素子からなり、第1端子が前記第2スイッチング素子の第2端子と接続され、第2端子が共通電極と接続され、第6および第7スイッチング素子が前記制御端子を有し、これら制御端子が共通の前記制御用ラインに接続され、6および第7スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第7スイッチング素子が第2スイッチング素子側の第4スイッチング素子と共通動作を行なう第2ペアスイッチング素子と、第4、第5スイッチング素子の接続部に第1端子が接続され、第6、第7スイッチングの接続部に第2端子が接続され、互いに並列に接続された映像信号補完用の複数の第2容量と、各第2容量に個々に対応して設けられ、各第2容量と各々直列接続された第3スイッチング素子とを備えている構成である。

【0277】上記のアクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの第1容量に第1水平期間のデータが充電され、かつ第3水平ラインの第1容量に第2水平期間のデータが充電されるように第1スイッチング素子がON動作され、少なくとも2個の第2容量のうちの第1の第2容量に第1水平期間のデータが充電され、第2の第2容量に第2水平期間のデータが充電されるように、第2～第7スイッチングのON/OFF動作が行なわれ、第1および第2の第2容量が保持するデータの極性が反転されるように、第4および第7スイッチング素子のON動作と第5および第6スイッチング素子とのOFF動作、並びにその逆の動作が行なわれ、第1および第2の第2容量のデータが相加平均され、このデータがソースラインに出力されるように第2～第7スイッチング素子のON/OFF動作が行なわれ、前記の相加平均されたデータが第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子がON動作される構成としてもよい。

【0278】上記の構成によれば、映像信号補完用の複数の第2容量、並びに第2～第7スイッチング素子を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0279】また、第2容量、並びに第2～第7スイッチング素子は、画素部以外の位置に設けることができる

ので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0280】さらに、第2容量が保持するデータの極性を反転させ、この結果、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0281】また、上記のアクティブマトリクス型表示装置は、映像信号を表示する表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平期間内の第1の期間に、第1水平期間のデータが第1水平ラインの第1容量、および少なくとも2個の第2容量のうちの第1の第2容量に充電されるように、第1水平ラインの第1スイッチング素子、第2スイッチング素子、第1の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、第2水平期間内の第1の期間に、第2水平期間のデータが第3水平ラインの第1容量、前記2個の第2容量のうちの第2の第2容量に充電されるように、第3水平ラインの第1スイッチング素子、第2スイッチング素子、第2の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、同一の第2水平期間内の第2の期間に、第1の第2容量と第2の第2容量との間で電荷の移動が生じるように、第2スイッチング素子がOFF動作され、かつ第1および第2の第2容量に対応する第3スイッチング素子がON動作され、同一の第2水平期間内の第3の期間に、第1および第2の第2容量に充電されているデータが、第2水平ラインの第1容量に供給されるように、第2水平ラインの第1スイッチング素子、第2スイッチング素子、並びに第1および第2の第2容量に対応する第3スイッチング素子がON動作されるとともに、第4～第7スイッチング素子のON/OFF動作が行なわれ、同一の第2水平期間内において、第1および第2の第2容量が保持するデータの極性が反転されるように、第4および第7スイッチング素子のON動作と第5および第6スイッチング素子とのOFF動作、並びにその逆の動作が行なわれる構成としてもよい。

【0282】上記の構成によれば、映像信号補完用の複数の第2容量、並びに第2～第7スイッチング素子を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの第1容量に供給するデータと第3水平ラインの第1容量に供給するデータとを使用して、第2水平ラインの第1容量用のデータを補完することができる。これ

により、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0283】また、第2容量、並びに第2～第7スイッチング素子は、画素部以外の位置に設けることができるので、従来構造のアクティブマトリクス型表示装置の画素開口率を維持することができる。

【0284】さらに、第2容量が保持するデータの極性を反転させ、この結果、第2容量のデータにて補完される映像表示用の第1容量のデータの極性を反転させることができるので、同一極性のデータが全画面の第1容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0285】本発明のアクティブマトリクス型表示装置は、供給された映像信号のデータを充電する映像表示用容量を各画素部毎に備えたアクティブマトリクス型表示装置において、前記映像信号として、同一の映像信号から生成された第1および第2映像信号が同時に入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの映像表示用容量に、第1映像信号の第1水平期間のデータが入力され、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力され、第3水平ラインの映像表示用容量に、第2映像信号の第2水平期間の映像信号が入力される構成である。

【0286】上記のように、本アクティブマトリクス型表示装置では、第1および第2ソースラインを備えることにより、両ソースラインに印加される映像信号のデータを映像表示用容量（画素容量）やバスライン抵抗を利用して相加平均することができる。

【0287】したがって、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの映像表示用容量に供給するデータと第3水平ラインの映像表示用容量に供給するデータとを使用して、第2水平ラインの映像表示用容量のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0288】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数の第1ソースラインおよび複数の第1ゲートラインと、これら第1ソースラインと第1ゲートラインとの交差部付近に形成された画素部と、各第1ソースラインに各々対応して設けられ、第1ソースラインの延設方向に延設された複数の第2ソ

ースラインと、各第1ゲートラインに各々対応して設けられ、第1ゲートラインの延設方向に延設された複数の第2ゲートラインと、前記の各画素部毎に設けられ、第1端子が第1ソースラインと接続され、ON/OFF制御用の制御端子が第1ゲートラインと接続された第1スイッチング素子と、前記の各画素部毎に設けられ、第1端子が第2ソースラインと接続され、第2端子が第1スイッチング素子の第2端子と接続され、前記制御端子が第2ゲートラインと接続された第2スイッチング素子と、第1スイッチング素子と第2スイッチング素子との接続部に第1端子が接続され、第2端子が共通電極と接続された映像表示用容量とを備えている構成である。

【0289】そして、上記のアクティブマトリクス型表示装置は、同一の映像信号から生成された第1映像信号が第1ソースラインに入力され、第2映像信号が第1映像信号と同時に第2ソースラインに入力され、表示部の連続して並ぶ複数の水平ラインを順次第1水平ライン、第2水平ライン、第3水平ラインとし、前記映像信号の1フレームにおける連続する複数の水平期間を順次第1水平期間、第2水平期間、第3水平期間としたときに、第1水平ラインの映像表示用容量に第1映像信号の第1水平期間のデータが入力されるように、第1スイッチング素子がON動作され、第2水平ラインの映像表示用容量に第1映像信号および第2映像信号の第1または第2水平期間のデータが同時に入力されるように、第1および第2スイッチング素子がON動作され、第3水平ラインの映像表示用容量に第2映像信号の第2水平期間の映像信号が入力されるように第2スイッチング素子がON動作される構成としてもよい。

【0290】上記のように、本アクティブマトリクス型表示装置では、第1および第2ソースラインを備えることにより、両ソースラインに印加される映像信号のデータを映像表示用容量（画素容量）やバスライン抵抗を利用して相加平均することができる。

【0291】したがって、第1スイッチング素子、第1ソースラインおよび第1ゲートラインに加えて、第2スイッチング素子、第2ソースラインおよび第2ゲートラインを備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第1水平ラインの映像表示用容量に供給するデータと第3水平ラインの映像表示用容量に供給するデータとを使用して、第2水平ラインの映像表示用容量のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0292】上記のアクティブマトリクス型表示装置は、前記映像表示用容量が保持するデータの極性を反転させる反転回路を備えている構成としてもよい。

【0293】上記の構成によれば、映像表示用容量に保

持されるデータの極性を反転させることができるので、同一極性のデータが全画面の第 1 容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0294】本発明のアクティブマトリクス型表示装置は、マトリクス状に設けられた複数の第 1 ソースラインおよび複数の第 2 ゲートラインと、これら第 1 ソースラインと第 1 ゲートラインとの交差部付近に形成された画素部と、各第 1 ソースラインに各々対応して設けられ、第 1 ソースラインの延設方向に延設された複数の第 2 ソースラインと、各第 1 ゲートラインに各々対応して設けられ、第 1 ゲートラインの延設方向に延設された複数の第 2 ゲートラインと、前記の各画素部毎に設けられ、第 1 端子が第 1 ソースラインと接続され、ON/OFF 制御用の制御端子が第 1 ゲートラインと接続された第 1 スイッチング素子と、前記の各画素部毎に設けられ、第 1 端子が第 2 ソースラインと接続され、第 2 端子が第 1 スイッチング素子の第 2 端子と接続され、前記制御端子が第 2 ゲートラインと接続された第 2 スイッチング素子と、直列接続された第 3 および第 4 スイッチング素子からなり、第 1 端子が第 1 および第 2 スイッチング素子の接続部に接続され、第 2 端子が共通電極と接続され、第 3 および第 4 スイッチング素子が前記制御端子を有し、これら制御端子が共通の制御用ラインと接続され、第 3 および第 4 スイッチング素子が互いに逆動作を行なう第 1 ペアスイッチング素子と、直列接続された第 5 および第 6 スイッチング素子からなり、第 1 端子が第 1 および第 2 スイッチング素子の接続部に接続され、第 2 端子が共通電極と接続され、第 5 および第 6 スイッチング素子が前記制御端子を有し、これら制御端子が前記制御用ラインと接続され、第 5 および第 6 スイッチング素子が互いに逆動作を行ない、かつ共通電極側の第 6 スイッチング素子が第 1 および第 2 スイッチング素子側の第 3 スイッチング素子と共通動作を行なう第 2 ペアスイッチング素子と、第 3 および第 4 スイッチング素子の前記接続部に第 1 端子が接続され、第 5 および第 6 スイッチング素子の前記接続部に第 2 端子が接続されている映像表示用容量とを備えている構成である。

【0295】そして、上記のアクティブマトリクス型表示装置は、同一の映像信号から生成された第 1 映像信号が第 1 ソースラインに入力され、第 2 映像信号が第 1 映像信号と同時に第 2 ソースラインに入力され、表示部の連続して並ぶ複数の水平ラインを順次第 1 水平ライン、第 2 水平ライン、第 3 水平ラインとし、前記映像信号の 1 フレームにおける連続する複数の水平期間を順次第 1 水平期間、第 2 水平期間、第 3 水平期間としたときに、第 1 水平ラインの映像表示用容量に第 1 映像信号の第 1 水平期間のデータが入力されるように、第 1 スイッチング素子が ON 動作されるとともに、第 3 ~ 第 6 スイッチング素子の ON/OFF 動作が行なわれ、第 2 水平ライ

*ンの映像表示用容量に第 1 映像信号および第 2 映像信号の第 1 または第 2 水平期間のデータが同時に入力されるように、第 1 および第 2 スイッチング素子が ON 動作されるとともに、第 3 ~ 第 6 スイッチング素子の ON/OFF 動作が行なわれ、第 3 水平ラインの映像表示用容量に第 2 映像信号の第 2 水平期間の映像信号が入力されるように第 2 スイッチング素子が ON 動作されるとともに、第 3 ~ 第 6 スイッチング素子の ON/OFF 動作が行なわれ、映像表示用容量が保持するデータの極性が反転されるように、第 3 および第 6 スイッチング素子の ON 動作と第 4 および第 5 スイッチング素子との OFF 動作、並びにその逆の動作が行なわれる構成としてもよい。

【0296】上記のように、本アクティブマトリクス型表示装置では、第 1 および第 2 ソースラインを備えることにより、両ソースラインに印加される映像信号のデータを映像表示用容量（画素容量）やバスライン抵抗を利用して相加平均することができる。

【0297】したがって、第 1 スイッチング素子、第 1 ソースラインおよび第 1 ゲートラインに加えて、第 2 ソースライン、第 2 ゲートライン、および第 2 ~ 第 6 スイッチング素子を備え、外部メモリやインターフェース等を使用しない簡単かつ低コストの構成により、例えば、表示部の第 1 水平ラインの映像表示用容量に供給するデータと第 3 水平ラインの映像表示用容量に供給するデータとを使用して、第 2 水平ラインの映像表示用容量のデータを補完することができる。これにより、表示装置の垂直解像度よりも低い解像度の映像信号、例えばインターレース信号あるいはノンインターレース信号を、垂直解像度を低下させることなく、良好に表示することができる。

【0298】また、映像表示用容量に保持されるデータの極性を反転させることができるので、同一極性のデータが全画面の第 1 容量に書き込まれたときに空間的に発生するフリッカを軽減することが可能である。

【0299】上記のアクティブマトリクス型表示装置において、前記第 1 映像信号は、映像信号の一つおきの水平期間のデータを 2 倍に伸長することにより生成され、第 2 の映像信号は、同一の映像信号の第 1 映像信号とは異なる一つおきの水平期間のデータを 2 倍に伸長することにより生成されたものである構成としてもよい。

【0300】上記の構成によれば、表示する例えばインターレース信号あるいはノンインターレース信号を上記第 1 および第 2 映像信号とすることにより、第 1 および第 2 映像信号を使用して、良好な表示が可能となる。

【図面の簡単な説明】

【図 1】本発明の実施の一形態におけるアクティブマトリクス型表示装置の液晶パネル内の 1 画素部付近の等価回路図である。

【図 2】本発明の実施の一形態におけるアクティブマト

リクス型表示装置の概略構成を示すブロック図である。

【図 3】図 3 (a) は、図 2 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部の等価回路図、図 3 (b) は、入力映像信号がインタレース信号である場合に、図 3 (a) に示した各画素部に対し奇数フレームにおいて印加される各信号のタイミングチャート、図 3 (c) は、図 3 (b) に示したフレームに続く偶数フレームにおいて、同各画素部に対し印加される各信号のタイミングチャートである。

【図 4】図 4 (a) は、図 2 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部の等価回路図、図 4 (b) は、入力映像信号がノンインタレース信号である場合に、図 4 (a) に示した各画素部に対し任意の 1 フレームにおいて印加される各信号のタイミングチャート、図 4 (c) は、図 4 (b) に示したフレームに続くフレームにおいて、同各画素部に対し印加される各信号のタイミングチャートである。

【図 5】本発明の実施の他の形態におけるアクティブマトリクス型表示装置の概略構成を示すブロック図である。

【図 6】図 5 に示した液晶パネル内の 1 画素部付近の等価回路図である。

【図 7】図 7 (a) は、図 5 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部の等価回路図、図 7 (b) は、入力映像信号がインタレース信号である場合に、図 7 (a) に示した各画素部に対し奇数フレームにおいて印加される各信号のタイミングチャート、図 7 (c) は、図 7 (b) に示したフレームに続く偶数フレームにおいて、同各画素部に対し印加される各信号のタイミングチャートである。

【図 8】図 6 に示した画素部において、液晶容量 C_1 のデータが補完容量 C_m が保持するデータにより補完される動作を説明する回路図である。

【図 9】図 9 (a) は、図 5 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部の等価回路図、図 9 (b) は、入力映像信号がノンインタレース信号である場合に、図 9 (a) に示した各画素部に対し任意の 1 フレームにおいて印加される各信号のタイミングチャート、図 9 (c) は、図 9 (b) に示したフレームに続くフレームにおいて、同各画素部に対し印加される各信号のタイミングチャートである。

【図 10】本発明の実施のさらに他の形態におけるアクティブマトリクス型表示装置の概略構成を示すブロック図である。

【図 11】図 10 に示した液晶パネルが備えるメモリ回路の等価回路図である。

【図 12】図 12 (a) は、図 10 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部とメモリ回路との等価回路図、図 12 (b) は、入力映像信号がインタレース信号あるいはノンインタレース信号である

場合に、図 12 (a) に示した各画素部およびメモリ回路に対し 1 フレームにおいて印加される各信号のタイミングチャートである。

【図 13】本発明の実施のさらに他の形態におけるアクティブマトリクス型表示装置の概略構成を示すブロック図である。

【図 14】図 13 に示した液晶パネルが備えるメモリ回路の等価回路図である。

【図 15】図 15 (a) は、図 13 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部とメモリ回路との等価回路図、図 15 (b) は、入力映像信号がインタレース信号あるいはノンインタレース信号である場合に、図 15 (a) に示した各画素部およびメモリ回路に対し 1 フレームにおいて印加される各信号のタイミングチャートである。

【図 16】本発明の実施のさらに他の形態におけるアクティブマトリクス型表示装置の概略構成を示すブロック図である。

【図 17】図 16 に示した液晶パネルが備えるメモリ回路の等価回路図である。

【図 18】図 18 (a) は、図 16 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部の等価回路図、図 18 (b) は、入力映像信号がインタレース信号である場合に、図 18 (a) に示した各画素部に対し奇数フレームにおいて印加される各信号のタイミングチャート、図 18 (c) は、図 18 (b) に示したフレームに続く偶数フレームにおいて、同画素部に印加される各信号のタイミングチャートである。

【図 19】図 19 (a) は、図 16 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部の等価回路図、図 19 (b) は、入力映像信号がノンインタレース信号である場合に、図 19 (a) に示した各画素部に対し任意の 1 フレームにおいて印加される各信号のタイミングチャート、図 19 (c) は、図 19 (b) に示したフレームに続くフレームにおいて、同画素部に印加される各信号のタイミングチャートである。

【図 20】本発明の実施のさらに他の形態におけるアクティブマトリクス型表示装置の概略構成を示すブロック図である。

【図 21】図 20 に示した液晶パネルが備えるメモリ回路の等価回路図である。

【図 22】図 22 (a) は、図 20 に示した液晶パネルにおけるソースライン方向に並ぶ複数の画素部の等価回路図、図 22 (b) は、入力映像信号がインタレース信号である場合に、図 22 (a) に示した各画素部に対し奇数フレームにおいて印加される各信号のタイミングチャート、図 22 (c) は、図 22 (b) に示したフレームに続く偶数フレームにおいて、同画素部に印加される各信号のタイミングチャートである。

【図 23】図 23 (a) は、図 20 に示した液晶パネル

におけるソースライン方向に並ぶ複数の画素部の等価回路図、図 23 (b) は、入力映像信号がノンインタレース信号である場合に、図 23 (a) に示した各画素部に対し任意の 1 フレームにおいて印加される各信号のタイミングチャート、図 23 (c) は、図 23 (b) に示したフレームに続くフレームにおいて、同画素部に印加される各信号のタイミングチャートである。

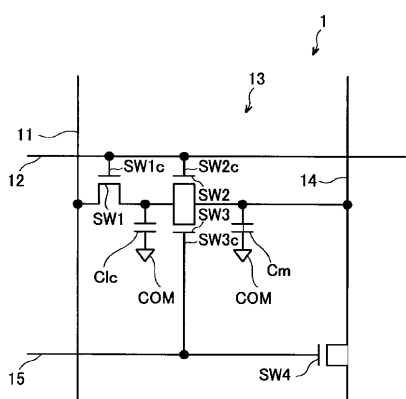
【符号の説明】

- 1, 21, 31, 61, 81 液晶パネル
- 2, 22, 32, 42, 62, 63, 82, 83 ソースドライバ
- 3, 23, 33, 43, 64, 65, 84, 85 ゲートドライバ
- 4, 24, 34, 44, 86 メモリドライバ
- 5, 25, 35, 45, 66, 87 タイミングコントローラ
- 1 1 ソースライン
- 1 2 ゲートライン
- 7 2 ソースライン (第 1 ソースライン)
- 7 3 ソースライン (第 2 ソースライン)
- 7 4 ゲートライン (第 1 ゲートライン)
- 7 5 ゲートライン (第 2 ゲートライン)
- 13, 26, 36, 71, 91 画素部
- 1 4 データ移動用ライン

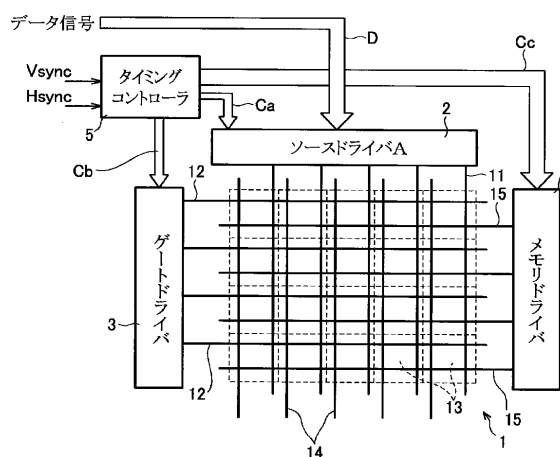
- * 1 5 イン
- 2 7 イン
- 28, 49, 93 ペアスイッチング素子 (第 1 ペアスイッチング素子)
- 29, 59, 94 ペアスイッチング素子 (第 2 ペアスイッチング素子)
- 37, 47 メモリ回路
- 10 38, 38, 92 制御用ライン
- 3 9 電流増幅回路 (増幅器)
- C 1 c 液晶容量 (第 1 容量、映像表示用容量)
- C m 補完用容量 (第 2 容量)
- SW1 ~ SW8 スwitching素子 (第 1 ~ 第 8 スwitching素子)
- SW11 ~ SW13 スwitching素子 (第 3 スwitching素子)
- SW14 スwitching素子 (第 2 スwitching素子)
- SW15 ~ SW18 スwitching素子 (第 4 ~ 第 7 スwitching素子)
- SW21 ~ SW26 スwitching素子 (第 1 ~ 第 6 スwitching素子)

- 制御用ライン (第 1 制御用ライン)
- 制御用ライン (第 2 制御用ライン)
- ペアスイッチング素子 (第 1 ペアスイッチング素子)
- ペアスイッチング素子 (第 2 ペアスイッチング素子)
- メモリ回路
- 制御用ライン
- 電流増幅回路 (増幅器)
- 液晶容量 (第 1 容量、映像表示用容量)
- 補完用容量 (第 2 容量)
- スitching素子 (第 1 ~ 第 8 スitching素子)
- スitching素子 (第 3 スitching素子)
- スitching素子 (第 2 スitching素子)
- スitching素子 (第 4 ~ 第 7 スitching素子)
- スitching素子 (第 1 ~ 第 6 スitching素子)

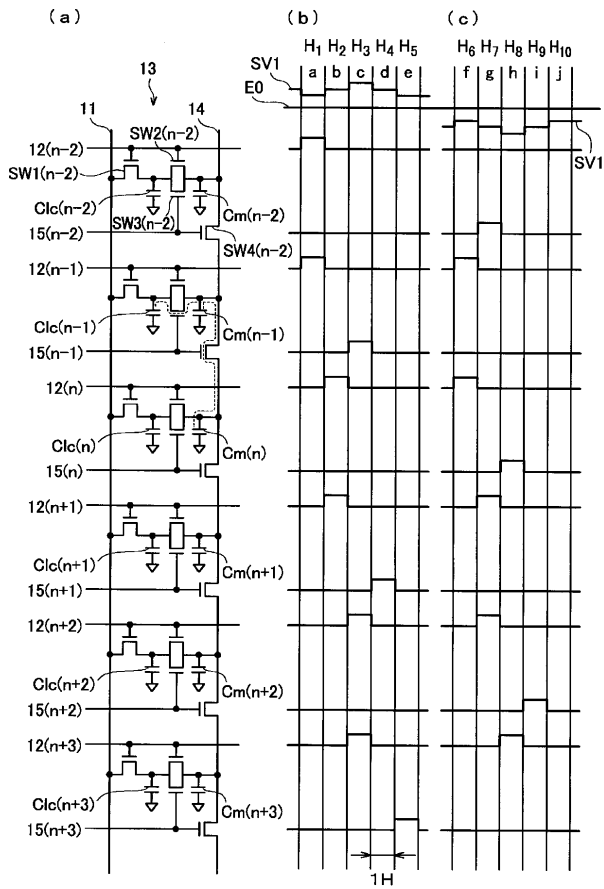
【図 1】



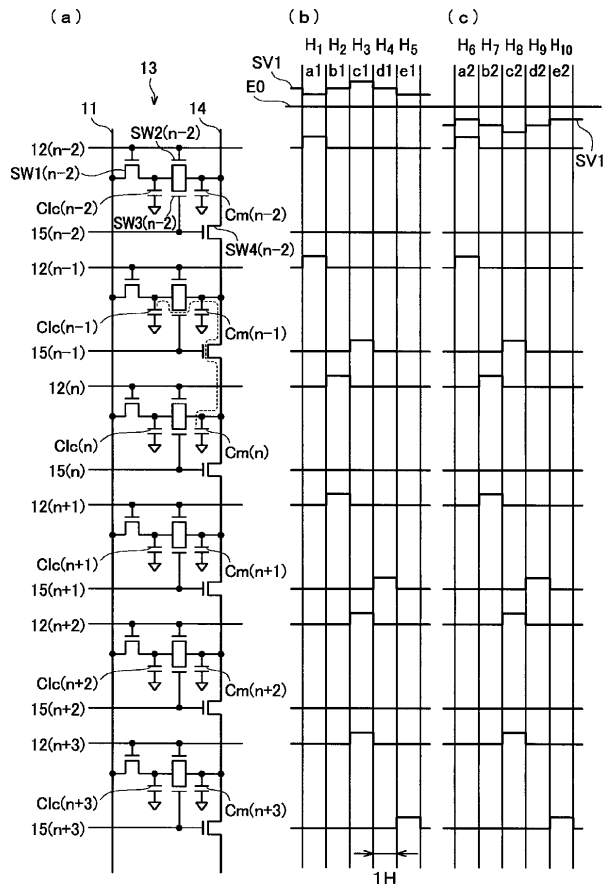
【図 2】



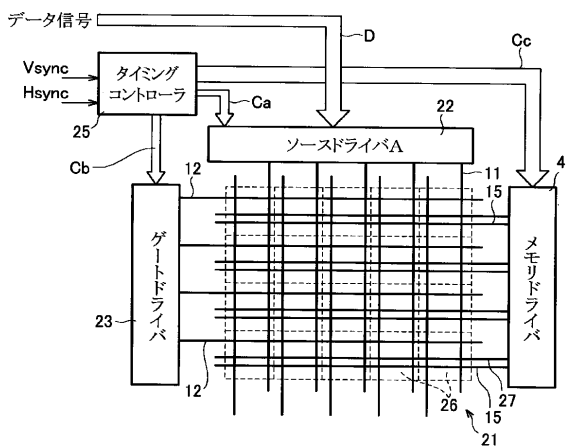
【図3】



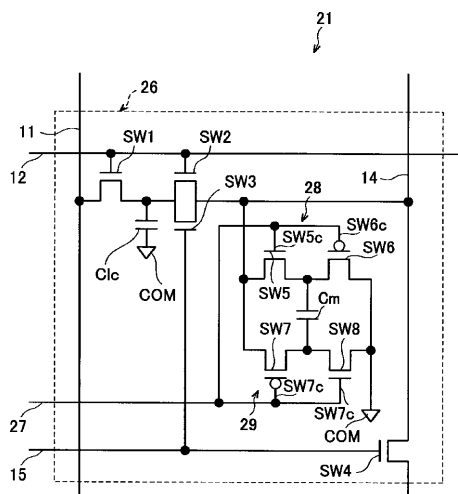
【図4】



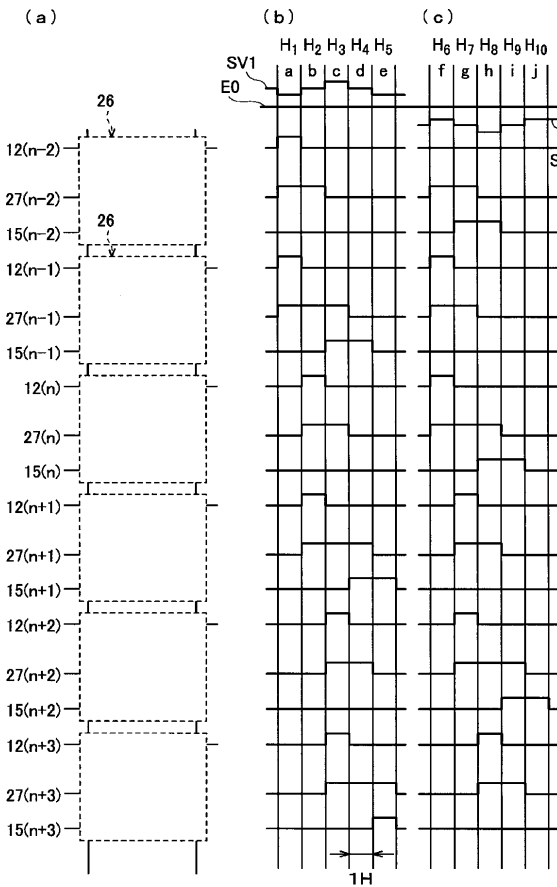
【図5】



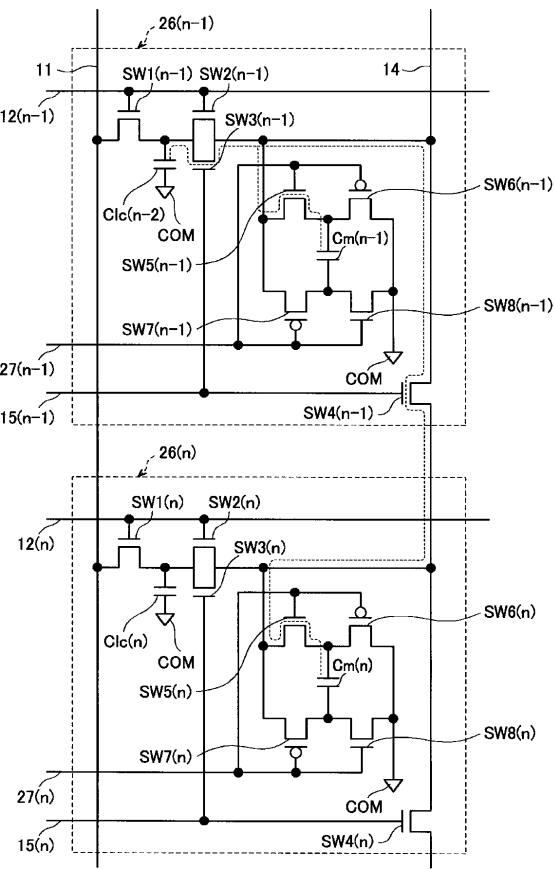
【図6】



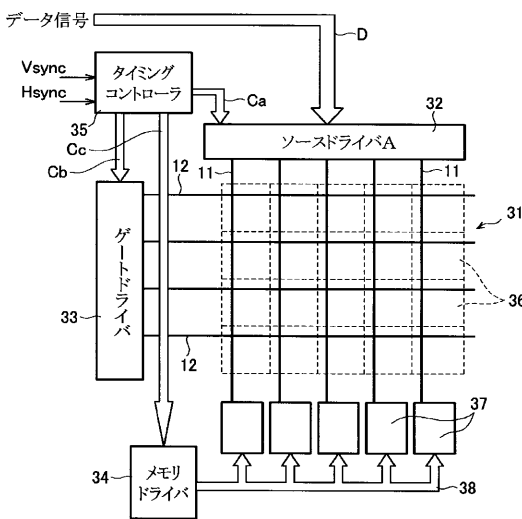
【図7】



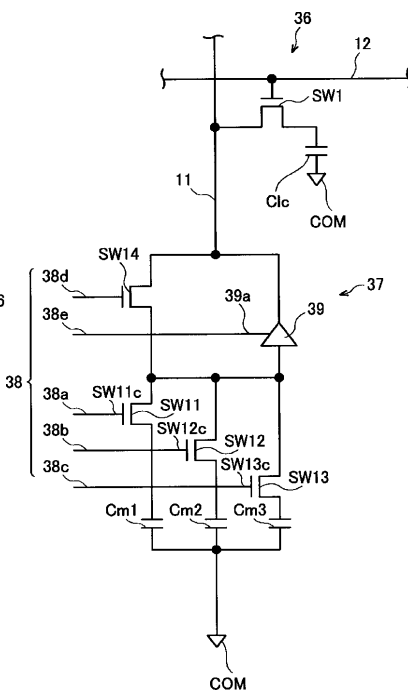
【図8】



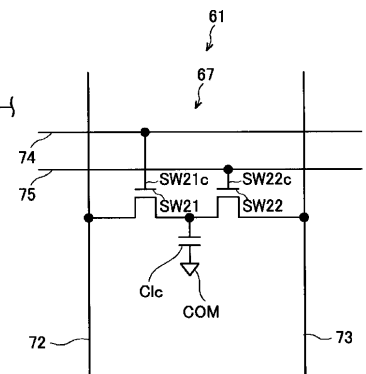
【図10】



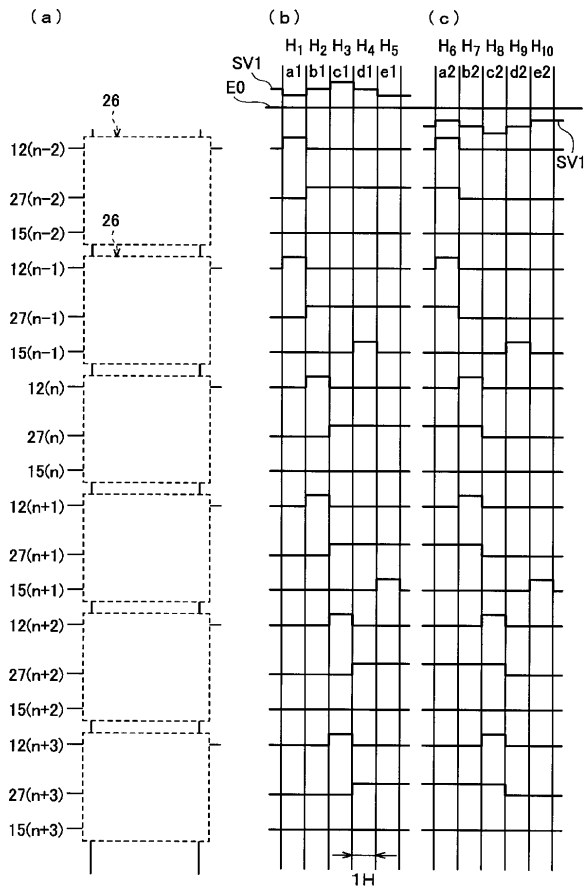
【図11】



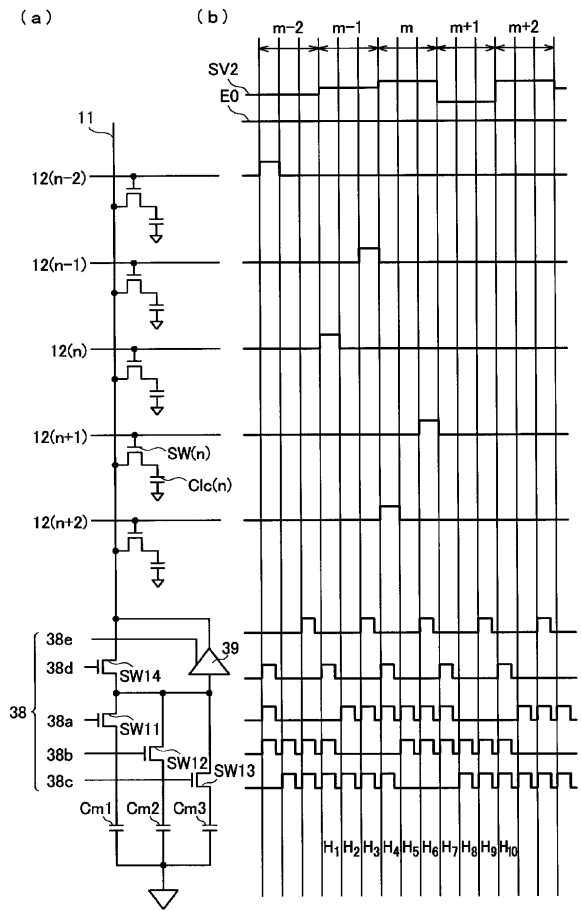
【図17】



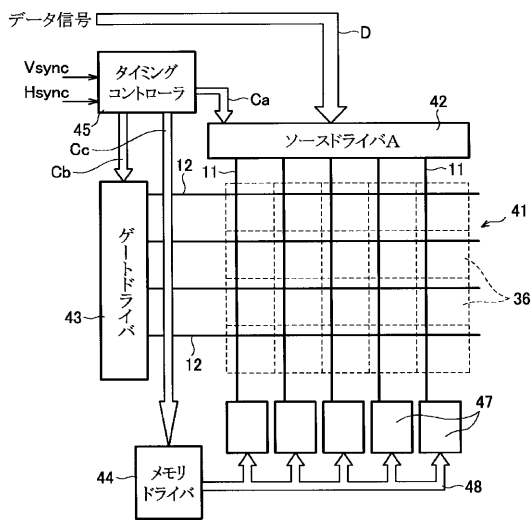
【図9】



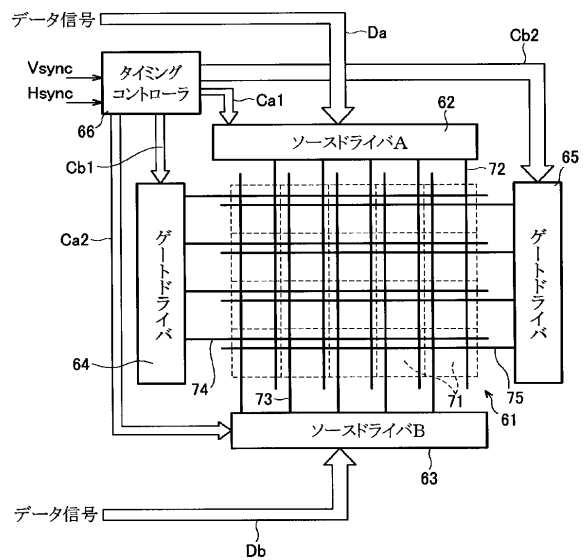
【図12】



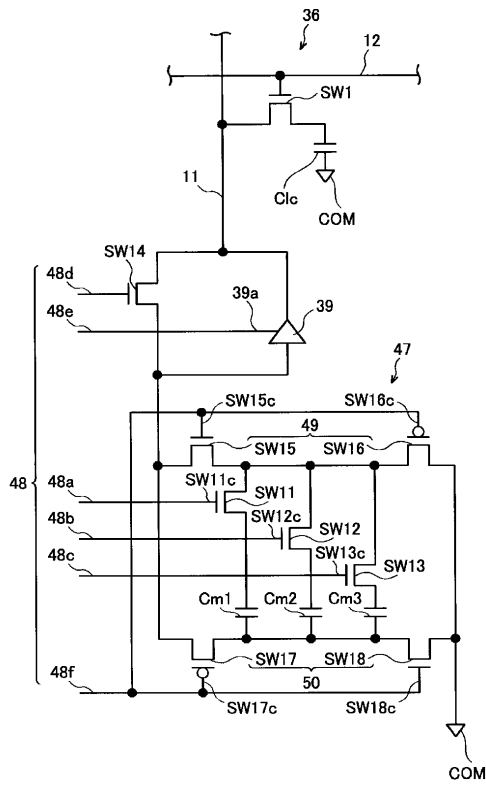
【図13】



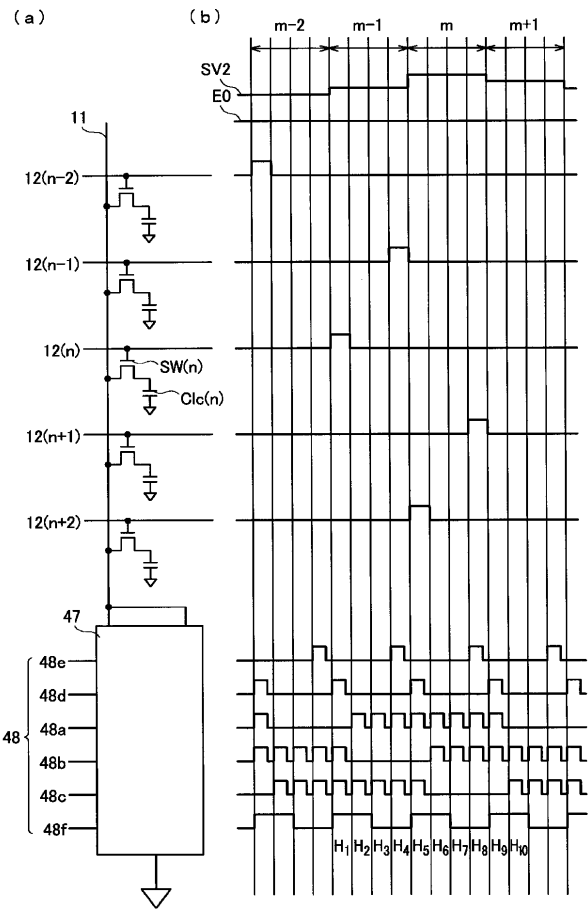
【図16】



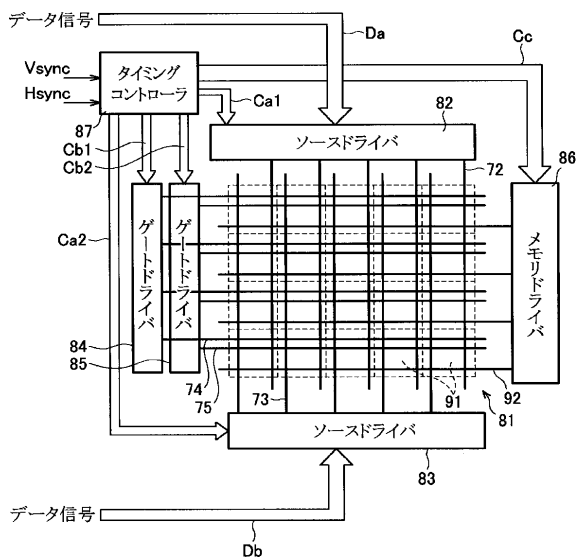
【図14】



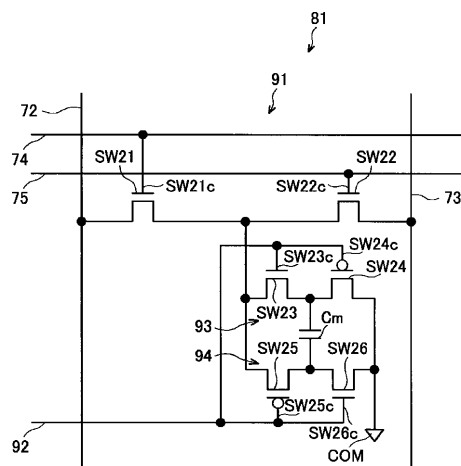
【図15】



【図20】

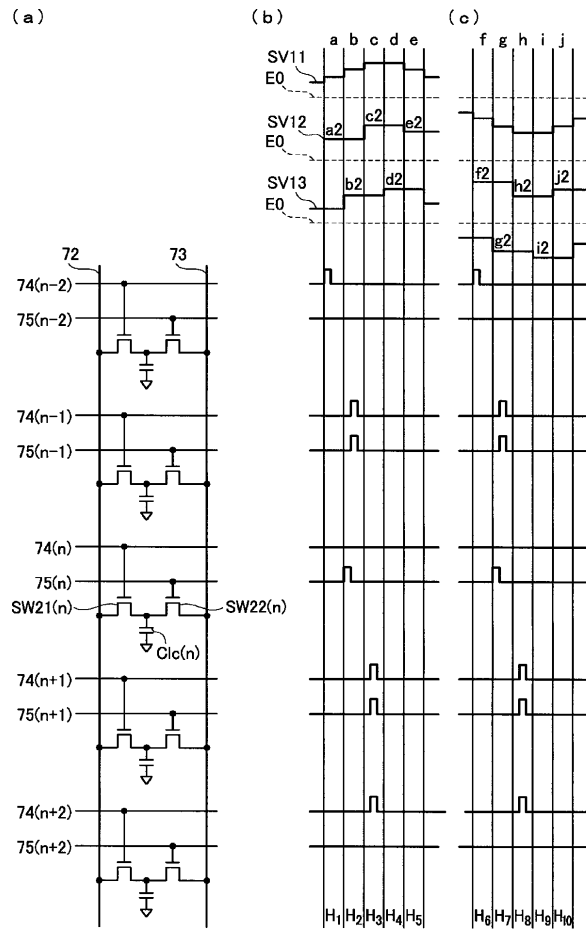
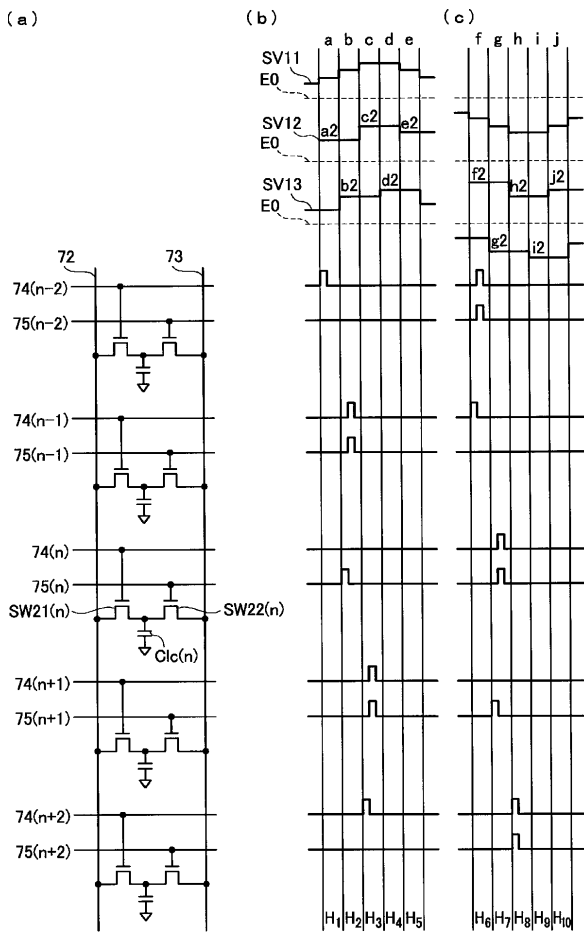


【図21】

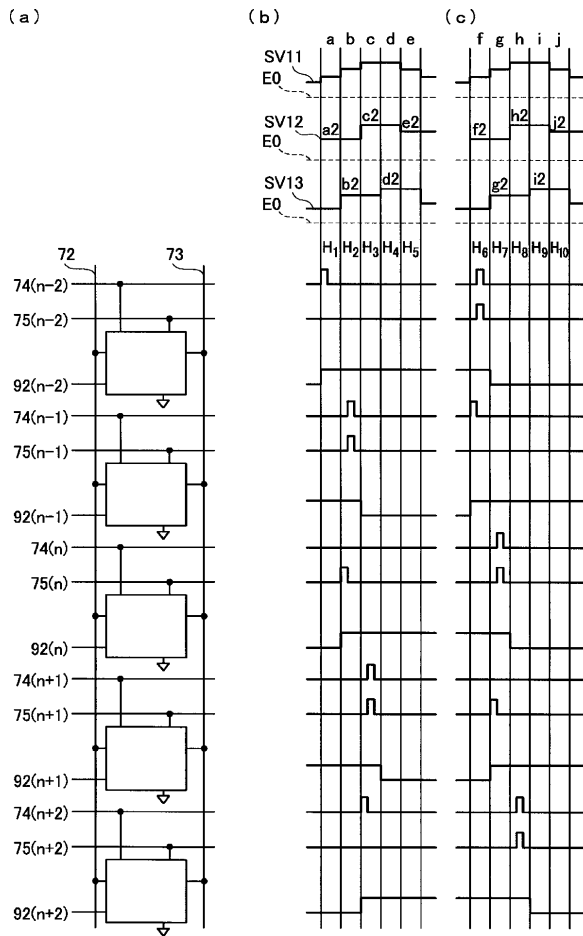


【図 18】

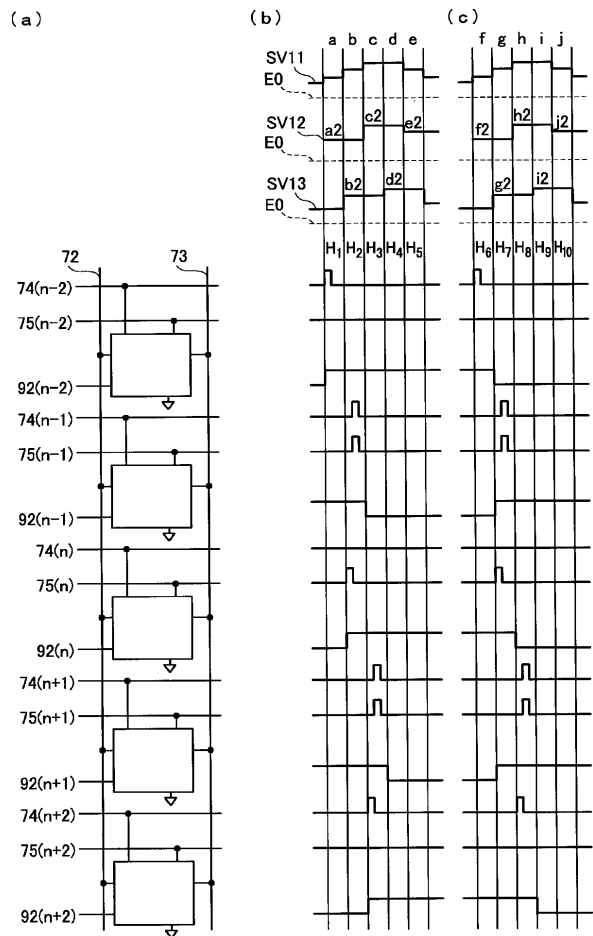
【図 19】



【図22】



【図23】



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	タームコード [*] (参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 3 2		6 3 2 C
	6 5 0		6 5 0 E
3/36		3/36	

- F ターム(参考) 2H092 JA24 JB22 JB31 JB61 NA25
 NA29 PA06
 2H093 NA16 NA31 NA43 NC13 NC15
 NC18 NC29 NC34 NC35 NC36
 ND54
 5C006 AA01 AA16 AC11 AF42 AF47
 BB16 BC06 FA04 FA41
 5C080 AA10 BB05 DD02 DD22 EE19
 EE29 FF11 GG12 JJ02 JJ03
 JJ04
 5C094 AA05 AA43 AA44 BA03 BA43
 CA19 EA04 EA07 FB19

专利名称(译)	有源矩阵显示		
公开(公告)号	JP2003057624A	公开(公告)日	2003-02-26
申请号	JP2001241383	申请日	2001-08-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	安川 真彦		
发明人	安川 真彦		
IPC分类号	G02F1/1368 G02F1/133 G09F9/30 G09F9/35 G09G3/20 G09G3/36		
FI分类号	G02F1/133.550 G02F1/1368 G09F9/30.338 G09F9/35 G09G3/20.622.R G09G3/20.624.B G09G3/20.632.C G09G3/20.650.E G09G3/36		
F-TERM分类号	2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB61 2H092/NA25 2H092/NA29 2H092/PA06 2H093/NA16 2H093/NA31 2H093/NA43 2H093/NC13 2H093/NC15 2H093/NC18 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC36 2H093/ND54 5C006/AA01 5C006/AA16 5C006/AC11 5C006/AF42 5C006/AF47 5C006/BB16 5C006/BC06 5C006/FA04 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD22 5C080/EE19 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA05 5C094/AA43 5C094/AA44 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/FB19 2H192/AA24 2H192/CB13 2H192/CB14 2H192/CB22 2H192/DA12 2H192/FA44 2H192/GD61 2H193/ZA04 2H193/ZA08 2H193/ZF59		
外部链接	Espacenet		

摘要(译)

解决的问题：通过简单且低成本的配置，可以很好地显示垂直分辨率低于显示部分的视频信号。有源矩阵显示装置包括用于视频显示的液晶电容器 C_{lc} ，其对每个像素单元充电所提供的视频信号的数据。此外，设置有互补电容器 C_m ，用于对所提供的视频信号数据进行充电并将所充电的数据提供给液晶电容器 C_{lc} 。

