

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 5722

(P2003 - 5722A)

(43)公開日 平成15年1月8日(2003.1.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	550 5 C 0 0 6
G 0 9 G 3/20	622	G 0 9 G 3/20	622 E 5 C 0 5 8
	660	660 Q	5 C 0 8 0
H 0 3 K 17/00		H 0 3 K 17/00	M 5 J 0 5 5
審査請求 未請求 請求項の数 7 O L (全 21数) 最終頁に続く			

(21)出願番号 特願2001 - 189472(P2001 - 189472)

(22)出願日 平成13年6月22日(2001.6.22)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 神尾 知巳

東京都八王子市石川町2951番地の5 カシオ

計算機株式会社八王子研究所内

(74)代理人 100096699

弁理士 鹿嶋 英實

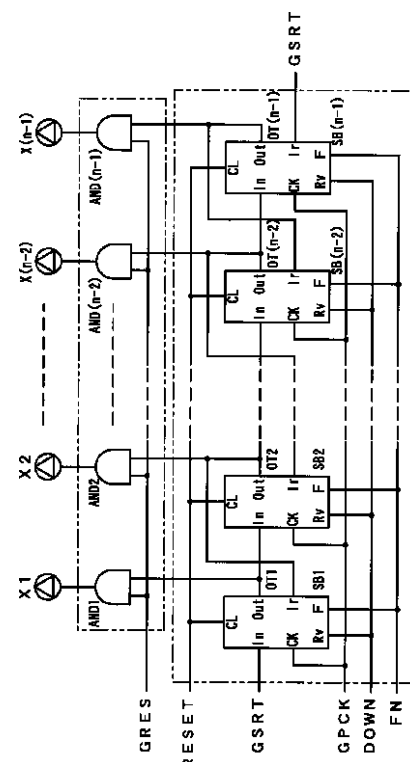
最終頁に続く

(54)【発明の名称】 シフトレジスタを備えた表示駆動装置及びシフトレジスタ

(57)【要約】

【課題】 液晶表示パネルにワイド画像を表示する際に設定される黒帯を表示する制御期間を短縮して、システムの誤動作の発生を抑制するとともに、駆動制御処理を簡略化して、周辺回路の回路規模の増大を抑制することができる表示駆動装置を提供する。

【解決手段】 複数の液晶画素がマトリクス状に配列された液晶表示パネルに、画面サイズと異なるアスペクト比を有するワイド画像を表示する場合に、該ワイド画像を表示駆動する際に走査信号を順次出力するシフト方向と同一であって、かつ、単一のシフト動作により、ワイド画像が表示される表示領域に隣接する無表示領域に黒帯画像を表示した後、連続的に走査信号をシフト出力して、表示領域に上記ワイド画像を表示する駆動制御を実行する。



【特許請求の範囲】

【請求項 1】 複数の走査ライン及び信号ラインの交点近傍に、マトリクス状に配列された複数の表示画素を有する表示パネルに対して、前記表示パネルの第 1 の表示領域に所望の映像情報を表示するとともに、前記表示パネルの前記第 1 の表示領域以外の、複数の走査ラインを有する第 2 の表示領域に黒帯画像を表示するための走査信号を、前記複数の走査ライン毎に出力するシフトレジスタを備えた表示駆動装置において、前記シフトレジスタは、前記走査信号を所定のシフト方向にシフトするシフト動作により、前記第 2 の表示領域の複数の走査線の、奇数番目の走査線群および偶数番目の走査線群を水平走査期間毎に選択して走査線毎に反転駆動を行って前記黒帯画像を表示した後、連続する同一のシフト動作により前記第 1 の表示領域に対応する走査線を順次選択して前記映像情報を表示することを特徴とする表示駆動装置。

【請求項 2】 前記シフトレジスタは、縦属接続される複数のシフトブロックから構成され、該各シフトブロックには、当該におけるシフト方向を設定するとともに、該シフト方向における次段のシフトブロックからの出力信号が入力されて、該出力信号の信号レベルに基づいて、各段のシフトブロックにおけるシフト動作の実行可否を個別に設定する切り換え制御部を備えていることを特徴とする請求項 1 記載の表示駆動装置。

【請求項 3】 前記第 2 の表示領域は、前記表示パネルにおける前記第 1 の表示領域を挟む一对の表示領域からなることを特徴とする請求項 1 または請求項 2 のいずれかに記載の表示駆動装置。

【請求項 4】 前記シフトレジスタは、前記映像情報を表示する際に走査信号をシフトする第 1 のシフト方向とは逆方向の第 2 のシフト方向に前記走査信号をシフトして、前記一对の第 2 の表示領域のうち、一方の表示領域に対して、奇数番目の走査線群および偶数番目の走査線群を水平走査期間毎に選択して走査線毎に反転駆動を行って前記黒帯画像を表示した後、前記走査信号を前記第 1 のシフト方向にシフトして、前記第 2 の表示領域のうち、他方の表示領域に対して、奇数番目の走査線群および偶数番目の走査線群を水平走査期間毎に選択して走査線毎に反転駆動を行って前記黒帯画像を表示する動作、及び、前記第 1 の表示領域に前記映像情報を表示する動作を連続的に実行することを特徴とする請求項 3 記載の表示駆動装置。

【請求項 5】 前記表示パネルは、3 : 4 のアスペクト比を有し、前記表示パネルに表示される前記映像情報は、9 : 16 のアスペクト比を有していることを特徴とする請求項 1 乃至 4 のいずれかに記載の表示駆動装置。

【請求項 6】 縦属接続される複数のシフトブロックを備えるシフトレジスタにおいて、前記各シフトブロックは、シフト方向を設定するととも

に、設定されたシフト方向における次段のシフトブロックの出力信号の信号レベルに基づいて、当該シフトブロックにおけるシフト動作の実行可否を設定する切り換え制御部を備えることを特徴とするシフトレジスタ。

【請求項 7】 前記シフトレジスタの両端に配置される前記シフトブロックには、所定の入力信号が供給されるとともに縦属接続される前記シフトブロックの出力信号が供給され、

前記シフトレジスタの両端以外に配置される前記シフトブロックには、当該シフトブロックの前後に縦属接続される前記各シフトブロックの出力信号が供給されることを特徴とする請求項 6 記載のシフトレジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示駆動装置に関し、特に、ビデオ信号に基づいて表示する映像情報が表示パネルの画面より横長の場合に、表示パネルの上下領域に黒帯を表示する表示駆動装置に関する。

【0002】

【従来の技術】近年、コンピュータ等の情報端末や映像機器のモニタやディスプレイとして、従来のブラウン管（CRT）に替えて、薄型、省スペース、省電力等の特徴を有する液晶表示装置（Liquid Crystal Display ; LCD）が多用されるようになってきている。一方、放送技術の分野においては、通常のNTSC（National Television System Committee）方式のアスペクト比（縦横比）3 : 4 のテレビジョン画像よりも横長のアスペクト比 9 : 16 を有する、いわゆる、ワイドテレビジョン用の画像（以下、「ワイド画像」という）が広く使用されるようになってきている。

【0003】このようなワイド画像を、NTSC方式に対応したアスペクト比 3 : 4 を有する液晶表示パネルに表示する場合、例えば、図 11（a）に示すように、ワイド画像 Gw のアスペクト比 9 : 16 を保持したまま、液晶表示パネル 110 の画面幅に合わせて画像サイズを圧縮して、画面の中央領域に表示するとともに、ワイド画像 Gw の上方及び下方に、画像が表示されない黒色の上部黒帯 Bu 及び下部黒帯 Bd を表示させている。

【0004】具体的には、図 11（b）に示すように、例えば、X1 ~ X（n - 1）の走査ライン（例えば、240本）から構成される液晶表示パネル 110 の場合であって、ワイド画像 Gw の表示領域として、走査ライン X29 ~ X（n - 29）が設定され、また、上部黒帯 Bu 及び下部黒帯 Bd の表示領域（以下、ワイド画像 Gw の表示領域と対比させるため、便宜的に、「無表示領域」ともいう）として、ワイド画像 Gw の上方及び下方の走査ライン X1 ~ X28 及び X（n - 29）~ X（n - 1）の各々 28 ライン（合計 56 ライン）が設定される。なお、以下の説明では、図 11（b）に示した設定により、液晶表示パネル 110 にワイド画像 Gw、上部

黒帯 B u 及び下部黒帯 B d を表示するものとする。

【0005】次いで、上述したような液晶表示パネルを表示駆動するための液晶駆動装置（表示駆動装置）について説明する。図12は、液晶表示パネルを表示駆動するための液晶駆動装置の要部構成を示す概略構成図である。図12に示すように、液晶駆動装置は、概略、液晶表示パネル110の列方向に配置されたソースドライバ120と、行方向に配置されたゲートドライバ（走査ドライバ）130と、を有して構成されている。なおソースドライバ120及びゲートドライバ130以外の他の構成については、後述する。

【0006】ここで、液晶表示パネル110は、図12に示すように、概略、対向する透明基板（図示を省略）間に、列方向に配設された信号ライン L d 及び行方向に配設された走査ライン L g (X1 ~ X(n-1))と、該マトリクス状に配設された信号ライン L d 及び走査ライン L g の交点近傍に配置された複数の画素電極、及び、各画素電極に対向して配置された共通電極（図示を省略；コモン電圧 V com）、画素電極と共通電極の間に充填、保持された液晶からなる表示画素（液晶容量 C l c）と、該表示画素（液晶容量 C l c）に印加された信号電圧を保持するための蓄積容量 C s と、走査ライン L g にゲートが接続され、画素電極にソースが接続され、信号ライン L d にドレインが接続された薄膜トランジスタ（Thin Film Transistor；以下、「画素トランジスタ」と記す）T F T と、を備えている。

【0007】ソースドライバ120は、概略、ビデオ信号から抽出された赤（R）、緑（G）、青（B）の各色信号からなる画像表示信号（アナログ R G B 信号）が入力されるサンプルホールド回路122と、サンプルホールド回路122のサンプルホールド動作を制御するシフトレジスタ121と、を備え、水平制御信号に基づいて、シフトレジスタ121により一定方向にシフトして出力された制御信号をサンプルホールド回路122に順次印加することにより、アナログ R G B 信号に対応した信号電圧をサンプリング（取り込み）、ホールド（保持）した後、信号増幅して、所定のタイミングで液晶表示パネル110の各信号ライン L d に印加する。

【0008】一方、ゲートドライバ130は、概略、シフトレジスタ131と出力バッファ132と、を備え、垂直制御信号に基づいて、シフトレジスタ131により所定の方向に順次シフトして出力された信号を、出力バッファ132を介して走査信号（選択信号）として液晶表示パネル110の各走査ライン L g に印加することにより、各画素トランジスタ T F T が選択駆動され、ソースドライバ120により各信号ライン L d に印加された信号電圧が、画素トランジスタ T F T を介して、各画素電極に印加される。これにより、液晶の配向状態（配向角度）が制御され、この配向状態による光透過率の変化に応じて所定の画像情報が表示される。

【0009】ここで、従来技術におけるゲートドライバに適用されるシフトレジスタの構成について、さらに詳しく説明する。図13は、従来技術におけるゲートドライバに適用されるシフトレジスタを示す要部構成図であり、図14は、従来技術におけるシフトレジスタに適用されるシフトブロックを示す機能構成図である。

【0010】図13に示すように、シフトレジスタ131は、概略、直列に接続され、共通のゲートクロック G P C K が入力されることにより、単一のゲートスタート信号 G S R T を順次、後段にシフトさせつつ、各走査ライン X 1、X 2、・・・X (n-1) に対応して出力信号（走査信号）を出力する複数段のシフトブロック S B 1、S B 2、・・・S B (n-1) と、出力イネーブル信号 G R E S に基づいて、各走査ライン X 1 ~ X (n-1) への走査信号の印加状態を制御する複数の論理ゲート（ANDゲート）AND 1、AND 2、・・・AND (n-1) と、を備えて構成されている。

【0011】各段のシフトブロック S B m (m = 2、3、・・・(n-2))は、各々、図14(a)に示すように、シフト方向設定端子 S (R v) を介して入力されるシフト方向設定信号 D O W N に基づいて、入力端子 I 0 (I n) を介して入力される前段のシフトブロック S B (m-1) からの出力信号 O T (m-1)、又は、入力端子 I 1 (I r) を介して入力される次段のシフトブロック S B (m+1) からの出力信号 O T (m+1) のうち、いずれか一方を選択し、出力端子 X s を介して、フリップフロップ回路 F / F に出力するセレクト回路 S E L p と、クロック端子 C K を介して入力されるゲートクロック G P C K のタイミングに基づいて、セレクト回路 S E L p から出力される信号をデータ端子 D を介して取り込み、出力端子 X f (O u t) を介して出力信号 O T m として出力するフリップフロップ回路 F / F と、を備えている。

【0012】ここで、初段のシフトブロック S B 1 の入力端子 I n 又は最終段のシフトブロック S B (n-1) の入力端子 I r には、後述するシフトレジスタ131におけるシフト動作の方向に応じて、ゲートスタート信号 G S R T が入力される。また、フリップフロップ回路 F / F は、リセット端子 R (C L) を介してリセット信号 R E S E T が入力されることにより、セレクト回路 S E L p から取り込んだ信号が一斉にリセットされる。

【0013】このような構成を有するシフトレジスタ131において、図14(b)の選択論理表に示すように、シフト方向設定信号 D O W N がローレベル（“0”）の場合には、セレクト回路 S E L p により前段のシフトブロック S B (m-1) からの出力信号 O T (m-1) が選択されて、ゲートクロック G P C K のタイミングに基づいて、フリップフロップ回路 F / F を介して、出力信号 O T m として次段のシフトブロック S B (m+1) に出力される動作が、各シフトブロック毎に

順次行われることにより、シフトブロックSB1、SB2、・・・SB(n-2)、SB(n-1)の順序でゲートスタート信号GSR Tが順方向にシフトされ、論理ゲートAND1、AND2、・・・AND(n-1)、及び、図12に示した出力バッファ132を介して、各走査ラインX1、X2、・・・X(n-1)に走査信号が順次印加される順方向シフト動作が実行される。

【0014】一方、シフト方向設定信号DOWNがハイレベル(“1”)の場合には、セレクト回路SELPにより次段のシフトブロックSB(m+1)からの出力信号OT(m+1)が選択されて、ゲートクロックGPC Kのタイミングに基づいて、フリップフロップ回路F/Fを介して、出力信号OTmとして前段のシフトブロックSB(m-1)に出力される動作が、各シフトブロック毎に順次行われることにより、シフトブロックSB(n-1)、SB(n-2)、・・・SB2、SB1の順序でゲートスタート信号GSR Tが逆方向にシフトされ、論理ゲートAND(n-1)、AND(n-2)、・・・AND1、及び、図10に示した出力バッファ132を介して、各走査ラインX(n-1)、X(n-2)、・・・X1に走査信号が順次印加される逆方向シフト動作が実行される。

【0015】このような順方向及び逆方向のシフト動作は、図11に示したワイド画像Gw、上部黒帯Bu及び下部黒帯Bdを液晶表示パネル110に表示する際に、適宜切り換え制御される。以下に、上述したような構成を有する液晶駆動装置を備えた液晶表示装置におけるワイド画像の表示駆動方法について、図面を参照して説明する。ここでは、上述したゲートドライバの構成(図12～図14)を適宜参照しながら説明する。

【0016】図15は、従来技術におけるゲートドライバにおけるシフト動作を示す模式図である。また、図16は、従来技術において、液晶表示パネルに上部黒帯Bu及び下部黒帯Bdを表示する際の画面走査状態を示す概略図であり、図17は、従来技術において、液晶表示パネルにワイド画像Gwを表示する際の画面走査状態を示す概略図である。

【0017】<ステップS101>上述したような構成を有するゲートドライバ130において、まず、出力イネーブル信号GRESをローレベル(“0”)に設定した状態で、シフト方向設定信号DOWNをローレベル(“0”)に設定することにより、各シフトブロックSB1、SB2、・・・SB(n-1)の順方向シフト動作を実行して、液晶表示パネル110の上方領域に上部黒帯Buを表示する駆動制御を行う。

【0018】すなわち、各シフトブロックSB1、SB2、・・・にゲートクロックGPC Kを26パルス印加するとともに、各ゲートクロックGPC Kの印加タイミング毎に、初段のシフトブロックSB1に、交互に“1”、“0”となるゲートスタート信号GSR Tを各

14パルス及び13パルス順次入力することにより、図15(a)に示すように、該ゲートクロックGPC Kの信号タイミングに基づいて、ゲートスタート信号GSR TがシフトブロックSB1、SB2、・・・SB26間で順次シフトされて、走査ラインX1、X2、X3、・・・X26に印加される走査信号に対応する出力信号OT1～OT26が、交互に“0”、“1”、“0”、・・・“1”となるように設定される。

【0019】<ステップS102>次いで、ソースドライバ120を介して、上部黒帯Bu(走査ラインX1～X28)の画像信号(黒色信号)に基づく信号電圧を各信号ラインLdに印加した後、各シフトブロックSB1、SB2、・・・にゲートクロックGPC Kを1パルス印加するとともに、初段のシフトブロックSB1に、信号レベルが“1”のゲートスタート信号GSR Tを1パルス入力することにより、図15(b)に示すように、ゲートスタート信号GSR Tが各シフトブロックSB1、SB2、・・・SB27で1段シフトされて、交互に“1”、“0”、“1”、・・・“1”となる出力信号OT1～OT27(走査ラインX1～X27に印加される走査信号に対応)が設定される。

【0020】この状態で、出力イネーブル信号GRESをハイレベル(“1”)に切り換え制御することにより、上記出力信号OT1～OT27のうち、“1”となる信号レベルに設定された奇数段のシフトブロックSB1、SB3、・・・SB25、SB27からの出力信号OT1、OT3、・・・OT25、OT27が論理ゲートAND1、AND3、・・・AND25、AND27及び出力バッファ132を介して、走査信号として奇数番目の走査ラインX1、X3、・・・X25、X27に印加される。これにより、走査ラインX1からX28までの上部黒帯Bu領域において、奇数ラインに接続された液晶画素に黒色信号に基づく信号電圧が印加されて黒データが書き込まれる。

【0021】<ステップS103>次いで、出力イネーブル信号GRESをローレベル(“0”)に切り換え制御し、各シフトブロックSB1、SB2、・・・にゲートクロックGPC Kを1パルス印加することにより、図15(c)に示すように、ゲートスタート信号GSR Tが各シフトブロックSB1、SB2、・・・SB28で1段シフトされて、交互に“0”、“1”、“0”、・・・“1”となる出力信号OT1～OT28(走査ラインX1～X28に印加される走査信号に対応)が設定される。

【0022】この状態で、出力イネーブル信号GRESをハイレベル(“1”)に切り換え制御することにより、上記出力信号OT1～OT28のうち、“1”となる信号レベルに設定された偶数段のシフトブロックSB2、SB4、・・・SB26、SB28からの出力信号OT2、OT4、・・・OT26、OT28が論理ゲ

トAND2、AND4、・・・AND26、AND28及び出力バッファ132を介して、走査信号として奇数番目の走査ラインX2、X4、・・・X26、X28に印加される。

【0023】これにより、走査ラインX1からX28までの上部黒帯Bu領域において、偶数ラインに接続された液晶画素に黒色信号に基づく信号電圧が印加されて黒データが書き込まれる。したがって、上述した奇数番目の走査ラインの14本に加えて、偶数番目の14本の走査ラインにも黒データが書き込まれることになるので、
図16(a)、(b)に示すように、液晶表示パネル110の上部黒帯Bu領域の全域(走査ラインX1~X28)が黒表示される。以上の各ステップS101、S102、S103における動作処理は、通常の表示駆動周期に基づいて、各々1水平走査期間(1H)を適用して実行される。

【0024】<ステップS104>次いで、再び出力イネーブル信号GRESをローレベル("0")に切り換え制御した状態で、シフト方向設定信号DOWNの信号レベルをハイレベル("1")に設定することにより、
各シフトブロックSB1、SB2、・・・SB(n-1)の逆方向シフト動作を実行して、液晶表示パネル110の下方に下部黒帯Bdを表示する駆動制御を行う。

【0025】すなわち、各シフトブロックSB(n-1)、SB(n-2)、・・・にゲートクロックGPCKを26パルス印加するとともに、各ゲートクロックGPCKの印加タイミング毎に、最終段のシフトブロックSB(n-1)に、交互に"1"、"0"となるゲートスタート信号GSRTを各14パルス及び13パルス順次入力することにより、図15(d)に示すように、該
ゲートクロックGPCKの信号タイミングに基づいて、ゲートスタート信号GSRTがシフトブロックSB(n-1)、SB(n-2)、・・・SB(n-26)間で順次シフトされて、走査ラインX(n-1)、X(n-2)、X(n-3)、・・・X(n-26)に印加される走査信号に対応する出力信号OT(n-1)~OT(n-26)が、交互に"0"、"1"、"0"、・・・"1"となるように設定される。

【0026】<ステップS105>次いで、ソースドライバ120を介して、下部黒帯Bd(走査ラインX(n-28)~X(n-1))の画像信号(黒色信号)に基づく信号電圧を各信号ラインLdに印加した後、各シフトブロックSB(n-1)、SB(n-2)、・・・にゲートクロックGPCKを1パルス印加するとともに、最終段のシフトブロックSB(n-1)に、信号レベルが"1"のゲートスタート信号GSRTを1パルス入力することにより、図15(e)に示すように、ゲートスタート信号GSRTが各シフトブロックSB(n-1)、SB(n-2)、・・・SB(n-27)で1段シフトされて、交互に"1"、"0"、"1"、・・・

"1"となる出力信号OT(n-1)~OT(n-27)(走査ラインX(n-1)~X(n-27)に印加される走査信号に対応)が設定される。

【0027】この状態で、出力イネーブル信号GRESをハイレベル("1")に切り換え制御することにより、上記出力信号OT(n-1)~OT(n-27)のうち、"1"となる信号レベルに設定された奇数段のシフトブロックSB(n-1)、SB(n-3)、・・・SB(n-25)、SB(n-27)からの出力信号OT(n-1)、OT(n-3)、・・・OT(n-25)、OT(n-27)が論理ゲートAND(n-1)、AND(n-3)、・・・AND(n-25)、AND(n-27)及び出力バッファ132を介して、走査信号として奇数番目の走査ラインX(n-1)、X(n-3)、・・・X(n-25)、X(n-27)に印加される。これにより、走査ラインX(n-1)からX(n-28)までの下部黒帯Bd領域において、奇数ラインに接続された液晶画素に黒色信号に基づく信号電圧が印加されて黒データが書き込まれる。

【0028】<ステップS106>次いで、出力イネーブル信号GRESをローレベル("0")に切り換え制御し、各シフトブロックSB(n-1)、SB(n-2)、・・・にゲートクロックGPCKを1パルス印加することにより、図15(f)に示すように、ゲートスタート信号GSRTが各シフトブロックSB(n-1)、SB(n-2)、・・・SB(n-28)で1段シフトされて、交互に"0"、"1"、"0"、・・・"1"となる出力信号OT(n-1)~OT(n-28)(走査ラインX(n-1)~X(n-28)に印加される走査信号に対応)が設定される。

【0029】この状態で、出力イネーブル信号GRESをハイレベル("1")に切り換え制御することにより、上記出力信号OT(n-1)~OT(n-28)のうち、"1"となる信号レベルに設定された偶数段のシフトブロックSB(n-2)、SB(n-4)、・・・SB(n-26)、SB(n-28)からの出力信号OT(n-2)、OT(n-4)、・・・OT(n-26)、OT(n-28)が論理ゲートAND(n-2)、AND(n-4)、・・・AND(n-26)、AND(n-28)及び出力バッファ132を介して、走査信号として偶数番目の走査ラインX(n-2)、X(n-4)、・・・X(n-26)、X(n-28)に印加される。

【0030】これにより、走査ラインX(n-1)からX(n-28)までの下部黒帯Bd領域において、偶数ラインに接続された液晶画素に黒色信号に基づく信号電圧が印加されて黒データが書き込まれる。したがって、上述した奇数番目の走査ラインの14本に加えて、偶数番目の14本の走査ラインにも黒データが書き込まれることになるので、図16(c)、(d)に示すように、

液晶表示パネル 110 の下部黒帯 B d 領域の全域 (走査ライン $X(n-1) \sim X(n-28)$) が黒表示される。以上の各ステップ S104、S105、S106 における動作処理においても、上述したステップ S101 ~ S103 と同様に、通常の表示駆動周期に基づいて、各々 1 水平走査期間 (1 H) を適用して実行される。

【0031】ここで、上述したステップ S101 ~ S103 において、シフトブロック SB1 ~ SB28 にシフト入力された信号 (ゲートスタート信号 GSRT) は、ステップ S104 ~ S106 において、シフトブロック SB (n - 1)、SB (n - 2)、 $\dots$ SB (n - 26) にゲートクロック GPC K を 26 パルス印加した後、さらに 1 パルス印加して、ゲートスタート信号 GSRT を逆方向に順次シフトする動作により掃き出される。

【0032】<ステップ S107> 次いで、再び出力イネーブル信号 GRES をローレベル (“ 0 ”) に切り換え制御した状態で、再びシフト方向設定信号 DOWN の信号レベルをローレベル (“ 0 ”) に設定することにより、初段のシフトブロック SB1 に入力されたゲートスタート信号 GSRT を、ゲートクロック GPC K のタイミングに基づいて、シフトブロック SB1、SB2、 $\dots$ SB (n - 1) の順序で順次シフトする順方向シフト動作を実行して、液晶表示パネル 110 の中央領域にワイド画像 Gw を表示する駆動制御を行う。

【0033】まず、初段のシフトブロック SB1 に、信号レベルが “ 1 ” のゲートスタート信号 GSRT を 1 パルス入力して、各シフトブロック SB1、SB2、 $\dots$ にゲートクロック GPC K を 26 パルス印加することにより、図 15 (g) に示すように、ゲートスタート信号 GSRT がシフトブロック SB1、SB2、 $\dots$ SB26 間で順次シフトされて、シフトブロック SB1 ~ SB25 に信号レベル “ 0 ” が保持される (出力信号 OT1 ~ OT25 が “ 0 ”) とともに、シフトブロック SB26 に信号レベル “ 1 ” が保持される (出力信号 OT26 が “ 1 ”) 。

【0034】さらに、各シフトブロック SB1、SB2、 $\dots$ にゲートクロック GPC K を 1 パルス印加して、ゲートスタート信号 GSRT を各シフトブロック SB1、SB2、 $\dots$ で 1 段シフトするシフト動作を 2 回実行することにより、図 15 (h) に示すように、シフトブロック SB1 ~ SB27 の出力信号 OT1 ~ OT27 が “ 0 ” に設定されるとともに、シフトブロック SB28 の出力信号 OT28 が “ 1 ” に設定される。

【0035】このステップ S107 において、ゲートスタート信号 GSRT をシフトブロック SB1 から SB26 までシフトする動作処理、及び、ゲートスタート信号 GSRT をシフトブロック SB27 及び SB28 まで個別に 1 段ずつシフトする動作処理は、各々通常の表示駆動周期 (1 水平走査期間 : 1 H) を適用して実行され

る。ここで、上述したステップ S104 ~ S106 において、シフトブロック SB (n - 1) ~ SB (n - 28) にシフト入力された信号 (ゲートスタート信号 GSRT) は、ステップ S107 において、シフトブロック SB1、SB2、 $\dots$ SB26 にゲートクロック GPC K を 26 パルス印加した後、さらに 1 パルス印加して、ゲートスタート信号 GSRT を順方向に順次シフトする動作により掃き出される。

【0036】<ステップ S108> 次いで、ソースドライバ 120 を介して、アスペクト比 9 : 16 のワイド画像 (RGB 信号) の第 1 行目の画像信号に基づく信号電圧を各信号ライン Ld に印加した後、出力イネーブル信号 GRES をハイレベル (“ 1 ”) に切り換え制御し、各シフトブロック SB1、SB2、 $\dots$ にゲートクロック GPC K を 1 パルス印加することにより、信号レベル “ 1 ” のゲートスタート信号 GSRT がシフトブロック SB29、SB30、 $\dots$ で 1 段シフトされて、出力信号 OT29 の信号レベルが “ 1 ” に設定され、論理ゲート AND29 及び出力バッファ 132 を介して、走査信号として走査ライン X29 に印加される。これによって、信号ライン Ld に印加された信号電圧が、各走査ライン X29 に接続された液晶画素に印加されて、ワイド画像 Gw の第 1 行目の画像信号が書き込まれ表示される。

【0037】そして、出力イネーブル信号 GRES をハイレベルに保持した状態で、各シフトブロック SB1、SB2、 $\dots$ にゲートクロック GPC K を 1 パルスずつ印加して、信号レベル “ 1 ” のゲートスタート信号 GSRT をシフトブロック SB29、SB30、 $\dots$ SB (n - 29) で順次 1 段ずつシフトすることにより、走査ライン X29 から X (n - 29) に順方向に走査信号を順次印加しつつ、ソースドライバ 120 により各走査ライン毎に、ワイド画像 Gw の各行毎の画像信号に基づく信号電圧を印加して、図 17 (a)、(b)、(c) に示すように、ワイド画像 Gw を表示する。

【0038】そして、ワイド画像 Gw の表示が終了したタイミングで、各シフトブロック SB1、SB2、 $\dots$ にリセット信号 RESET を入力することにより、シフト動作をリセットするとともに、出力イネーブル信号 GRES をローレベルに切り換え制御して、各走査ラインへの走査信号の印加を遮断する。以上の一連の表示駆動処理 S101 ~ S108 を一周期として、所定の駆動周期で繰り返し実行することにより、液晶表示パネル 110 の中央領域にテレビジョン画像 (ワイド画像 Gw) が表示され、その上方及び下方に黒帯画像が表示される。

【0039】なお、ステップ 102 において各信号ライン Ld に印加される信号電圧の極性と、ステップ 103 において各信号ライン Ld に印加される信号電圧の極性と、を互いに逆極性になるように設定するとともに、ス

ステップ 105 において各信号ライン L d に印加される信号電圧の極性と、ステップ 106 において各信号ライン L d に印加される信号電圧の極性と、を互いに逆極性になるように設定することにより、上部黒帯 B u 領域及び下部黒帯 B d 領域において、ライン反転駆動を行うことによりフリッカーの発生を低減するように駆動制御している。

【0040】

【発明が解決しようとする課題】上述したように、従来のワイド画像を表示する際の駆動制御方法においては、ワイド画像に先立って表示される上部及び下部黒帯を表示動作に要する制御期間が極めて長いという問題を有していた。すなわち、上述したような表示駆動処理においては、上部及び下部黒帯の表示動作に、各々 3 H を必要とし、さらに、ワイド画像の表示に先立って走査信号をワイド画像の表示領域までシフトする動作に、最大 3 H を必要としていたため、合計で最大 9 H の制御期間を必要としていた。

【0041】このように、黒帯表示のための制御期間が長くなると、画面情報の切り替わり等により、この制御期間に垂直同期信号が入力された場合、液晶駆動装置が誤動作を生じる可能性が高くなるという問題を有していた。ここで、上記誤動作の発生を防止する目的で、通常の表示駆動周期に依存することなく、黒帯表示の制御期間を短縮するための専用の制御ブロックを設けることが考えられるが、この場合、駆動制御処理が複雑となるうえ、周辺回路の回路規模が増大するとともに、製品コストが上昇するという問題を有していた。

【0042】そこで、本発明は、このような問題点を鑑み、液晶表示パネルにワイド画像を表示する際に設定される黒帯を表示する制御期間を短縮して、システムの誤動作の発生を抑制するとともに、駆動制御処理を簡略化して、周辺回路の回路規模の増大を抑制することができる表示駆動装置を提供することを目的とする。また、本発明は、上記のような表示駆動装置に好適に適用することができる機能を備えたシフトレジスタを提供することを目的とする。

【0043】

【課題を解決するための手段】請求項 1 記載の表示駆動装置は、複数の走査ライン及び信号ラインの交点近傍に、マトリクス状に配列された複数の表示画素を有する表示パネルに対して、前記表示パネルの第 1 の表示領域に所望の映像情報を表示するとともに、前記表示パネルの前記第 1 の表示領域以外の、複数の走査ラインを有する第 2 の表示領域に黒帯画像を表示するための走査信号を、前記複数の走査ライン毎に出力するシフトレジスタを備えた表示駆動装置において、前記シフトレジスタは、前記走査信号を所定のシフト方向にシフトするシフト動作により、前記第 2 の表示領域の複数の走査線の、奇数番目の走査線群および偶数番目の走査線群を水平走

査期間毎に選択して走査線毎に反転駆動を行って前記黒帯画像を表示した後、連続する同一のシフト動作により前記第 1 の表示領域に対応する走査線を順次選択して前記映像情報を表示することを特徴としている。

【0044】請求項 2 記載の表示駆動装置は、請求項 1 記載の表示駆動装置において、前記シフトレジスタは縦属接続される複数のシフトブロックから構成され、該シフトブロックには、当該シフトブロックにおけるシフト方向を切り換え設定するとともに、該シフト方向における次段のシフトブロックからの出力信号が入力されて、該出力信号の信号レベルに基づいて、各段のシフトブロックにおけるシフト動作の実行可否を個別に設定する切り換え制御部を備えていることを特徴としている。請求項 3 記載の表示駆動装置は、請求項 1 又は請求項 2 のいずれかに記載の表示駆動装置において、前記第 2 の表示領域は、前記表示パネルにおける前記第 1 の表示領域を挟む一対の表示領域からなることを特徴としている。

【0045】請求項 4 記載の表示駆動装置は、請求項 3 記載の表示駆動装置において、前記シフトレジスタは、前記映像情報を表示する際に走査信号をシフトする第 1 のシフト方向とは逆方向の第 2 のシフト方向に前記走査信号をシフトして、前記一対の第 2 の表示領域のうち、一方の表示領域に対して、奇数番目の走査線群および偶数番目の走査線群を水平走査期間毎に選択して走査線毎に反転駆動を行って前記黒帯画像を表示した後、前記走査信号を前記第 1 のシフト方向にシフトして、前記第 2 の表示領域のうち、他方の表示領域に対して、奇数番目の走査線群および偶数番目の走査線群を水平走査期間毎に選択して走査線毎に反転駆動を行って前記黒帯画像を表示する動作、及び、前記第 1 の表示領域に前記映像情報を表示する動作を連続的に実行することを特徴としている。請求項 5 記載の表示駆動装置は、請求項 1 乃至 4 のいずれかに記載の表示駆動装置において、前記表示パネルは、3 : 4 のアスペクト比を有し、前記表示パネルに表示される前記映像情報は、9 : 16 のアスペクト比を有していることを特徴としている。

【0046】また、請求項 6 記載のシフトレジスタは、縦属接続される複数のシフトブロックを備え、前記各シフトブロックは、シフト方向を設定するとともに、設定されたシフト方向における次段のシフトブロックの出力信号の信号レベルに基づいて、当該シフトブロックにおけるシフト動作の実行可否を設定する切り換え制御部を備えることを特徴としている。

【0047】請求項 7 記載のシフトレジスタは、請求項 6 記載のシフトレジスタにおいて、前記シフトレジスタの両端に配置される前記シフトブロックには、所定の入力信号が供給されるとともに縦属接続される前記シフトブロックの出力信号が供給され、前記シフトレジスタの両端以外に配置される前記シフトブロックには、当該シフトブロックの前後に縦属接続される前記各シフトブ

ックの出力信号が供給されることを特徴としている。

【0048】

【発明の実施の形態】以下、本発明に係る表示駆動装置の実施の形態について、図面を参照しながら説明する。まず、本発明に係る表示駆動装置が適用される液晶表示装置について説明する。なお、ここでは、液晶表示装置の一例として、アクティブマトリックス型の液晶表示パネルを用いた液晶表示装置について説明し、上述した従来技術（図12）と同等の構成については、その説明を簡略化する。

【0049】図1は、本発明に係る表示駆動装置が適用される液晶表示装置の全体構成を示す概略構成図である。図1に示すように、本発明に係る表示駆動装置が適用される液晶表示装置は、大別して、液晶表示パネル10と、ソースドライバ20と、ゲートドライバ30と、LCDコントローラ40と、システムコントロールIC50と、デジタル-アナログ変換器（以下、D/A変換器と記す）60とを有して構成されている。

【0050】液晶表示パネル10は、図12に示した構成と同様に、行方向に延伸する複数の走査ラインLgと列方向に延伸する信号ラインLdの交点近傍に、画素トランジスタTFTを介して接続され、マトリクス状に配列された複数の液晶画素（液晶容量C_{lc}）を備え、ゲートドライバ30により選択される液晶画素に、ソースドライバ20により画像信号に基づく信号電圧が印加されることにより所定の画像情報が表示される。ここで、本実施形態においては、液晶表示パネル10として、NTSC方式に対応したアスペクト比3:4を有し、走査ラインLgが240本から構成されるものを示して説明するが、本発明は、この構成に限定されるものではない。

【0051】ソースドライバ20は、図12に示した構成と同様に、サンプルホールド回路122と、シフトレジスタ121と、を備え、後述するLCDコントローラ40から供給される水平制御信号に基づいて、アナログRGB信号に対応する信号電圧を生成して各信号ラインLdに印加する。一方、ゲートドライバ30は、図12に示した構成と同様に、概略、シフトレジスタ131と出力バッファ132と、を備え、LCDコントローラ40から供給される垂直制御信号に基づいて、各走査ラインLgに対して所定のシフト方向に走査信号を順次印加する。これにより、上記信号ラインLdと交差する位置に配置された液晶画素に、上記信号ラインLdに印加された信号電圧が印加される。なお、ゲートドライバにおける本発明特有の構成については、後述する。

【0052】LCDコントローラ40は、後述するシステムコントロールIC50から供給される水平同期信号HD、垂直同期信号VD及びシステムクロックSYSCKに基づいて水平制御信号や垂直制御信号を生成し、ソースドライバ20及びゲートドライバ30に各々供給することにより、所定のタイミングで液晶画素に信号電圧

を印加して、液晶表示パネル10に所望の画像情報を表示させる制御を行う。

【0053】システムコントロールIC50は、システムクロックSYSCKをソースドライバ20、LCDコントローラ40、D/A変換器60等に供給するとともに、このシステムクロックSYSCKに同期した水平同期信号HD、垂直同期信号VDをLCDコントローラ40に供給する。また、液晶表示装置の外部から供給されるデジタルRGB信号からなるビデオ信号を、D/A変換器60を介してアナログRGB信号に変換してソースドライバ20に出力する。

【0054】次に、本発明に係る表示駆動装置（ゲートドライバ）に適用されるシフトレジスタについて、図面を参照して説明する。ここで、従来技術に示したゲートドライバ（図13）と同等の構成については、同一の符号を付して、その説明を簡略化する。図2は、本実施形態に係る表示駆動装置（ゲートドライバ）に適用されるシフトレジスタの一実施形態を示す要部構成図である。図3は、本実施形態に係るシフトレジスタに適用されるシフトブロックを示す機能構成図である。

【0055】図2に示すように、本実施形態に係るシフトレジスタは、大別して、複数段のシフトブロックSB1、SB2、・・・SB(n-1)と、各シフトブロックSB1、SB2、・・・SB(n-1)の出力に対応して設けられ、出力イネーブル信号GRESに基づいて、各走査ラインX1～X(n-1)への走査信号の印加状態を制御する複数の論理ゲート（ANDゲート）AND1、AND2、・・・AND(n-1)と、を備えて構成されている。なお、図2において、本実施形態に係るシフトレジスタ（ゲートドライバ）に供給されるゲートスタート信号GSRT、ゲートクロックGPCK、シフト方向設定信号DOWN、シフト動作制御信号FN、リセット信号RESET、及び、出力イネーブル信号GRESは、いずれも上述したLCDコントローラ40により生成され、供給される垂直制御信号である。

【0056】各段のシフトブロックSB_m（m=2、3、・・・(n-2)）は、各々、図3(a)に示すように、シフト方向設定端子S(Rv)を介して入力されるシフト方向設定信号DOWN、及び、シフト動作制御端子Fを介して入力されるシフト動作制御信号FNに基づいて、入力端子I0(I_n)を介して入力される前段のシフトブロックSB(m-1)からの出力信号OT(m-1)、又は、入力端子I1(I_r)を介して入力される次段のシフトブロックSB(m+1)からの出力信号OT(m+1)のうち、いずれか一方を選択し、出力端子Xsを介して、フリップフロップ回路F/Fに出力するとともに、後述する所定の論理動作に基づいて、シフトブロックSB1、SB2、・・・SB(n-1)におけるシフト動作の実行の可否（データ転送の許可/禁止）を設定制御する機能を備えることを特徴とするセ

レクト回路SELと、クロック端子CKを介して入力されるゲートクロックGPCKのタイミングに基づいて、セレクト回路SELから出力される信号をデータ端子Dを介して取り込み、出力端子Xf(Out)を介して出力信号OTmとして出力するフリップフロップ回路F/Fと、を備えている。

【0057】ここで、従来技術に示したシフトレジスタと同様に、初段のシフトブロックSB1の入力端子In及び最終段のシフトブロックSB(n-1)の入力端子Irには、シフトレジスタのシフト動作の方向に応じて、ゲートスタート信号GSRTが入力される。また、フリップフロップ回路F/Fは、リセット端子R(CL)を介してリセット信号RESETが入力されることにより、セレクト回路SELから取り込んだ信号が一斉にリセットされる。

【0058】このような構成を有するシフトレジスタにおいて、図3(b)の選択論理表に示すように、シフト方向設定信号DOWNがローレベル(“0”)、かつ、シフト動作制御信号FNがローレベル(“0”)の場合には、図14(b)に示した選択論理表と同様に、セレクト回路SELにより、入力端子I0(In)を介して入力される前段のシフトブロックSB(m-1)からの出力信号OT(m-1)が選択されて、ゲートクロックGPCKのタイミングに基づいて、フリップフロップ回路F/Fを介して、出力信号OTmとして次段のシフトブロックSB(m+1)に出力される動作が、各シフトブロック毎に順次行われる。これにより、シフトブロックSB1、SB2、・・・SB(n-2)、SB(n-1)の順序でゲートスタート信号GSRTが順方向にシフトされ、論理ゲートAND1、AND2、・・・AND(n-1)、及び、出力バッファ(図示を省略)を介して、各走査ラインX1、X2、・・・X(n-1)に走査信号が順次印加される順方向シフト動作が実行される。

【0059】一方、シフト方向設定信号DOWNがローレベル(“0”)、かつ、シフト動作制御信号FNがハイレベル(“1”)の場合には、上述した場合と同様に、シフトブロックSB1、SB2、・・・SB(n-2)、SB(n-1)の順序でゲートスタート信号GSRTが順次シフトされる順方向シフト動作が実行されるが、該シフト動作は、図3(b)の選択論理表に示すように、入力端子I1(Ir)を介して入力される次段のシフトブロックSB(m+1)からの出力信号OT(m+1)の信号レベルに応じて制御される。すなわち、出力信号OT(m+1)の信号レベルが“0”(反転レベルは“1”)のときのみ、入力端子I0(In)を介して入力される前段のシフトブロックSB(m-1)からの出力信号OT(m-1)を出力信号OTmとして、次段のシフトブロックSB(m+1)に出力する動作が実行(許可)される。これに対して、次段のシフトブロッ

クSB(m+1)からの出力信号OT(m+1)の信号レベルが“1”(反転レベルは“0”)のときには、前段のシフトブロックSB(m-1)からの出力信号OT(m-1)を、次段のシフトブロックSB(m+1)に出力する動作を実行しない(禁止する)。

【0060】また、シフト方向設定信号DOWNがハイレベル(“1”)、かつ、シフト動作制御信号FNがハイレベル(“0”)の場合には、図14(b)に示した選択論理表と同様に、セレクト回路SELにより、入力端子I1(Ir)を介して入力される次段のシフトブロックSB(m+1)からの出力信号OT(m+1)が選択されて、ゲートクロックGPCKのタイミングに基づいて、フリップフロップ回路F/Fを介して、出力信号OTmとして前段のシフトブロックSB(m-1)に出力される動作が、各シフトブロック毎に順次行われる。これにより、シフトブロックSB(n-1)、SB(n-2)、・・・SB2、SB1の順序でゲートスタート信号GSRTが逆方向にシフトされ、論理ゲートAND(n-1)、AND(n-2)、・・・AND1、及び、出力バッファを介して、各走査ラインX(n-1)、X(n-2)、・・・X1に走査信号が順次印加される逆方向シフト動作が実行される。

【0061】一方、シフト方向設定信号DOWNがハイレベル(“1”)、かつ、シフト動作制御信号FNがハイレベル(“1”)の場合には、上述した場合と同様に、シフトブロックSB(n-1)、SB(n-2)、・・・SB2、SB1の順序でゲートスタート信号GSRTが順次シフトされる逆方向シフト動作が実行されるが、該シフト動作は、入力端子I0(In)を介して入力される前段のシフトブロックSB(m-1)からの出力信号OT(m-1)の信号レベルに応じて制御され、出力信号OT(m-1)の信号レベルが“0”(反転レベルは“1”)のときのみ、入力端子I1(Ir)を介して入力される次段のシフトブロックSB(m+1)からの出力信号OT(m+1)を出力信号OTmとして、前段のシフトブロックSB(m-1)に出力する動作が実行(許可)される。これに対して、前段のシフトブロックSB(m-1)からの出力信号OT(m-1)の信号レベルが“1”(反転レベルは“0”)のときには、次段のシフトブロックSB(m+1)からの出力信号OT(m+1)を、前段のシフトブロックSB(m-1)に出力する動作を実行しない(禁止する)。

【0062】すなわち、本実施形態に係るシフトレジスタにおいては、シフト方向設定信号DOWNに基づいて、複数段のシフトブロックにおけるシフト動作の方向を切り換え制御する(シフト方向制御機能)とともに、シフト方向設定信号DOWNに基づいて設定される順方向又は逆方向のシフト動作において、シフト動作制御信号FNに基づいて、該シフト方向に対して次段となるシフトブロックの出力に応じて、前段となるシフトブロッ

クのシフト動作の実行の可否（データ転送の許可／禁止）を設定制御する（シフト動作制御機能）。

【0063】次に、本実施形態に係るゲートドライバを適用した液晶表示装置における駆動制御方法について、図面を参照して説明する。ここでは、上述した従来技術と同様に、NTSC方式に対応したアスペクト比3:4を有する液晶表示パネル10に、9:16のアスペクト比を有するワイド画像Gwを表示する場合について説明する。この場合、図11に示したように、ワイド画像Gwは、アスペクト比9:16を保持したまま、液晶表示パネル10の画面幅に合わせて画像サイズが圧縮され、液晶表示パネル10の走査ラインX29~X(n-29)を占める中央領域に表示される。また、上部黒帯Bu及び下部黒帯Bdは、液晶表示パネル10の走査ラインX1~X28及びX(n-28)~X(n-1)を占める各表示領域に帯状に表示される。

【0064】図4は、本実施形態に係るゲートドライバにおいて、黒帯画像（上部黒帯Bu及び下部黒帯Bd）を表示する際のシフト動作を示す模式図であり、図5は、本実施形態に係るゲートドライバにおいて、映像情報（ワイド画像Gw）を表示する際のシフト動作を示す模式図である。また、図6は、本実施形態に係るゲートドライバにおいて、液晶表示パネルに黒帯画像（上部黒帯Bu及び下部黒帯Bd）を表示する際の画面走査状態を示す概略図であり、図7は、本実施形態に係るゲートドライバにおいて、液晶表示パネルに映像情報（ワイド画像Gw）を表示する際の画面走査状態を示す概略図である。

【0065】<ステップS11>上述したような構成を有するゲートドライバにおいて、まず、シフト動作制御信号FNをローレベル（“0”）に設定するとともに、出力イネーブル信号GRESをローレベル（“0”）に設定した状態で、シフト方向設定信号DOWNをハイレベル（“1”）に設定することにより、各シフトブロックSB1、SB2、・・・SB(n-1)のセレクト回路SELにおける選択論理（図3(b)参照）に基づいて、次段のシフトブロックSB(m+1)からの出力信号OT(m+1)を取り込んで、出力信号OTmとして前段のシフトブロックSB(m-1)に出力する逆方向シフト動作を順次実行して、液晶表示パネル10の下方に下部黒帯Bdを表示する駆動制御を行う。

【0066】この駆動制御においては、最終段のシフトブロックSB(n-1)の入力端子Irに入力されたゲートスタート信号GSRTは、ゲートクロックGPCKのタイミングに基づいて、シフトブロックSB(n-1)、SB(n-2)、・・・の順序で順次逆方向にシフトされる。すなわち、各シフトブロックSB(n-1)、SB(n-2)、・・・にゲートクロックGPCKを26パルス印加するとともに、各ゲートクロックGPCKの印加タイミング毎に、最終段のシフトブロック

SB(n-1)に、交互に“1”、“0”となる千鳥状の信号波形を有するゲートスタート信号GSRTを各14パルス及び13パルス順次入力することにより、4(a)に示すように、該ゲートクロックGPCKの信号タイミングに基づいて、ゲートスタート信号GSRTがシフトブロックSB(n-1)、SB(n-2)、・・・SB(n-26)間で順次シフトされて、走査ラインX(n-1)、X(n-2)、X(n-3)、・・・X(n-26)に印加される走査信号に対応する出力信号OT(n-1)~OT(n-26)が、交互に“0”、“1”、“0”、“1”となるように設定される。このステップS11において、ゲートスタート信号GSRTをシフトブロックSB(n-1)からSB(n-26)までシフトする動作処理は、通常の表示駆動周期に基づいて、1水平走査期間(1H)を適用して実行される。

【0067】<ステップS12>次いで、ソースドライバ20を介して、下部黒帯Bd（走査ラインX(n-28)~X(n-1)）の画像信号（黒色信号）に基づく信号電圧を各信号ラインLdに印加した後、各シフトブロックSB(n-1)、SB(n-2)、・・・にゲートクロックGPCKを1パルス印加するとともに、最終段のシフトブロックSB(n-1)に、信号レベルが“1”のゲートスタート信号GSRTを1パルス入力することにより、4(b)に示すように、ゲートスタート信号GSRTが各シフトブロックSB(n-1)、SB(n-2)、・・・SB(n-27)で1段シフトされて、交互に“1”、“0”、“1”、“1”となる出力信号OT(n-1)~OT(n-27)（走査ラインX(n-1)~X(n-27)に印加される走査信号に対応）が設定される。

【0068】この状態で、出力イネーブル信号GRESをハイレベル（“1”）に切り換え制御することにより、上記出力信号OT(n-1)~OT(n-27)のうち、“1”となる信号レベルに設定された奇数段のシフトブロックSB(n-1)、SB(n-3)、・・・SB(n-25)、SB(n-27)からの出力信号OT(n-1)、OT(n-3)、・・・OT(n-25)、OT(n-27)が論理ゲートAND(n-1)、AND(n-3)、・・・AND(n-25)、AND(n-27)及び出力バッファ132を介して、走査信号として奇数番目の走査ラインX(n-1)、X(n-3)、・・・X(n-25)、X(n-27)に印加される。

【0069】これにより、走査ラインX(n-1)からX(n-28)までの下部黒帯Bd領域において、奇数ラインに接続された液晶画素に黒色信号に基づく信号電圧が印加されて黒データが書き込まれる。このステップS12においても、上述したステップS11と同様に、ゲートスタート信号GSRTをシフトブロックSB(n

- 1)、SB(n-2)、・・・SB(n-27)で1段シフトする動作処理は、通常の表示駆動周期(1水平走査期間:1H)を適用して実行される。

【0070】<ステップS13>次いで、出力イネーブル信号GRESをローレベル("0")に切り換え制御し、各シフトブロックSB(n-1)、SB(n-2)、・・・にゲートクロックGPCKを1パルス印加することにより、図4(c)に示すように、ゲートスタート信号GSRTが各シフトブロックSB(n-1)、SB(n-2)、・・・SB(n-28)で1段シフト 10
されて、交互に"0"、"1"、"0"、・・・
"1"となる出力信号OT(n-1)~OT(n-28)(走査ラインX(n-1)~X(n-28)に印加される走査信号に対応)が設定される。

【0071】この状態で、出力イネーブル信号GRESをハイレベル("1")に切り換え制御することにより、上記出力信号OT(n-1)~OT(n-28)のうち、"1"となる信号レベルに設定された偶数段のシフトブロックSB(n-2)、SB(n-4)、・・・SB(n-26)、SB(n-28)からの出力信号OT(n-2)、OT(n-4)、・・・OT(n-26)、OT(n-28)が論理ゲートAND(n-2)、AND(n-4)、・・・AND(n-26)、AND(n-28)及び出力バッファ132を介して、走査信号として偶数番目の走査ラインX(n-2)、X(n-4)、・・・X(n-26)、X(n-28)に印加される。

【0072】これにより、走査ラインX(n-1)からX(n-28)までの下部黒帯Bd領域において、偶数ラインに接続された液晶画素に黒色信号に基づく信号電 30
圧が印加されて黒データが書き込まれる。したがって、上述した奇数番目の走査ラインの14本に加えて、偶数ラインの14本の走査ラインにも黒データが書き込まれることになるので、図6(a)、(b)に示すように、液晶表示パネル110の下部黒帯Bd領域の全域(走査ラインX(n-1)~X(n-28))が黒表示される。このステップS13においても、ゲートスタート信号GSRTをシフトブロックSB(n-1)、SB(n-2)、・・・SB(n-28)で1段シフトする動作処理は、通常の表示駆動周期(1水平走査期間:1H) 40
を適用して実行される。

【0073】<ステップS14>次いで、再び出力イネーブル信号GRESをローレベル("0")に切り換え制御した状態で、シフト方向設定信号DOWNをローレベル("0")に設定することにより、各シフトブロックSB1、SB2、・・・SB(n-1)のセレクト回路SELにおける選択論理(図3(b)参照)に基づいて、前段のシフトブロックSB(m-1)からの出力信号OT(m-1)を取り込んで、出力信号OTmとして次段のシフトブロックSB(m+1)に出力する順方向 50

シフト動作を順次実行して、液晶表示パネル10に上方に上部黒帯Buを表示する駆動制御を行う。

【0074】この駆動制御においては、初段のシフトブロックSB1の入力端子Inに入力されたゲートスタート信号GSRTは、ゲートクロックGPCKのタイミングに基づいて、シフトブロックSB1、SB2、・・・の順序で順次シフトされる。すなわち、各シフトブロックSB1、SB2、・・・にゲートクロックGPCKを26パルス印加するとともに、各ゲートクロックGPCKの印加タイミング毎に、初段のシフトブロックSB1に、交互に"1"、"0"となる千鳥状の信号波形を有するゲートスタート信号GSRTを各14パルス及び13パルス順次入力することにより、図4(d)に示すように、該ゲートクロックGPCKの信号タイミングに基づいて、ゲートスタート信号GSRTがシフトブロックSB1、SB2、・・・SB26間で順次シフトされて、交互に"0"、"1"、"0"、・・・"1"となる出力信号OT1~OT26(走査ラインX1~X26に印加される走査信号に対応)が設定される。このステップS14においても、上述したステップS11と同様に、ゲートスタート信号GSRTをシフトブロックSB1からSB26までシフトする動作処理は、通常の表示駆動周期(1水平走査期間:1H)を適用して実行される。

【0075】<ステップS15>次いで、ソースドライバ20を介して、上部黒帯Bu(走査ラインX1~X28)の画像信号(黒色信号)に基づく信号電圧を各信号ラインLdに印加した後、各シフトブロックSB1、SB2、・・・にゲートクロックGPCKを1パルス印加するとともに、初段のシフトブロックSB1に、信号レベルが"1"のゲートスタート信号GSRTを1パルス入力することにより、図4(e)に示すように、ゲートスタート信号GSRTが各シフトブロックSB1、SB2、・・・SB27で1段シフトされて、交互に"1"、"0"、"1"、・・・"1"となる出力信号OT1~OT27(走査ラインX1~X27に印加される走査信号に対応)が設定される。

【0076】この状態で、出力イネーブル信号GRESをハイレベル("1")に切り換え制御することにより、上記出力信号OT1~OT27のうち、"1"となる信号レベルに設定された奇数段のシフトブロックSB1、SB3、・・・SB25、SB27からの出力信号OT1、OT3、・・・OT25、OT27が論理ゲートAND1、AND3、・・・AND25、AND27及び出力バッファ132を介して、走査信号として奇数番目の走査ラインX1、X3、・・・X25、X27に印加される。

【0077】これにより、走査ラインX1からX28までの上部黒帯Bu領域において、奇数ラインに接続された液晶画素に黒色信号に基づく信号電圧が印加されて黒

データが書き込まれる。このステップS15においても、ゲートスタート信号GSR TをシフトブロックSB1、SB2、・・・SB27で1段シフトする動作処理は、通常の表示駆動周期（1水平走査期間：1H）を適用して実行される。

【0078】<ステップS16>次いで、出力イネーブル信号GRESをローレベル（“0”）に切り換え制御し、各シフトブロックSB1、SB2、・・・にゲートクロックGPC Kを1パルス印加することにより、図4（f）に示すように、ゲートスタート信号GSR Tが各シフトブロックSB1、SB2、・・・SB28で1段シフトされて、交互に“0”、“1”、“0”、・・・“1”となる出力信号OT1～OT28（走査ラインX1～X28に印加される走査信号に対応）が設定される。

【0079】この状態で、出力イネーブル信号GRESをハイレベル（“1”）に切り換え制御することにより、上記出力信号OT1～OT28のうち、“1”となる信号レベルに設定された偶数段のシフトブロックSB2、SB4、・・・SB26、SB28からの出力信号OT2、OT4、・・・OT26、OT28が論理ゲートAND2、AND4、・・・AND26、AND28及び出力バッファ132を介して、走査信号として奇数番目の走査ラインX2、X4、・・・X26、X28に印加される。

【0080】これにより、走査ラインX1からX28までの上部黒帯Bu領域において、偶数ラインに接続された液晶画素に黒色信号に基づく信号電圧が印加されて黒データが書き込まれる。したがって、上述した奇数番目の走査ラインの14本に加えて、偶数番目の14本の走査ラインにも黒データが書き込まれることになるので、図6（c）、（d）に示すように、液晶表示パネル110の上部黒帯Bu領域の全域（走査ラインX1～X28）が黒表示される。このステップS16においても、ゲートスタート信号GSR TをシフトブロックSB1、SB2、・・・SB28で1段シフトする動作処理は、通常の表示駆動周期（1水平走査期間：1H）を適用して実行される。

【0081】ここで、上述したステップS11～S13において、シフトブロックSB（n-1）～SB（n-28）にシフト入力された信号（ゲートスタート信号GSR T）は、ステップS14～S16において、シフトブロックSB1、SB2、・・・SB26にゲートクロックGPC Kを26パルス印加した後、さらに1パルス印加して、ゲートスタート信号GSR Tを順方向に順次シフトする動作により掃き出される。

【0082】<ステップS17>次いで、再び出力イネーブル信号GRESをローレベル（“0”）に切り換え制御し、また、シフト方向設定信号DOWNの信号レベルをローレベル（“0”）に設定したままの状態、シ

フト動作制御信号FNをハイレベル（“1”）に設定し、各シフトブロックSB1、SB2、・・・にゲートクロックGPC Kを1パルス印加する。

【0083】これにより、上述したシフトレジスタの構成及び機能（図2、図3参照）に基づいて、各シフトブロックSB1、SB2、・・・のうち、シフト方向（順方向）に対して次段となるシフトブロックの出力信号が“0”となる場合にのみ、前段となるシフトブロックの出力信号がシフトされる。一方、次段となるシフトブロックの出力信号が“1”となる場合には、前段となるシフトブロックの出力信号はシフトされない。

【0084】すなわち、図5（a）、（b）に示すように、例えば、シフトブロックSB26においては、次段となるシフトブロックSB27の出力信号OT27（走査ラインX27に印加される走査信号に対応する）が“0”となるので、前段となるシフトブロックSB25の出力信号OT25（走査ラインX25に印加される走査信号に対応する）が1段シフトされ、シフトブロックSB26の出力信号OT26（走査ラインX26に印加される走査信号に対応する）は“0”となる。同様に、シフトブロックSB28においては、次段となるシフトブロックSB29の出力信号OT29が“0”となるので、前段となるシフトブロックSB27の出力信号OT27が1段シフトされ、シフトブロックSB28の出力信号OT28は“0”となる。また、シフトブロックSB29においては、次段となるシフトブロックSB30の出力信号OT30が“0”となるので、前段となるシフトブロックSB28の出力信号OT28が1段シフトされ、シフトブロックSB29の出力信号OT29は“1”となる。

【0085】これに対して、例えば、シフトブロックSB25においては、次段となるシフトブロックSB26の出力信号OT27が“1”となるので、前段となるシフトブロックSB24の出力信号OT24はシフトされず、シフトブロックSB25の出力信号OT25が“0”に保持される。同様に、シフトブロックSB27においては、次段となるシフトブロックSB28の出力信号OT28が“1”となるので、前段となるシフトブロックSB26の出力信号OT26はシフトされず、シフトブロックSB25の出力信号OT25が“0”に保持される。したがって、図5（b）に示すように、映像情報（ワイド画像Gw）が表示される表示領域の先頭行である走査ラインX29に対応するシフトブロックSB29の出力信号OT29のみが“1”となり、他の走査ラインに対応するシフトブロックの出力信号は、全て“0”となる状態に設定される。

【0086】<ステップS18>次いで、ソースドライバ20を介して、アスペクト比9：16のワイド画像Gw（RGB信号）の第1行目の画像信号に基づく信号電圧を各信号ラインLdに印加した後、出力イネーブル信

号 GRES をハイレベル（“1”）に切り換え制御することにより、シフトブロック SB29 の出力信号 OT29 が論理ゲート AND29 及び出力バッファ 132 を介して、走査信号として走査ライン X29 に印加される。これによって、信号ライン Ld に印加された信号電圧が、各走査ライン X29 に接続された液晶画素に印加されて、ワイド画像 Gw の第 1 行目の画像信号が書き込まれ表示される。

【0087】そして、出力イネーブル信号 GRES をハイレベルに保持した状態で、各シフトブロック SB1、SB2、・・・にゲートクロック GPK を 1 パルスずつ印加して、信号レベル“1”のゲートスタート信号 GSRT をシフトブロック SB29、SB30、・・・SB(n-29) で順次 1 段ずつシフトすることにより、走査ライン X29 から X(n-29) に順方向に走査信号を順次印加しつつ、ソースドライバ 20 により各走査ライン毎に、ワイド画像 Gw の各行毎の画像信号に基づく信号電圧を印加して、図 7(a)、(b) に示すように、ワイド画像 Gw を表示する。

【0088】そして、ワイド画像 Gw の表示が終了したタイミングで、各シフトブロック SB1、SB2、・・・にリセット信号 RESET を入力することにより、シフト動作をリセットするとともに、出力イネーブル信号 GRES をローレベルに切り換え制御して、各走査ラインへの走査信号の印加を遮断する。以上の一連の表示駆動処理 S11～S18 を一周期として、所定の駆動周期で繰り返し実行することにより、液晶表示パネル 110 の中央領域にテレビジョン画像（ワイド画像 Gw）が表示され、その上方及び下方に黒帯画像が表示される。ここで、上部黒帯 Bu 及び下部黒帯 Bd の黒帯表示は、上記表示駆動処理のうち、ワイド画像 Gw が表示されない帰線期間中に行われる。

【0089】このように、上述した一連の表示駆動処理においては、液晶表示パネルに異なるアスペクト比を有するワイド画像 Gw を表示する場合、ワイド画像 Gw に先立って上部黒帯 Bu 及び下部黒帯 Bd を表示する動作については、従来技術に示した場合と同様に、各々 3 水平走査期間（3H）の制御期間を要するものの、同一方向かつ単一のシフト動作により、ワイド画像 Gw が表示される表示領域の上方に上部黒帯 Bu を表示した後、連続的に走査信号をシフト出力して、表示領域にワイド画像 Gw を表示することができるので、従来技術に示したような黒帯画像の表示後、ワイド画像 Gw の先頭行までの無表示領域に対して、走査信号を順次シフトする動作を必要としない。

【0090】したがって、従来技術において、無表示領域に対して走査信号を順次シフトするための、最大 3 水平走査期間（3H）分の制御期間を削減することができるので、黒帯画像の表示制御期間に垂直同期信号が入力されること等によりシステムが誤動作を発生する現象を

抑制することができる。この場合、本発明に係るシフトレジスタに備えられたセレクト回路に、図 3(b) に示したような選択論理機能を実現する論理ゲートを付加した簡易な回路構成により上記作用効果を実現することができるので、周辺回路（制御ブロック）等の回路規模の大幅な増大や製品コストの上昇等を抑制することができる。

【0091】次に、本発明に係る表示駆動装置の他の実施形態について、図面を参照して説明する。ここで、上述した実施形態と同等の構成については、同一の符号を付して、その説明を簡略化又は省略する。図 8 は、本発明に係る表示駆動装置に適用されるシフトレジスタの他の実施形態を示す要部構成図である。また、図 9 は、本実施形態に係るゲートドライバにおいて、黒帯画像（上部黒帯 Bu 及び下部黒帯 Bd）を表示する際のシフト動作を示す模式図であり、図 10 は、本実施形態に係るゲートドライバにおいて、映像情報（ワイド画像 Gw）を表示する際のシフト動作を示す模式図である。

【0092】上述した実施形態に適用されるシフトレジスタにおいては、各走査ラインに印加される走査信号を生成するシフトブロックとして、液晶表示パネルに配設される走査ラインの数に対応した段数を備え、シフトレジスタのシフト方向に応じて、初段のシフトブロック SB1 の入力端子 In、又は、最終段のシフトブロック SB(n-1) の入力端子 Ir のいずれかに、ゲートスタート信号 GSRT を入力する構成を示したが、本実施形態においては、液晶表示パネルに配設される走査ライン X1～X(n-1) の数に対応した段数のシフトブロック SB1、SB2、・・・SB(n-1) に加え、その前段及び後段に、初段のシフトブロック SB1 の入力端子 In、又は、最終段のシフトブロック SB(n-1) の入力端子 Ir にゲートスタート信号 GSRT に基づく出力信号を供給するダミーシフトブロックを備え構成を有している。

【0093】具体的には、図 8 に示すように、上述した実施形態に示したシフトレジスタ（図 2 参照）に対して、初段のシフトブロック SB1 の前段にダミーシフトブロック SB0 が接続され、最終段のシフトブロック SB(n-1) の次段にダミーシフトブロック SBn が接続された構成を有している。ここで、ダミーシフトブロック SB0 の入力端子 In には、ゲートスタート信号 GSRT が入力され、入力端子 Ir には、次段となる初段のシフトブロック SB1 の出力信号 OT1 が入力される。また、ダミーシフトブロック SB0 の出力端子 Out から出力される出力信号 T0 は、初段のシフトブロック SB1 の入力端子 In に入力される。

【0094】ダミーシフトブロック SBn の入力端子 In には、前段となる最終段のシフトブロック SB(n-1) の出力信号 OT(n-1) が入力され、入力端子 Ir には、ゲートスタート信号 GSRT が入力される。ま

た、ダミーシフトブロックSB_nの出力端子Outから出力される出力信号T_nは、最終段のシフトブロックSB(n-1)の入力端子Irに入力される。さらに、これらの各ダミーシフトブロックSB₀、SB_nのシフト方向制御端子Rv、シフト動作制御端子F、リセット端子CLには、シフトブロックSB₁、SB₂、・・・SB(n-1)と同様に、各々、シフト方向設定信号DOWN、シフト動作制御信号FN、リセット信号RESETが共通に入力され、また、クロック端子CKには、ゲートクロックGPCKの反転信号が共通に入力されてい

る。
 【0095】このような構成を有する表示駆動装置において、上述した実施形態と同様の駆動制御処理を適用して、シフトレジスタの逆方向シフト動作（シフト方向設定信号DOWNが“1”の場合）を行い、下部黒帯Bdを表示する場合にあっては、図9(a)、(b)、(c)に示すように、ゲートクロックGPCKの所定のタイミングに基づいて、ダミーシフトブロックSB_nに予めゲートスタート信号GSRTを保持した後、出力信号T_nとして、最終段のシフトブロックSB(n-1)にゲートスタート信号GSRTが出力され、以降の各シフトブロックSB(n-2)、SB(n-3)、・・・に順次シフトされる動作が行われる。

【0096】また、シフトレジスタの順方向シフト動作（シフト方向設定信号DOWNが“0”の場合）を行い、上部黒帯Bu及びワイド画像Gwを連続的に表示する場合にあっては、図9(d)、(e)、(f)及び図10(a)、(b)に示すように、ゲートクロックGPCKの所定のタイミングに基づいて、ダミーシフトブロックSB₀に予めゲートスタート信号GSRTを保持した後、出力信号T₀として、初段のシフトブロックSB₁にゲートスタート信号GSRTが出力され、以降の各シフトブロックSB₂、SB₃、・・・に順次シフトされる動作が行われる。ここで、上部黒帯Buの表示後、ワイド画像Gwが表示される表示領域の先頭行である走査ラインX₂₉にのみ走査信号を印加する処理においては、図10(a)、(b)に示すように、初段のシフトブロックSB₁の前段となるシフトブロックSB₀の出力信号T₀が1段シフトされるため、シフトブロックSB₁の出力信号OT₁（走査ラインX₁に印加される走査信号に対応する）は“0”となる。

【0097】したがって、本実施形態に係る表示駆動装置によれば、シフトレジスタを構成するシフトブロックの前段及び次段に、各々ダミーシフトブロックを備えていることにより、順方向及び逆方向のシフト動作を実行する場合に、各々初段及び最終段のシフトブロックに入力するゲートスタート信号を予め保持し、シフトクロックの所定のタイミングに応じて、上記初段及び最終段のシフトブロックに入力することができるので、初段及び最終段のシフトブロックへのゲートスタート信号の供給

を制御する構成を設ける必要がなく、当該制御処理を省略して、回路構成の簡略化及び駆動制御処理の簡素化を図ることができる。

【0098】なお、上述した各実施形態においては、3:4の画面比率を有する液晶表示パネルに、9:16の比率を有するワイド画像Gwを表示する場合について説明したが、本発明は、これに限定されるものではなく、要するに、液晶表示パネルの画面比率と異なる比率を有する画像を表示する場合にも良好に適用することができる。また、液晶表示パネルの走査線数についても、特に限定されるものではなく、例えば、近年普及が著しい携帯情報端末等に多用されている240本の走査線を有する液晶表示パネルにも良好に適用することができる。

【0099】

【発明の効果】本発明に係る表示駆動装置によれば、アスペクト比3:4の通常の画面サイズを有する表示パネルを備えた表示装置において、表示パネルの画面サイズと異なるサイズを有する映像情報、例えば、アスペクト比9:16のワイド画像等を表示する場合、該映像情報を表示駆動する際に走査信号を順次出力するシフト方向と同一であって、かつ、連続するシフト動作により、まず、映像情報が表示される表示領域に隣接する無表示領域に黒帯画像を表示した後、連続的に走査信号をシフト出力して、表示領域に上記映像情報を表示する。これにより、連続する同一のシフト動作により、無表示領域への黒帯画像の表示動作、及び、該無表示領域に隣接する表示領域への映像情報の表示動作が連続的に実行されるので、黒帯画像の表示から映像情報を表示するまでのシフト動作に要する時間を短縮することができ、黒帯画像の表示制御期間に垂直同期信号が入力されること等によりシステムが誤動作する現象を抑制することができる。

【0100】また、上記表示駆動装置を構成するシフトレジスタは、縦属接続される複数のシフトブロックから構成され、該各シフトブロックには、所定のタイミングで入力されるシフト方向設定信号に基づいて、当該シフトブロックにおけるシフト動作の方向を切り換えて、走査ラインへの走査信号の出力順序を正転又は反転させるシフト方向制御機能と、所定のタイミングで入力されるシフト動作制御信号に基づいて、設定されたシフト方向における次段のシフトブロックからの出力信号が入力され、該出力信号の信号レベルに基づいて、当該シフトブロックにおけるシフト動作（データ転送）の許可/禁止を設定制御するシフト動作制御機能と、を備えた切り換え制御部が設けられている。これにより、シフト方向設定信号及びシフト動作制御信号の設定状態に基づいて、シフトレジスタのシフト方向及びシフト動作の実行の可否を任意に設定制御することができるので、簡易な回路構成及び駆動制御方法により、一方（下方）の無表示領域への黒帯画像の表示動作が終了した後、同一方向かつ

単一のシフト動作により、一方（上方）の無表示領域への黒帯画像の表示動作、及び、該無表示領域に隣接する表示領域への映像情報の表示動作を連続的に実行することができる。

【図面の簡単な説明】

【図 1】本発明に係る表示駆動装置が適用される液晶表示装置の全体構成を示す概略構成図である。

【図 2】本実施形態に係る表示駆動装置（ゲートドライバ）に適用されるシフトレジスタの一実施形態を示す要部構成図である。

【図 3】一実施形態に係るシフトレジスタに適用されるシフトブロックを示す機能構成図である。

【図 4】一実施形態に係るゲートドライバにおいて、黒帯画像（上部黒帯 B u 及び下部黒帯 B d）を表示する際のシフト動作を示す模式図である。

【図 5】一実施形態に係るゲートドライバにおいて、映像情報（ワイド画像 G w）を表示する際のシフト動作を示す模式図である。

【図 6】一実施形態に係るゲートドライバにおいて、液晶表示パネルに黒帯画像（上部黒帯 B u 及び下部黒帯 B d）を表示する際の画面走査状態を示す概略図である。

【図 7】一実施形態に係るゲートドライバにおいて、液晶表示パネルに映像情報（ワイド画像 G w）を表示する際の画面走査状態を示す概略図である。

【図 8】本発明に係る表示駆動装置に適用されるシフトレジスタの他の実施形態を示す要部構成図である。

【図 9】他の実施形態に係るゲートドライバにおいて、黒帯画像（上部黒帯 B u 及び下部黒帯 B d）を表示する際のシフト動作を示す模式図である。

【図 10】他の実施形態に係るゲートドライバにおいて、映像情報（ワイド画像 G w）を表示する際のシフト動作を示す模式図である。

【図 11】アスペクト比 9 : 16 を有するワイド画像 *

*を、アスペクト比 3 : 4 を有する液晶表示パネルに表示する場合の表示領域設定を示す概略図である。

【図 12】液晶表示パネルを表示駆動するための液晶駆動装置の要部構成を示す概略構成図である。

【図 13】従来技術におけるゲートドライバに適用されるシフトレジスタを示す要部構成図である。

【図 14】従来技術におけるシフトレジスタに適用されるシフトブロックを示す機能構成図である。

【図 15】従来技術におけるゲートドライバにおけるシフト動作を示す模式図である。

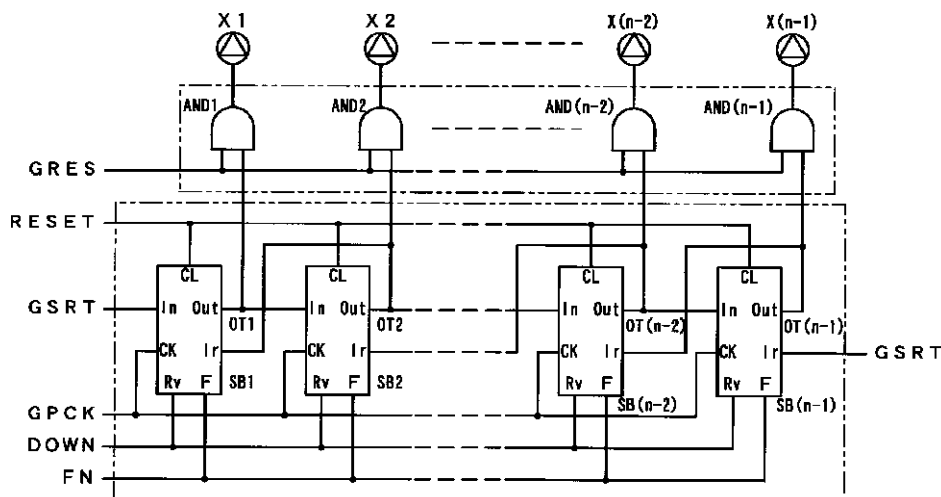
【図 16】従来技術において、液晶表示パネルに上部黒帯 B u 及び下部黒帯 B d を表示する際の画面走査状態を示す概略図である。

【図 17】従来技術において、液晶表示パネルにワイド画像 G w を表示する際の画面走査状態を示す概略図である。

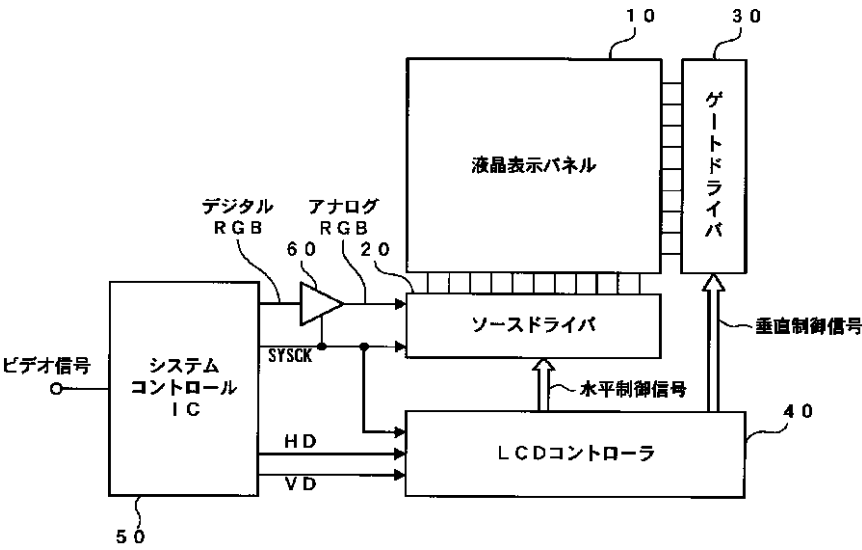
【符号の説明】

10、110	液晶表示パネル
20、120	ソースドライバ
30、130	ゲートドライバ
40	LCDコントローラ
50	システムコントロールIC
60	D/A変換器
131	シフトレジスタ
132	出力バッファ
SB1～SB(n-1)	シフトブロック
SB0、SBn	ダミーシフトブロック
SEL	セレクト回路
F/F	フリップフロップ回路
Gw	ワイド画像
Bu	上部黒帯
Bd	下部黒帯

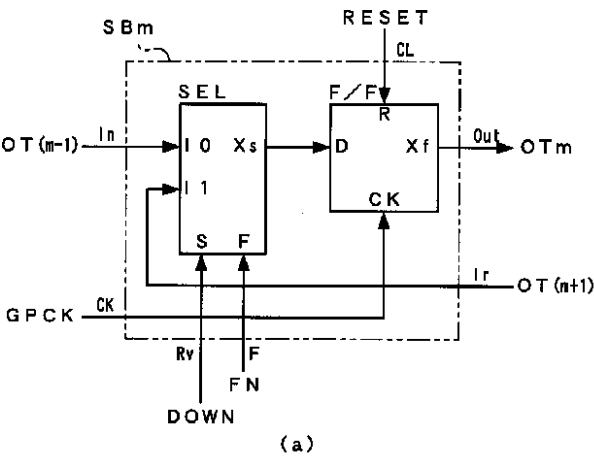
【図 2】



【図1】



【図3】

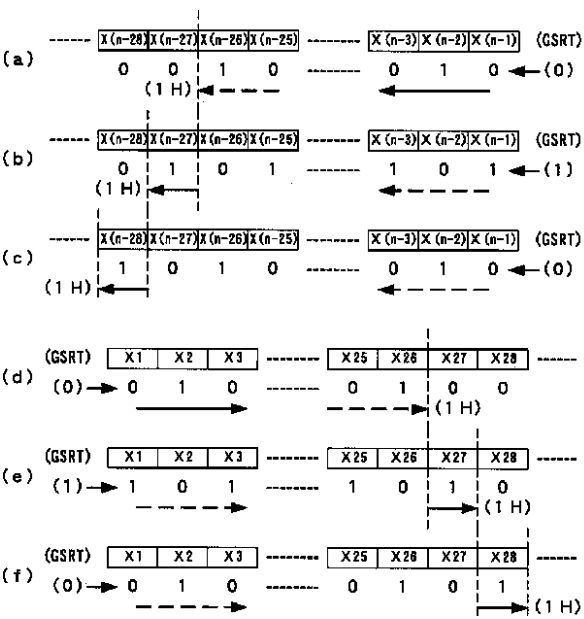


選択論理表

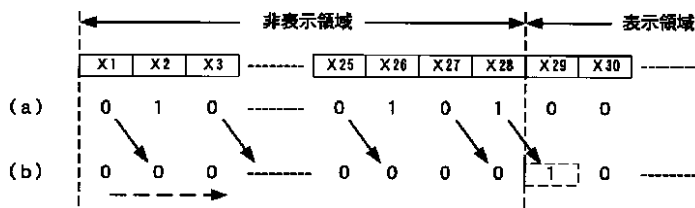
S	F	X
0	0	I 0
0	1	I 1 = "0" I 1 = "1"
1	0	I 1
1	1	I 1 = "0" I 1 = "1"

(b)

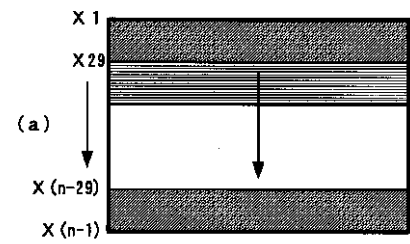
【図4】



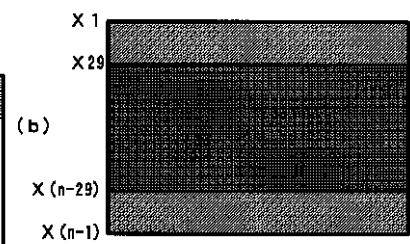
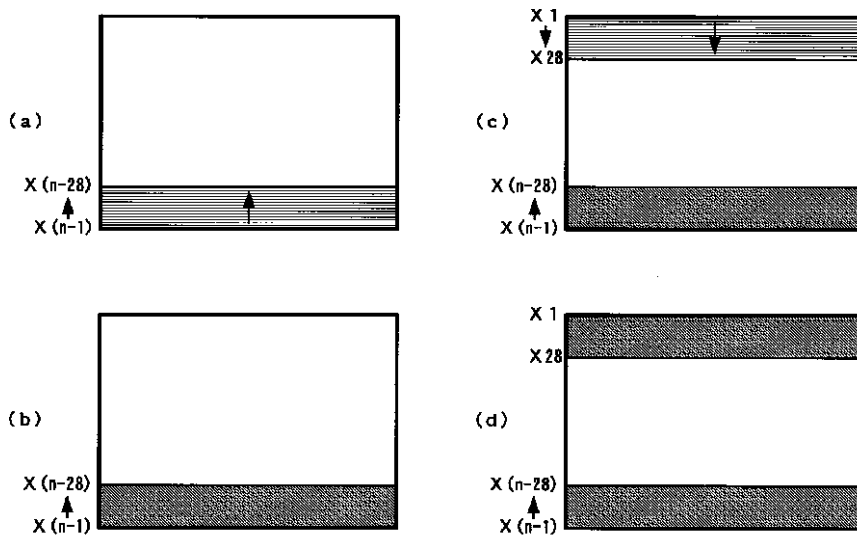
【図5】



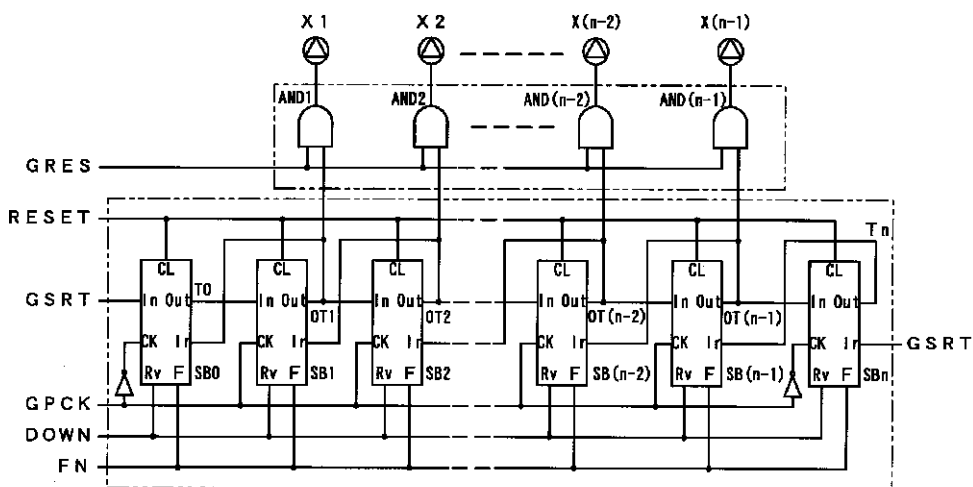
【図7】



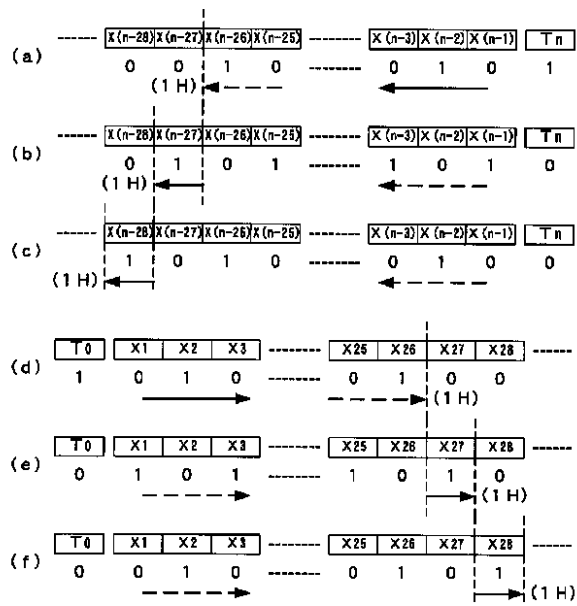
【図6】



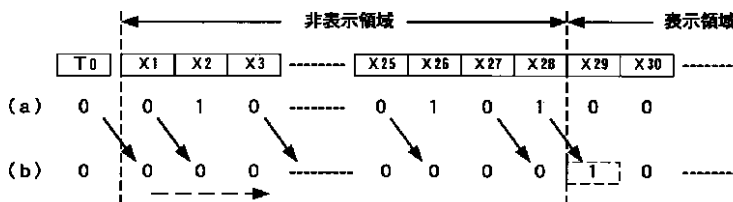
【図8】



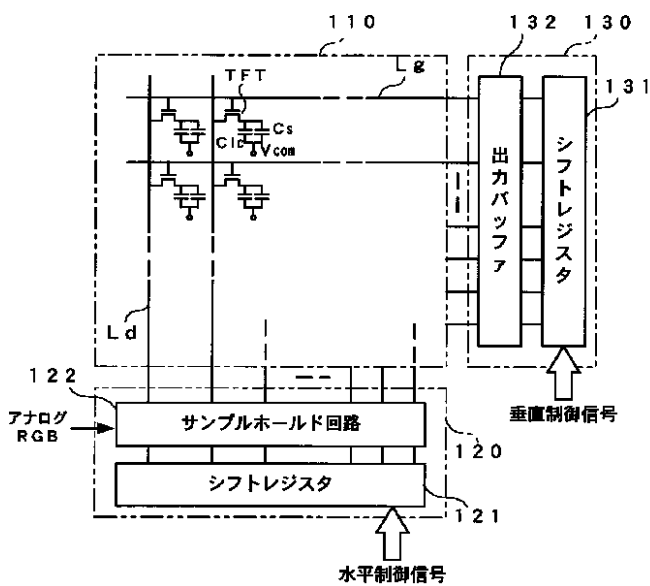
【図9】



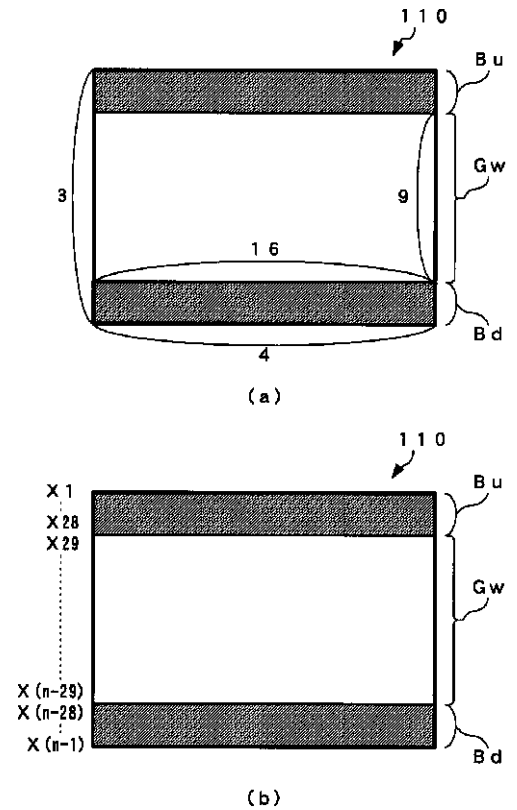
【図10】



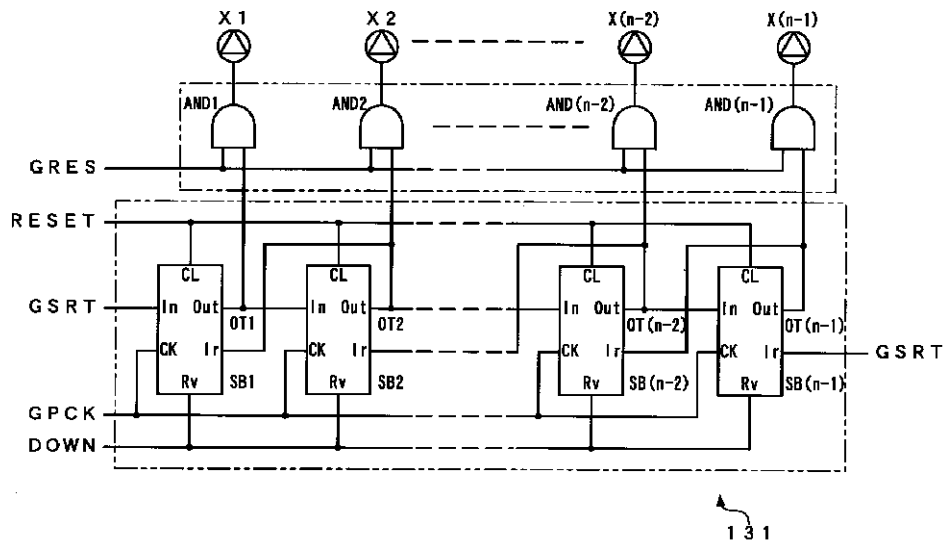
【図12】



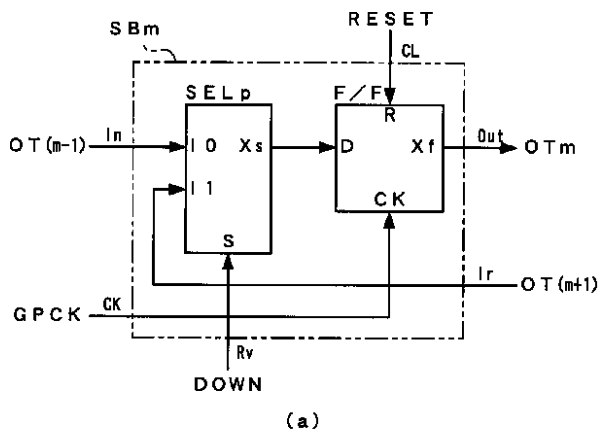
【図11】



【図13】



【図14】

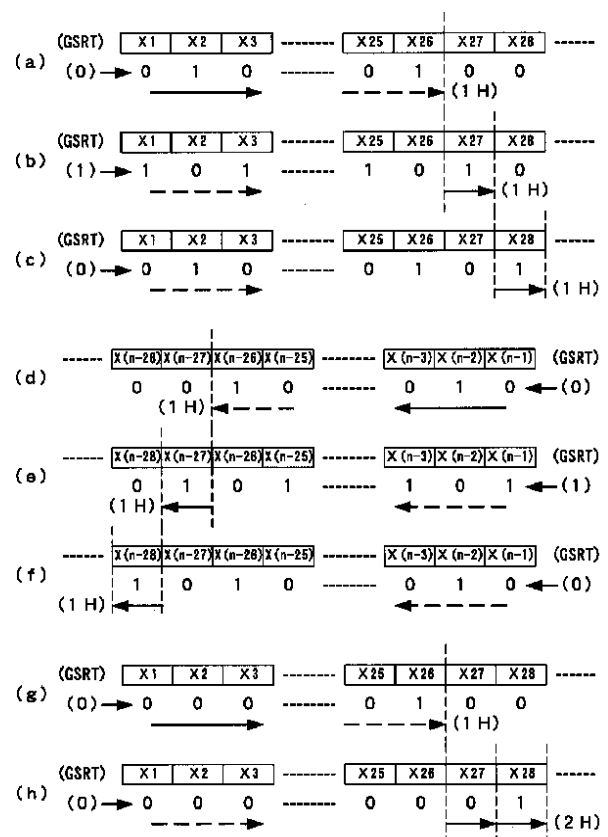


選択論理表

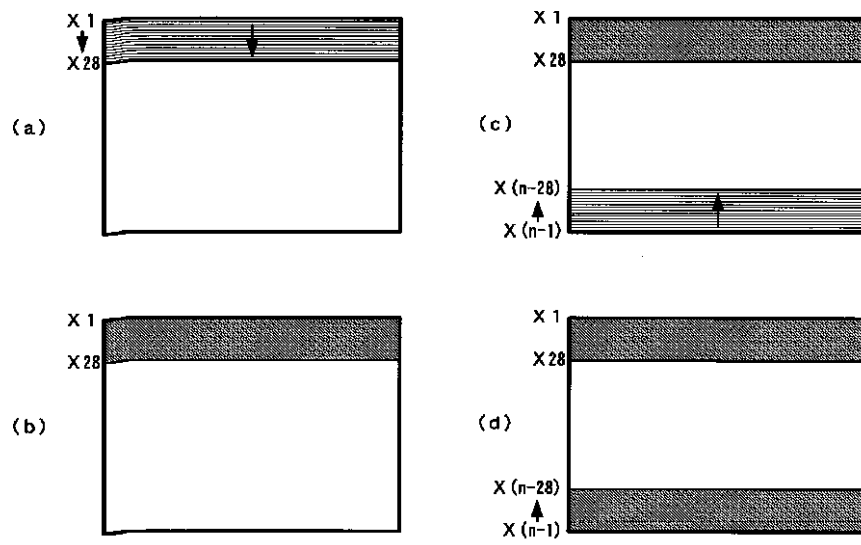
S	X
0	10
1	11

(b)

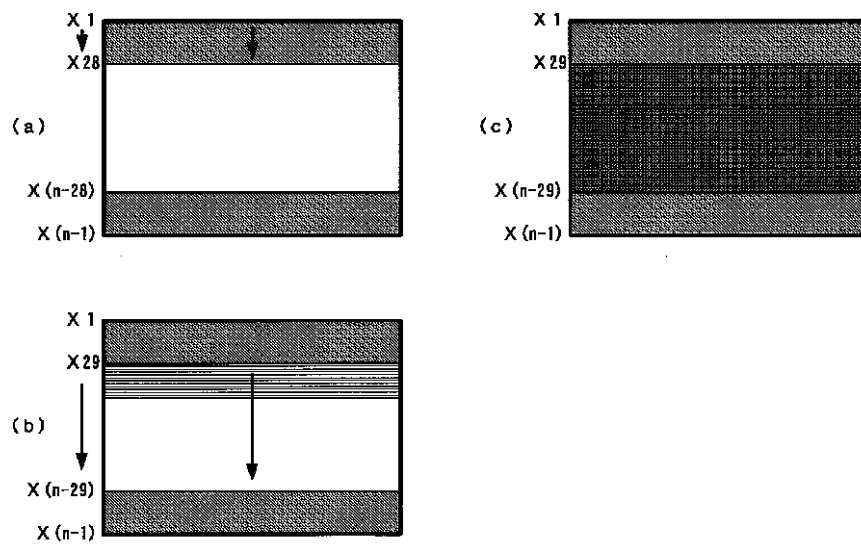
【図15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.⁷

H 0 4 N 5/66

識別記号

1 0 2

F I

H 0 4 N 5/66

テ-マコード' (参考)

1 0 2 B

F ターム(参考) 2H093 NC22 ND43 ND49
5C006 AA01 AF23 AF35 BB16 BC03
BF03 FA12
5C058 AA06 BA04 BA22 BB09 BB22
5C080 AA10 BB05 DD08 EE32 FF11
JJ01 JJ02 JJ03
5J055 AX18 AX66 BX16 CX30 DX44
EZ24 EZ25 EZ31 EZ33 FX18
GX01 GX02 GX10

专利名称(译)	显示带移位寄存器和移位寄存器的驱动装置		
公开(公告)号	JP2003005722A	公开(公告)日	2003-01-08
申请号	JP2001189472	申请日	2001-06-22
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	神尾知巳		
发明人	神尾 知巳		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C19/00 H03K17/00 H04N5/66		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.622.E G09G3/20.660.Q H03K17/00.M H04N5/66.102.B G11C19/00 G11C19/00.C G11C19/00.J		
F-TERM分类号	2H093/NC22 2H093/ND43 2H093/ND49 5C006/AA01 5C006/AF23 5C006/AF35 5C006/BB16 5C006/BC03 5C006/BF03 5C006/FA12 5C058/AA06 5C058/BA04 5C058/BA22 5C058/BB09 5C058/BB22 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE32 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5J055/AX18 5J055/AX66 5J055/BX16 5J055/CX30 5J055/DX44 5J055/EZ24 5J055/EZ25 5J055/EZ31 5J055/EZ33 5J055/FX18 5J055/GX01 5J055/GX02 5J055/GX10 2H193/ZA04 2H193/ZF23 5B074/AA10 5B074/BA02 5B074/CA01		
外部链接	Espacenet		

摘要(译)

解决的问题：为了缩短显示在液晶显示面板上显示宽图像时设置的黑带的控制时间，抑制系统故障的发生，简化驱动控制处理，并减少外围电路。提供一种能够抑制电路规模的增大的显示驱动装置。当在以矩阵状排列多个液晶像素的液晶显示面板上显示宽高比与屏幕尺寸不同的宽图像时，当驱动该宽图像进行显示时，依次输出扫描信号。在通过相同的移位方向和单次移位操作在与显示宽图像的显示区域相邻的非显示区域中显示黑带图像之后，扫描信号连续移位并输出。然后，执行用于在显示区域中显示宽图像的驱动控制。

