

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 5718

(P2003 - 5718A)

(43)公開日 平成15年1月8日(2003.1.8)

(51) Int.Cl ⁷	識別記号	F I	テ-マコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	623	G 0 9 G 3/20	623 V
	641		641 A

審査請求 未請求 請求項の数 7 O L (全 18数)

(21)出願番号 特願2001 - 188175(P2001 - 188175)

(22)出願日 平成13年6月21日(2001.6.21)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 山崎 克則

長野県諏訪市大和3丁目3番5号

セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅誉 (外 1 名)

最終頁に続く

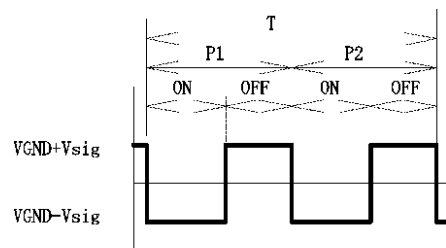
(54)【発明の名称】 液晶パネルの駆動回路、液晶パネルおよび電子機器

(57)【要約】

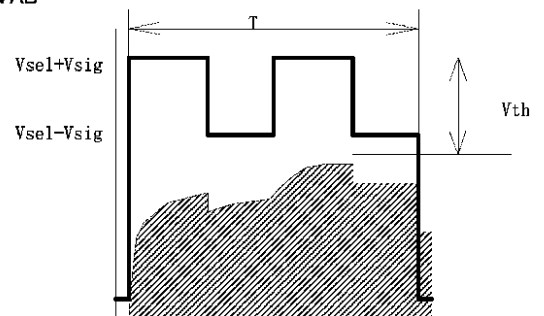
【課題】 二端子素子型アクティブ・マトリクス型液晶パネルにおいて、安価に高階調化を実現する。

【解決手段】 1回のライン選択期間Tを複数の部分選択期間P1, P2に分割し、各部分選択期間毎に信号電位VBをパルス幅変調した。実現すべき階調数を「16」(4ビット)とし、部分選択期間P1, P2について各々上位および下位の2ビットずつに基づくパルス幅変調を行ったとすると、パルス幅変調を行うための回路(カウンタ、比較器等)として2ビット構成のものを用いることができる。これらの回路は、数十ないし数千本の信号電極毎に設ける必要があるから、液晶パネル全体としては大幅に構成が簡略化される。

(a)信号線電位VB



(b)電圧VAB



【特許請求の範囲】

【請求項 1】 複数の信号電極および走査電極と、両電極間に配置された液晶層とを有する液晶パネルを駆動する液晶パネルの駆動回路であって、

1 フレーム内で前記各走査電極を所定のライン選択期間づつ選択する走査信号駆動回路と、

1 回の前記ライン選択期間を分割して成る複数の部分選択期間毎に、特定のビット数のデータ信号を出力するデータ信号発生回路と、

前記各部分選択期間毎に、前記データ信号に基づいてパルス幅が設定された電位を前記信号電極に印加するデータ信号駆動回路とを具備することを特徴とする液晶パネルの駆動回路。

【請求項 2】 前記ライン選択期間に含まれる前記複数の部分選択期間は、各々異なる長さを有することを特徴とする請求項 1 記載の液晶パネルの駆動回路。

【請求項 3】 前記各部分選択期間に係るデータ信号は、複数ビットから成る階調信号に基づいて決定されるものであり、

前記データ信号は、前記階調信号のうち一部のビットによって一意に決定される第 1 のデータ信号と、一部のビットのみによっては決定されない第 2 のデータ信号とから構成されることを特徴とする請求項 1 記載の液晶パネルの駆動回路。

【請求項 4】 前記データ信号駆動回路は、前記データ信号に基づいて、各部分選択期間において所定のオン電位またはオフ電位のうち一方を当該部分選択期間の全範囲に渡って前記信号電極に印加することを特徴とする請求項 1 記載の液晶パネルの駆動回路。

【請求項 5】 前記データ信号駆動回路は、相隣接する第 1 および第 2 の部分選択期間において複数の電位のうち何れかを選択して前記信号電極に印加するものであり、前記第 1 および第 2 の部分選択期間の境界部分においては、前記第 1 のおよび第 2 の部分選択期間の何れにおいても前記信号電極に等しい電位が印加されることを特徴とする請求項 1 記載の液晶パネルの駆動回路。

【請求項 6】 請求項 1 乃至 5 の何れかに記載の液晶パネルの駆動回路を備えることを特徴とする液晶パネル。

【請求項 7】 請求項 6 記載の液晶パネルを備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種情報の表示に用いて好適な液晶パネルの駆動回路、液晶パネルおよび電子機器に関する。

【0002】

【背景技術】二端子素子型アクティブ・マトリクス、あるいは TFD (Thin Film Diode) と呼ばれる液晶パネルにおいては、相互に対向する 2 枚の基板のうち一方の基板に走査電極が、他方の基板に信号電極が形成され、両

基板間に液晶層が封入される。そして、その液晶層と走査電極間あるいは液晶層と信号電極間には、電流 - 電圧特性が非線形な素子が介挿される。この非線形二端子素子としてセラミックバリスタを用いた例 (参考文献 1 : D. E. Casfleberry, IEEE, ED - 26, 1979, P1123 ~ 1128)、アモルファス・シリコン P N ダイオードを用いた例 (参考文献 2 : 富堅他、テレビジョン学会技術報告、ED782, IPD86 - 3, 1984; 特開昭 59 - 57273 号)、MIM (Metal Insulator Metal) 素子を用いた例 (参考文献 3 : D. R. Baraff 等, IEEE, ED - 28, 1981, P736 ~ 739; 参考文献 4 : K. Niwa 等, SID84, DIGEST, 1984, P304 ~ 307)、などが知られている。

【0003】さらに、二端子素子型アクティブ・マトリクスを用いて中間調を表示する技術が特許第 2576951 号等に開示されている。その構成の一例を図 15 を参照し説明する。図において 12, 12..... は複数の走査電極であり、行方向に延在して設けられている。14, 14..... は複数の信号電極であり、列方向に延在して設けられている。これら電極の各交差部分においては、非線形二端子素子 20 と液晶層 18 とが直列に接続され、これによって各交差部分に画素が形成されている。以上の構成要素により、液晶表示部 101 が構成されている。非線形二端子素子 20 は、例えば図 16 に示すような電流 - 電圧特性を有している。図 16 においては、電圧が零電圧付近では電流は殆ど流れないが、電圧の絶対値が閾値電圧 V_{th} を超えると、電圧の増加とともに電流が急増する。

【0004】次に、80 は走査信号駆動回路、90 はデータ信号駆動回路であり、走査電極 12 および信号電極 14 に対して、各々走査電位 VA および信号電位 VB を印加する。これら電位 VA, VB を図 17 を参照し説明する。まず、走査電極 12 には、図 17 (a) に示すような走査電位 VA が印加される。ライン選択期間 T 毎に、各走査電極 12 は順次選択され、ある共通電位 V_{GND} に対して $\pm V_{sel}$ なる電位差、即ち電圧を持ついずれかの電位が印加される。なお、この電圧 V_{sel} を選択電圧と言う。そして、選択された後には、共通電位 V_{GND} に対して $\pm V_{hld}$ なる電圧を持ついずれかの電位が印加される。ここで、選択時の電位が $V_{GND} + V_{sel}$ の時には $V_{GND} + V_{hld}$ の電位が、選択時の電位が $V_{GND} - V_{sel}$ の時には $V_{GND} - V_{hld}$ の電位が印加される。なおこの電圧 V_{hld} を保持電圧と言う。また、総ての走査電極が 1 順して選択され終わる期間をフィールド期間と言い、次のフィールド期間では、先のフィールド期間とは逆極性の選択電圧を用いて順次、走査電極を選択していく。なお、理由は省略するが、奇数番目のフィールド期間では、奇数番目に選択する走査電極に対し $V_{GND} + V_{sel}$ 、偶数番目に選択する走査電極に対し $V_{GND} - V_{sel}$ の電位を、偶数番目のフィールド期間では逆に、奇数番目に選択する走査電極に対し $V_{GND} - V_{sel}$ 、偶数番目に選択する走査電

極に対し $V_{GND} + V_{sel}$ の電位を印加する駆動が一般によく知られている。また、各選択期間に先立って、当該選択期間に印加する電位の選択電圧と逆極性の電圧を持つ電位を印加する駆動方法も知られている。

【0005】一方、信号電極 14 に対しては、同図(b) に示すように、共通電位 V_{GND} に対して $\pm V_{seg}$ なる電圧を持ついずれかの電位が印加される。ここである選択期間に選択された走査電極に印加する電位が $V_{GND} + V_{sel}$ の場合に、 $V_{GND} - V_{sig}$ をオン電位 V_{on} 、 $V_{GND} + V_{sig}$ をオフ電位 V_{off} として、逆に走査電極に印加する選択電圧が $V_{GND} - V_{sel}$ の場合に、 $V_{GND} + V_{sig}$ をオン電位 V_{on} 、 $V_{GND} - V_{sig}$ をオフ電位 V_{off} として用いる。即ち、信号電位 V_B の各ライン選択期間 T 内の波形は、当該信号電極 14 に係る列における各画素の階調に応じて設定されるがまず、信号電位 V_B は、各ライン選択期間 T 毎にオン区間とオフ区間に分割され、オン区間においてはオン電位 V_{on} に、またオフ区間においてはオフ電位 V_{off} に設定される。すなわち、信号電位 V_B は階調値に応じてパルス幅変調される。そして、画素に与えるべき階調が高くなるほど（ノーマリーブラックモードでは明るくなるほど）、オン区間の占める割合が大きく設定される。

【0006】次に、走査電極 12 および信号電極 14 間の電極間電圧 V_{AB} を同図(c)の実線で示す。図示のように、電極間電圧 V_{AB} の絶対値は、当該画素の選択期間において高くなるのが解る。また、液晶層 18 に印加される液晶層電圧 V_{LC} は、同図(c)のハッチングで示すようになる。液晶層電圧 V_{LC} が変化する際には、液晶層 18 が形成する容量を充放電しなければならないため、液晶層電圧 V_{LC} は電極間電圧 V_{AB} に対して過渡応答的に変化する。なお、図において電圧 V_{NL} は、電極間電圧 V_{AB} と液晶層電圧 V_{LC} との差、すなわち非線形二端子素子 20 の端子電圧である。

【0007】ここで、上述した信号電位 V_B を得るために、データ信号駆動回路 90 内には、種々の回路が設けられる。例えば、クロックパルス（ライン選択期間 T を必要な階調数に分周するパルス）をダウンカウントするカウンタと、このカウンタ値の初期値としてオフ区間の長さ（オフ区間に相当するカウンタ数）を与えるレジスタと、該カウンタがカウンタアップした時に信号電位 V_B をオフ電位 V_{off} からオン電位 V_{on} に切り換えるスイッチとを設けるとよい。また、他の例として、該クロックパルスをカウントする共通のカウンタを設け、各信号電極 14 に対応して、上記オフ区間の長さを与えるレジスタと、カウンタ結果とレジスタの値とを比較する比較回路と、該比較回路が一致を検出した時に信号電位 V_B をオフ電位 V_{off} からオン電位 V_{on} に切り換えるスイッチとを設けることも考えられる。

【0008】

【発明が解決しようとする課題】しかし、上述した技術

においては、各信号電極 14 毎にカウンタあるいは比較回路を設ける必要がある。液晶パネルの規模にもよるが、信号電極 14 は数十ないし数千本設けられるから、データ信号駆動回路 90 には同数のカウンタあるいは比較回路を設ける必要が生じる。ここで、液晶パネルにおける階調数を高くすると、カウンタあるいは比較回路の規模が大きくなるため、コストアップにつながるという問題があった。この発明は上述した事情に鑑みてなされたものであり、安価でありながら高階調を実現する液晶パネルの駆動回路、液晶パネルおよび電子機器を提供することを目的としている。

【0009】

【課題を解決するための手段】上記課題を解決するため本発明にあっては、下記構成を具備することを特徴とする。なお、括弧内は例示である。請求項 1 記載の液晶パネルの駆動回路にあっては、複数の信号電極（14）および走査電極（12）と、両電極間に配置された液晶層（18）とを有する液晶パネルを駆動する液晶パネルの駆動回路であって、1 フレーム内で前記各走査電極（12）を所定のライン選択期間（ T ）づつ選択する走査信号駆動回路（100）と、1 回の前記ライン選択期間（ T ）を分割して成る複数の部分選択期間（ $P_1 \sim P_3$ ）毎に、特定のビット数のデータ信号（ DR, DG, DB ）を出力するデータ信号発生回路（変換回路 70）と、前記各部分選択期間（ $P_1 \sim P_3$ ）毎に、前記データ信号に基づいてパルス幅が設定された電位（オン電位 V_{on} ）を前記信号電極（14）に印加するデータ信号駆動回路（110）とを具備することを特徴とする。さらに、請求項 2 記載の構成にあっては、請求項 1 記載の液晶パネルの駆動回路において、前記ライン選択期間（ T ）に含まれる前記複数の部分選択期間は、各々異なる長さを有することを特徴とする。さらに、請求項 3 記載の構成にあっては、請求項 1 記載の液晶パネルの駆動回路において、前記各部分選択期間に係るデータ信号（ DR, DG, DB ）は、複数ビット（4 ビット）から成る階調信号（カラー画像信号 R, G, B ）に基づいて決定されるものであり、前記データ信号は、前記階調信号のうち一部のビット（第 3 実施形態のカラー画像信号の上位 2 ビットまたは下位 2 ビット）によって一意に決定される第 1 のデータ信号（同実施形態の部分選択期間 P_1 または P_2 のデータ信号）と、一部のビットのみによっては決定されない（カラー画像信号そのものの階調値が 13, 14, 15 であることによって決定される）第 2 のデータ信号とから構成されることを特徴とする。さらに、請求項 4 記載の構成にあっては、請求項 1 記載の液晶パネルの駆動回路において、前記データ信号駆動回路（第 4 実施形態の 110）は、前記データ信号（ DR, DG, DB ）に基づいて、各部分選択期間において所定のオン電位（ V_{on} ）またはオフ電位（ V_{off} ）のうち一方を当該部分選択期間の全範囲に渡って前記信号電

極(14)に印加することを特徴とする。さらに、請求項5記載の構成にあつては、請求項1記載の液晶パネルの駆動回路において、前記データ信号駆動回路(110)は、相隣接する第1および第2の部分選択期間において複数の電位(オン電位Vonまたはオフ電位Voff)のうち何れかを選択して前記信号電極(14)に印加するものであり、前記第1および第2の部分選択期間の境界部分においては、前記第1のおよび第2の部分選択期間の何れにおいても前記信号電極(14)に等しい電位が印加される(図14の変形例)ことを特徴とする。また、請求項6記載の液晶パネルにあつては、請求項1乃至5の何れかに記載の液晶パネルの駆動回路を備えることを特徴とする。また、請求項7記載の電子機器にあつては、請求項6記載の液晶パネルを備えることを特徴とする。

【0010】

【発明の実施の形態】

1. 第1実施形態

1.1. 全体構成

次に、本発明の第1実施形態の液晶パネルの構成を図1を参照し説明する。図において、液晶表示部101は上述した従来技術のもの(図15)と同様に構成されている。また、100は走査信号駆動回路であり、従来技術の走査信号駆動回路80と同様に、図17(a)に示すような走査電位VAを出力する。110はデータ信号駆動回路であり、各信号電極14に対して走査電位VA(詳細は後述する)を印加する。70は変換回路であり、入力されたカラー画像信号R, G, Bをデータ信号DR, DG, DBに変換する。60はタイミング信号生成回路であり、各構成要素を駆動するための各種タイミング信号を出力する。

【0011】ここで、本実施形態における信号電位VBの一例を図5(a)に示す。同図(a)において、ライン選択期間Tは2つの部分選択期間P1, P2に二等分され、各部分選択期間P1, P2においてオン区間およびオフ区間が設けられる。なお、走査電位VAは従来技術(図17(a))と同様であるから、電極間電圧VABおよび液晶層電圧VLCは図5(b)に示すようになる。以下、図1における各部の詳細を説明する。

【0012】1.2. 変換回路70

変換回路70は、カラー画像信号R, G, Bが供給されると、これをラインバッファ(図示せず)に格納し、各部分選択期間P1, P2毎にカラー画像信号R, G, Bをデータ信号DR, DG, DBに変換し、データ信号駆動回路110に供給するものである。ここで、カラー画像信号R, G, Bの各色の階調値は「0~14」の範囲の値であり、これらが図6(a)の表に従って、部分選択期間P1, P2毎に「0~7」の範囲の部分階調値に変換される。この部分階調値が各部分選択期間におけるデータ信号DR, DG, DBの値に他ならない。

【0013】また、変換回路70は、データ信号駆動回路110に対してクロック信号GCPを供給する。このクロック信号GCPの生成方法について同図(b)を参照し説明する。まず、変換回路70においては、各ライン選択期間Tを「256」分周する基本クロック信号BPが生成される。次に、この基本クロック信号BPを7ビット(最大値127)のカウントでカウントし、そのカウント結果が所定値になるとクロック信号GCPのワンショットが出力される。この「所定値」が、図6(b)の右欄に記載されている値(0, 13, 23, 35, 47, 56, 78)に他ならない。但し、右欄の最下行の「128」はカウント結果としては「0」に等しい。なお、クロック信号GCPのワンショットが出力されるカウンタ値は、液晶表示部101の階調特性に応じて、直線性が保たれるように設定される。

【0014】図6(b)によれば、階調値が「0」であればオン区間の幅も「0」であり、該部分選択期間の全区間がオフ区間になる。そして、部分階調値が高くなるほどオン区間の占める割合(基本クロック信号BPのクロック数)が多くなる。そして、階調値「7」においては、オン区間の幅は「128」に設定される。すなわち、該部分選択期間の全区間がオン区間になる。なお、図6(a)の最右欄における総幅は、部分選択期間P1, P2におけるオン区間の幅を合計した値である。

【0015】1.3. データ信号駆動回路110

次に、データ信号駆動回路110の構成を図2を参照し説明する。112は「m/3」ビット(mは信号電極14の数)のシフトレジスタであり、画素クロックXSC Lが供給される毎に、各ビットの内容を右側に隣接するビットにシフトしてゆく。なお、図3に示すように、画素クロックXSC Lは、各画素のデータ信号DR, DG, DBが供給されるタイミングに同期して立ち下がる信号である。シフトレジスタ112の左端のビットには、パルス信号DXが供給される。このパルス信号DXは、変換回路70から各部分選択期間P1, P2のデータ信号DR, DG, DBの出力が開始される時において発生するワンショットのパルス信号である。従って、シフトレジスタ112の各ビットから出力される信号S1~Smは、画素クロックXSC Lの周期に等しい時間だけ順次排他的にHレベルになる信号になる。

【0016】114, 114, ……はレジスタであり、シフトレジスタ112の出力信号S1~Smの各立上りに同期して、3画素づつデータ信号DR, DG, DBをラッチする。116はラッチ回路であり、ラッチパルスLPの立上がり同期して、レジスタ114に記憶されたデータ信号を一斉にラッチする。118は波形変換部であり、ラッチされたデータ信号を、図5(a)に示すような信号電位VBに変換し、m本の信号電極14に印加する。すなわち、このラッチパルスLPの出力タイミングが各部分選択期間P1, P2の開始タイミングになる。

【0017】1.4. 波形変換部 118

次に、波形変換部 118 の詳細構成を図 4 (a) を参照し説明する。図において 120, 120..... はダウンカウンタであり、ラッチパルス LP の立下りに同期して、ラッチ回路 116 にラッチされた各画素のデータ信号 DR, DG, DB をカウント値の初期値としてラッチする。そして、各ダウンカウンタ 120 においては、クロック信号 GCP が立上がる毎に該カウント値が「1」ずつデクリメントされる。なお、クロック信号 GCP は、上述したように 1 部分選択期間内に「8 回」発生する。そして、ダウンカウンタ 120 は、カウント値が正値であれば H レベル、「0」以下であれば L レベルになるカウントアップ信号 CU を出力する。

【0018】123 は電位切換部であり、二値信号である極性信号 PO に基づいて、オン電位 Von およびオフ電位 Voff を出力する。すなわち、極性信号 PO が H レベルであればオン電位 Von として、ある共通電位 VGND に対して - Vsig の電圧を持つ電位「VGND - Vsig」を、オフ電位 Voff として「VGND + Vsig」を出力する一方、極性信号 PO が L レベルであればオン電位 Von として「VGND + Vsig」を、オフ電位 Voff として「VGND - Vsig」を出力する。122, 122..... はスイッチであり、対応するダウンカウンタ 120 のカウントアップ信号 CU が H レベルであればオン電位 Von を選択し、カウントアップ信号 CU が L レベルであればオフ電位 Voff を選択し、選択した電位を信号電位 VB として出力する。

【0019】また、波形変換部 118 の他の構成例を図 4 (b) に示す。図において 124 は全信号電極 14 に対して共通に設けられたカウンタであり、ラッチパルス LP の立下り時にカウント値が「0」にリセットされるとともに、クロック信号 GCP をカウントする。126, 126..... は比較器であり、ラッチ回路 116 にラッチされた各画素のデータ信号 DR, DG, DB とカウンタ 124 のカウント値とを比較し、カウント値がデータ信号の値未満であれば H レベル、カウント値がデータ信号の値以上であれば L レベルの比較信号 CMP を出力する。そして、各スイッチ 122 は、対応する比較信号 CMP が H レベルであればオン電位 Von を選択し、L レベルであればオフ電位 Voff を選択し、選択した電位を信号電位 VB として出力する。

【0020】1.5. 実施形態の動作

次に、本実施形態の動作を説明する。本実施形態においては、ライン選択期間 T は 2 つの部分選択期間 P1, P2 に二等分され、各部分選択期間の開始時点においてラッチパルス LP がデータ信号駆動回路 110 に供給されるから、図 5 (a) に示すように各部分選択期間 P1, P2 毎に部分階調値に応じた長さのオン区間およびオフ区間が設けられることになる。従来技術によれば、15 階調を実現するためには、クロック信号 GCP をライン

選択期間 T 内に 15 回出力させ、ダウンカウンタ 120 あるいは比較器 126 としては「4 ビット」の桁数を有するものが必要であった。

【0021】これに対して、本実施形態によれば、15 階調を実現しながら、ダウンカウンタ 120 あるいは比較器 126 の桁数を「3 ビット」に減少させることができる。データ信号駆動回路 110 内にはダウンカウンタ 120 あるいは比較器 126 を数百ないし数千個設ける必要があるから、これによって回路規模を大幅に削減することが可能になる。ここで、カラー画像信号 R, G, B の階調値と、本実施形態によって得られるオン区間の総幅とを図 7 に示す。この図において太線は理想値を示し、細線が本実施形態によって得られる実際値である。

【0022】2. 第 2 実施形態

次に、本発明の第 2 実施形態について説明する。第 2 実施形態のハードウェア構成は第 1 実施形態と同様であるが、以下に述べる点が異なっている。まず、本実施形態において、ダウンカウンタ 120 あるいは比較器 126 の桁数は「2 ビット」であり、2 ビットずつの部分階調値に基づいて、合計 4 ビットによる 16 階調表示を実現することとする。本実施形態においては、ライン選択期間 T 内に基本クロック信号 BP が 256 回出力されるが、部分選択期間 P1, P2 は等間隔ではない。すなわち、部分選択期間 P1 に対して「146 クロック」、部分選択期間 P2 に対して「100 クロック」が割り当てられる。

【0023】変換回路 70 に供給されるカラー画像信号 R, G, B は各色について「0 ~ 15 (0000 ~ 1111)」の値を採りうるが、その上位 2 ビットが部分選択期間 P1 のデータ信号 DR, DG, DB に設定され、下位 2 ビットが部分選択期間 P2 のデータ信号 DR, DG, DB に設定される。具体的には、上位 2 ビットの値「00」, 「01」, 「10」, 「11」の夫々に対して、部分選択期間 P1 のオン区間の長さは基本クロック信号 BP の周期を単位として各々「0」, 「33」, 「76」, 「146」に設定され、下位 2 ビットの値「00」, 「01」, 「10」, 「11」の夫々に対して、部分選択期間 P2 のオン区間の長さは基本クロック信号 BP の周期を単位として各々「0」, 「10」, 「28」, 「31」に設定される。

【0024】ここで、ライン選択期間 T 内におけるオン区間の総幅について、理想値、実際値および実際値の内訳を図 9 (a) に示す。また、理想値を太線で、実際値を細線で表したグラフを図 10 に示す。また、図 10 においては、部分選択期間 P1 のみのオン区間によって得られる階段波状の特性も破線で表わしておく。本実施形態においては、階調値が最高値 (= 15) である場合に、理想値と実際値との差が大きくなるが、階調値の低い部分においては、実際値として理想値に近い値が得られる点で有利である。

【0025】3. 第3実施形態

次に、本発明の第3実施形態について説明する。第3実施形態のハードウェア構成は第1実施形態と同様であるが、以下に述べる点が異なっている。まず、本実施形態において、ダウンカウンタ120あるいは比較器126の桁数は「2ビット」であり、部分選択期間はP1～P3の3期間設けられる。すなわち、2ビット×3回の部分階調値が用いられる。そして、ライン選択期間T内の基本クロック信号BPの総数は「256」であり、部分選択期間P1～P3に対して各々「134」、「30」、「92」のクロック数が割り当てられる。

【0026】上記第2実施形態と同様に、変換回路70に供給されるカラー画像信号R、G、Bは各色について「0～15(0000～1111)」の値を採りうる。その上位2ビットが部分選択期間P1のデータ信号DR、DG、DBに設定され、下位2ビットが部分選択期間P2のデータ信号DR、DG、DBに設定される。具体的には、上位2ビットの値“00”、“01”、“10”、“11”の夫々に対して、部分選択期間P1のオン区間の長さは基本クロック信号BPの周期を単位として各々「0」、「35」、「78」、「134」に設定され、下位2ビットの値“00”、“01”、“10”、“11”の夫々に対して、部分選択期間P2のオン区間の長さは基本クロック信号BPの周期を単位として各々「0」、「12」、「19」、「30」に設定される。

【0027】さらに、本実施形態においては、カラー画像信号の階調値が「13」、「14」、「15」である場合に、部分選択期間P3のデータ信号DR、DG、DBが各々“01”、“10”、“11”に設定される。そして、それらデータ信号に対するオン区間の長さは、各々「20」、「42」、「90」に設定される。なお、カラー画像信号の階調値が「12」以下である場合には、部分選択期間P3のデータ信号DR、DG、DBは常に“00”であり、これに対するオン区間の長さは「0」である。

【0028】ここで、ライン選択期間T内におけるオン区間の総幅について、理想値、実際値および実際値の内訳を図9(b)に示す。また、理想値を太線で、実際値を細線で表したグラフを図11に示す。本実施形態においては、カラー画像信号の階調値の全範囲(0～15)において、実際値として理想値に近い値が得られることが解る。

【0029】4. 第4実施形態

次に、本発明の第3実施形態について説明する。第3実施形態のハードウェア構成は第1実施形態と同様であるが、以下に述べる点が異なっている。まず、本実施形態においては、データ信号DR、DG、DBはオン(“1”)またはオフ(“0”)を表わす1ビットで構成される。そして、波形変換部118においては、ダウ

ンカウンタ120、カウンタ124、比較器126は設けられておらず、ラッチ回路116にラッチされたデータ信号DR、DG、DBがそのままスイッチ122のオンオフの切換に用いられる。すなわち、ラッチされたデータ信号が“1”(Hレベル)であればオン電位Von、“0”(Lレベル)であればオフ電位Voffが選択される。

【0030】部分選択期間はP1～P3の3期間設けられる。すなわち、1ビット×3回の部分階調値が用いられる。換言すれば、本実施形態において個々の部分選択期間は全体としてオン区間であるのか全体としてオフ区間であるのか何れか一方であり、一つの部分選択期間内にオン区間とオフ区間が併存することはない。そして、ライン選択期間T内の基本クロック信号BPの総数は「256」であり、部分選択期間P1～P3に対して各々「138」、「82」、「36」のクロック数が割り当てられる。

【0031】上記第2、第3実施形態と同様に、本実施形態においても、変換回路70に供給されるカラー画像信号R、G、Bは各色について「0～15(0000～1111)」の値を採りうる。そして、該カラー画像信号の値に応じて、理想値に最も近いオン区間の総幅が得られるように、部分選択期間P1～P3がオンまたはオフ区間に設定される。

【0032】ここで、ライン選択期間T内におけるオン区間の総幅について、理想値、実際値および実際値の内訳を図9(c)に示す。図9(c)の「内訳」の欄において、「138」、「82」あるいは「36」と記載されている部分選択期間がオン区間に設定される部分選択期間であり、「0」と記載されている部分選択期間がオフ区間に設定される部分選択期間である。また、理想値を太線で、実際値を細線で表したグラフを図12に示す。本実施形態においては、カラー画像信号の階調値が低い(1以下である)範囲において、実際値として採りうる階調数が低くなる。しかし、個々の信号電極14毎にダウンカウンタ120、比較器126等を設ける必要がなくなるから、データ信号駆動回路110を簡単かつ安価に構成することができる。

【0033】5. 電子機器の具体例

5.1. プロジェクタ

次に、上述した液晶パネルを具体的な電子機器に用いた例のいくつかについて説明する。まず、上記各実施形態に係る液晶パネルをライトバルブとして用いた投射型表示装置であるプロジェクタ5400について説明する。図13(a)は、投射型表示装置の要部を示す概略構成図である。図中、5431は光源、5442、5444はダイクロイックミラー、5443、5448、5449は反射ミラー、5445は入射レンズ、5446はリレーレンズ、5447は出射レンズ、100R、100G、100Bは上記液晶パネルによる液晶光変調装置、

5451はクロスダイクロイックプリズム、5437は
 11 照射レンズを示す。光源5431はメタルハライド等の
 ランプ5440とランプの光を反射するリフレクタ54
 41とからなる。青色光・緑色光反射のダイクロイック
 ミラー5442は、光源5431からの光束のうちの赤
 色光を透過させるとともに、青色光と緑色光とを反射す
 る。透過した赤色光は反射ミラー5443で反射され
 て、赤色光用液晶光変調装置100Rに入射される。一
 方、ダイクロイックミラー5442で反射された色光の
 うち緑色光は緑色光反射のダイクロイックミラー544
 4によって反射され、緑色光用液晶光変調装置100G
 に入射される。

【0034】一方、青色光は第2のダイクロイックミラ
 ー5444も透過する。青色光に対しては、長い光路に
 12 による光損失を防ぐため、入射レンズ5445、リレー
 レンズ5446、出射レンズ5447を含むリレーレン
 ズ系からなる導光手段が設けられ、これを介して青色光が
 青色光用液晶光変調装置100Bに入射される。各光変
 調装置により変調された3つの色光はクロスダイクロイ
 ックプリズム5451に入射する。このプリズムは4つ
 の直角プリズムが貼り合わされ、その内面に赤光を反射
 する誘電体多層膜と青光を反射する誘電体多層膜とが
 十字状に形成されている。これらの誘電体多層膜によっ
 て3つの色光が合成されて、カラー画像を表す光が形成さ
 れる。合成された光は、照射光学系である照射レンズ5
 437によってスクリーン5452上に投射され、画像
 が拡大されて表示される。

【0035】5.2. モバイル型コンピュータ
 次に、上記液晶パネルを、モバイル型のパーソナルコン
 ピュータに適用した例について説明する。図8(b)は、
 30 このパーソナルコンピュータの構成を示す正面図であ
 る。図において、モバイル型コンピュータ5200は、
 キーボード5202を備えた本体部5204と、表示ユ
 ニット5206とから構成されている。この表示ユ
 ニット5206は、先に述べた液晶パネル100の後方にバ
 ックライトを付加することにより構成されている。

【0036】5.3. 携帯電話器
 さらに、上記液晶パネルを、携帯電話器に適用した例に
 ついて説明する。図8(c)は、この携帯電話器の構成を
 示す斜視図である。図において、携帯電話器5300
 40 は、複数の操作ボタン5302のほか、受話口530
 4、送話口5306とともに、液晶パネル100を備え
 るものである。この液晶パネル100にも、必要に応じ
 てその後方にバックライトが設けられる。

【0037】5.4. その他
 電子機器としては、以上説明した他にも、液晶テレビ
 や、ビューファインダ型、モニタ直視型のビデオテー
 プレコーダ、カーナビゲーション装置、ページャ、電子手
 帳、電卓、ワードプロセッサ、ワークステーション、テ
 レビ電話、POS端末、タッチパネルを備えた機器等な
 50

どが挙げられる。そして、これらの各種電子機器に対
 して、上述した液晶パネルが適用可能なのは言うまでも
 ない。

【0038】6. 変形例

本発明は上述した実施形態に限定されるものではなく、
 例えば以下のように種々の変形が可能である。

(1)第1実施形態においては、部分選択期間P1、P2
 における部分階調値は、等しい値であるか何れか一方が
 他方より「1」だけ大きい値に設定された(図6(a)参
 照)。しかし、両部分階調値の関係はこれに限定される
 ものではなく、双方とも「0~7」の範囲で自由に組み
 合わせてもよい。この場合、 $8 \times 8 = 64$ 通りの組み
 合わせが可能であるが、これらのうち総幅が一致するもの
 を除外してゆくと、図6(c)に示すように34階調の組
 み合わせを実現することができる。この変形例によっ
 て得られる階調特性を図8に示す。図7の階調特性と比較
 すると、本変形例の特性は、基本設定の特性より外れる
 度合いが大きいという欠点がある。しかし、階調数とし
 ては、第1実施形態のほぼ2倍を確保できる。

【0039】(2)上述したように、第2実施形態におい
 ては、階調値が最高値(=15)である場合に、理想値
 と実際値との差が大きくなるという問題があった。これ
 は、データ信号のデータ幅を1ビット増加させることに
 より解決することができる。すなわち、増加した1ビッ
 トを、「常時オンフラグ」と考え、この常時オンフラグ
 がHレベルであった場合には、当該部分選択期間全体を
 オン区間になるように設定すればよい。この常時オンフ
 ラグは部分選択期間P2においてのみ用いられる(部分
 選択期間P1のオン区間の最大幅「146」は部分選択
 期間P1の幅に等しいため、常時オンフラグを用いる意
 味が無い)。

【0040】換言すれば、変換回路70においては、カ
 ラー画像信号R、G、Bの何れかの色の階調値が「1
 5」である場合に限り、当該階調値に対応するデータ信
 号DR、DG、DBの常時オンフラグがHレベルに設定
 される。部分選択期間P2におけるオン区間の最大幅
 は、通常は「31」であるが、この常時オンフラグがH
 レベルに設定された場合にはオン区間の幅は「100」
 に設定される。これにより、最大値付近の階調特性は、
 40 図10の一点鎖線に示すように設定され、全階調値にお
 いて、理想値に近い実際値を得ることができる。

【0041】(3)上記第1~第3実施形態においては、
 各部分選択期間内においてオン区間とオフ区間が併存す
 る場合には、オン区間が最初に設けられ、その後にはオフ
 区間が設けられていた。しかし、信号電位VBがオン電
 位Vonおよびオフ電位Voffの間で頻りに切り替わ
 ると、その都度信号電極14の寄生容量が充放電され、消
 費電力が増大することもある。従って、隣接する部分選
 択期間の間では、隣接タイミングにおける電位が等しく
 なるように(オンオフ状態が等しくなるように)すると

一層好適である。

【0042】その一例を図14(a)に示す。図において部分選択期間P1では、最初にオン区間が設けられ、しかる後にオフ区間が設けられている。そこで、次の部分選択期間P2では、最初にオン区間が設けられ、次にオフ区間が設けられている。なお、第3実施形態のようにさらに部分選択期間P3が続く場合には、部分選択期間P3はオフ区間から開始させるとよい。同図(b)においては、同図(a)とは逆順序でオン区間およびオフ区間を設けた例を示す。何れの例においても、ライン周期内に 10 における信号電位VBの切回数数が少なくすることができ、消費電力を低減させることが可能である。

【0043】(4)上記第4実施形態においては、低階調における階調数を実質的に高めるため、フレーム毎に階調値を切り換えるフレームレートコントロール、ディザ処理等を併用するとよい。なお、この点は他の実施形態についても同様である。

【0044】

【発明の効果】以上説明したように本発明によれば、1回のライン選択期間複数の部分選択期間に分割し、各部 20 分選択期間毎に、データ信号に基づいてパルス幅が設定された電位を信号電極に印加するから、各部分選択期間に対応するデータ信号のデータ量を小さくすることができ、安価に液晶パネルを高階調化することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の液晶パネルの電気的構成を示すブロック図である。

【図2】第1実施形態におけるデータ信号駆動回路110の回路図である。

【図3】第1実施形態のタイミングチャートである。 30

【図4】第1実施形態における波形変換部118の回路図およびその変形例の回路図である。

【図5】第1実施形態における各部の波形図である。

【図6】第1実施形態およびその変形例の動作説明図である。

【図7】第1実施形態の階調特性図である。

【図8】第1実施形態の変形例の階調特性図である。

【図9】本発明の第2乃至第4実施形態の動作説明図である。

【図10】第2実施形態の階調特性図である。

【図11】第3実施形態の階調特性図である。

【図12】第4実施形態の階調特性図である。

【図13】各実施形態の液晶パネルを適用した各種電子機器の例を示す図である。

【図14】各実施形態の変形例の動作説明図である。

【図15】従来の液晶パネルのブロック図である。

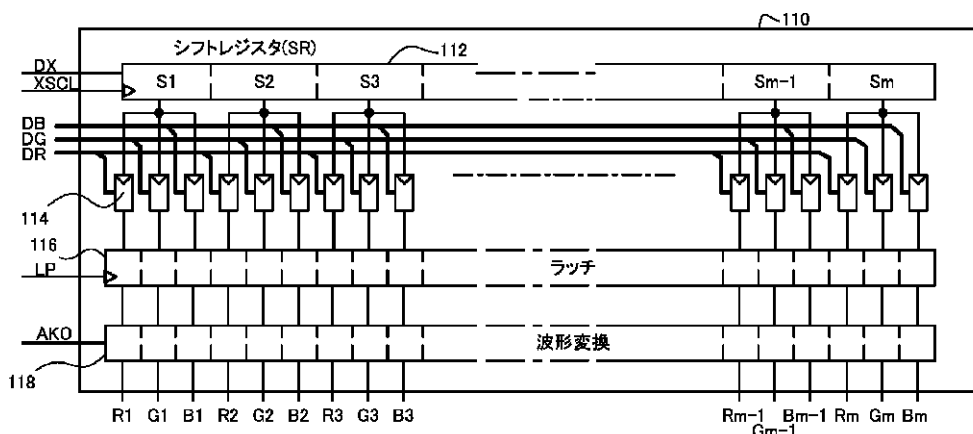
【図16】非線形二端子素子20の特性図である。

【図17】従来の液晶パネルにおける各部の波形図である。

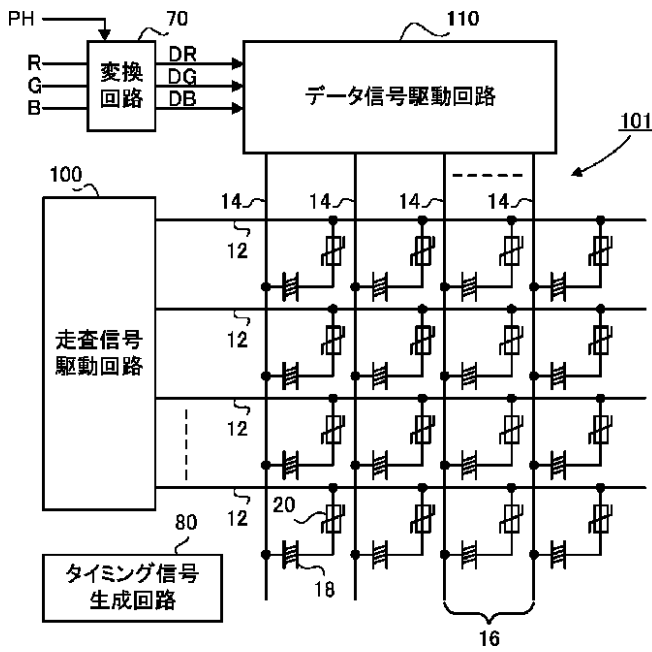
【符号の説明】

- 12...走査電極
- 14...信号電極
- 18...液晶層
- 20...非線形二端子素子
- 60...タイミング信号生成回路
- 70...変換回路
- 80...走査信号駆動回路
- 90...データ信号駆動回路
- 100...走査信号駆動回路
- 101...液晶表示部
- 110...データ信号駆動回路
- 112...シフトレジスタ
- 114...レジスタ
- 116...ラッチ回路
- 118...波形変換部
- 120...ダウンカウンタ
- 122...スイッチ
- 124...カウンタ
- 126...比較器

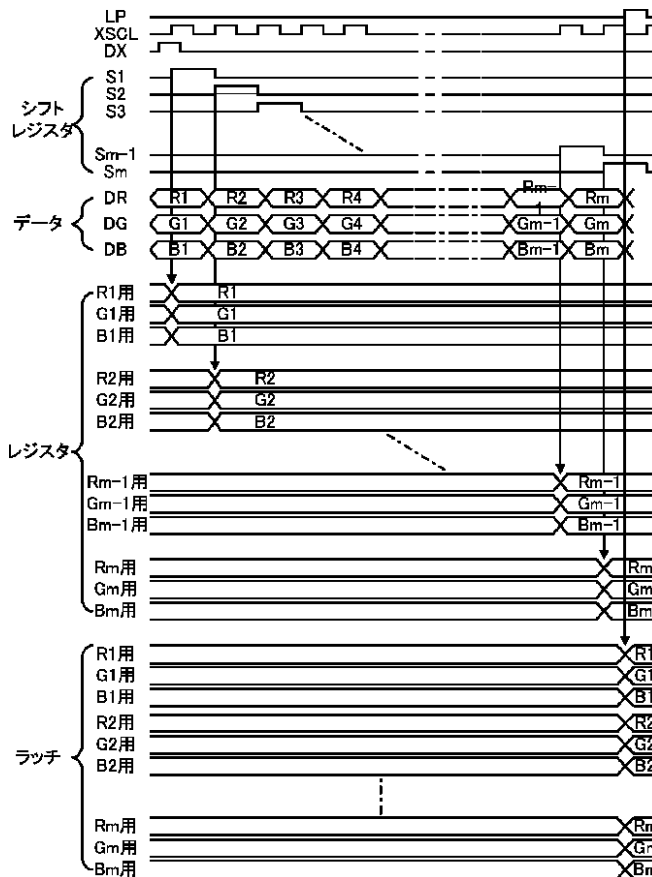
【図2】



【図1】



【図3】



【図6】

(a)

部分階調値

階調	P1	P2	総幅
0	0	0	0
1	0	1	13
2	1	1	26
3	1	2	36
4	2	2	46
5	2	3	58
6	3	3	70
7	3	4	82
8	4	4	94
9	4	5	103
10	5	5	112
11	5	6	134
12	6	6	156
13	6	7	208
14	7	7	256

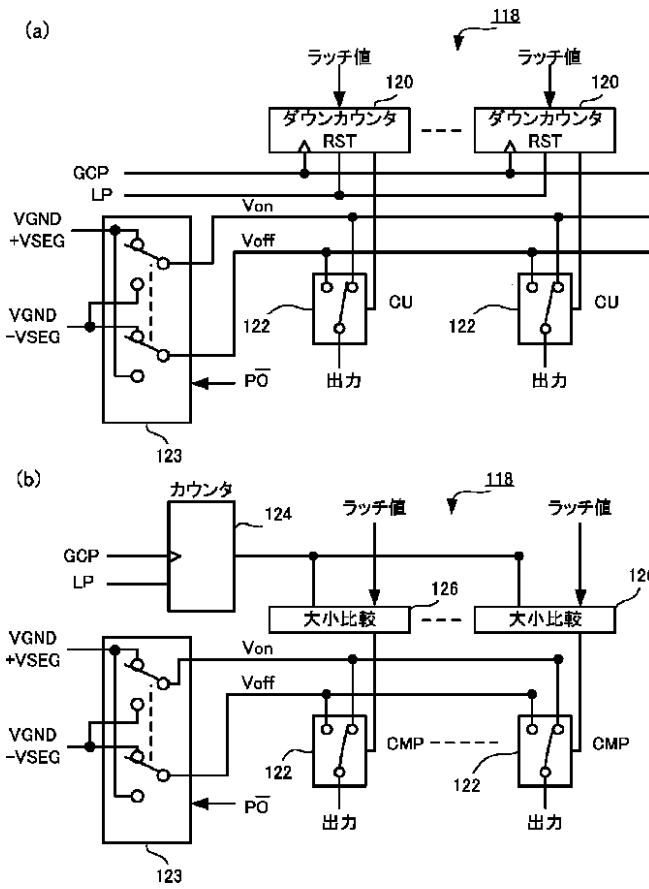
(b)

部分階調値	オン区間の幅
0	0
1	13
2	23
3	35
4	47
5	56
6	78
7	128

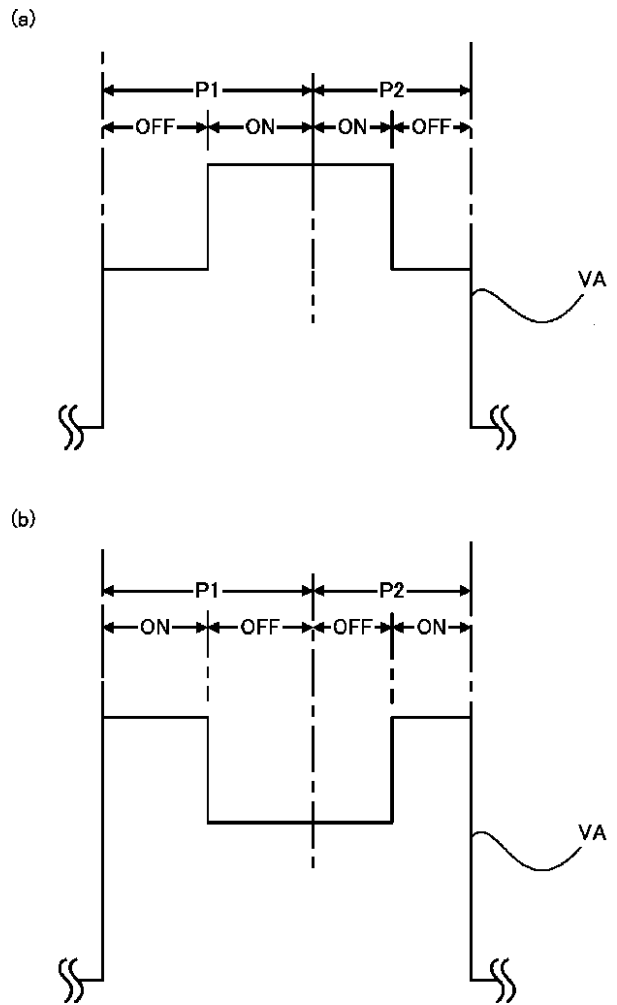
(c)変形例

階調	P1	P2	総幅	階調	P1	P2	総幅
0	0	0	0	17	1	6	91
1	0	1	13	18	4	4	94
2	0	2	23	19	2	6	101
3	1	1	26	20	4	5	103
4	0	3	35	21	5	5	112
5	1	2	36	22	3	6	113
6	2	2	46	23	4	6	125
7	0	4	47	24	0	7	128
8	1	3	48	25	5	6	134
9	0	5	56	26	1	7	141
10	2	3	58	27	2	7	151
11	1	4	60	28	6	6	156
12	1	5	69	29	3	7	163
13	2	4	70	30	4	7	175
14	0	6	78	31	5	7	184
15	2	5	79	32	6	7	206
16	3	4	82	33	7	7	256

【図4】

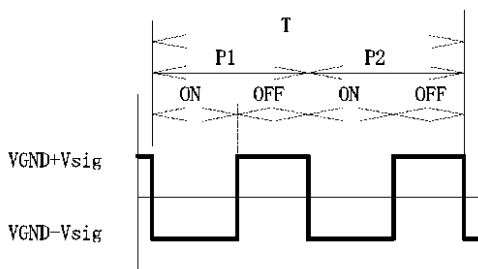


【図14】

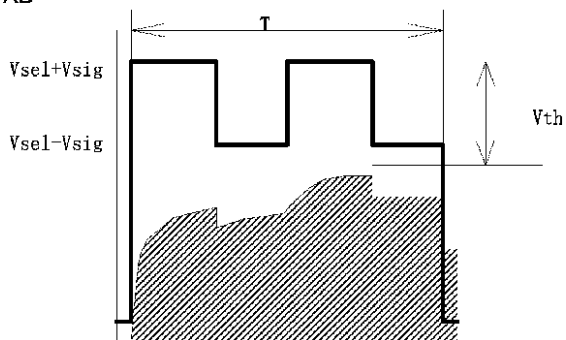


【図5】

(a)信号線電位VB

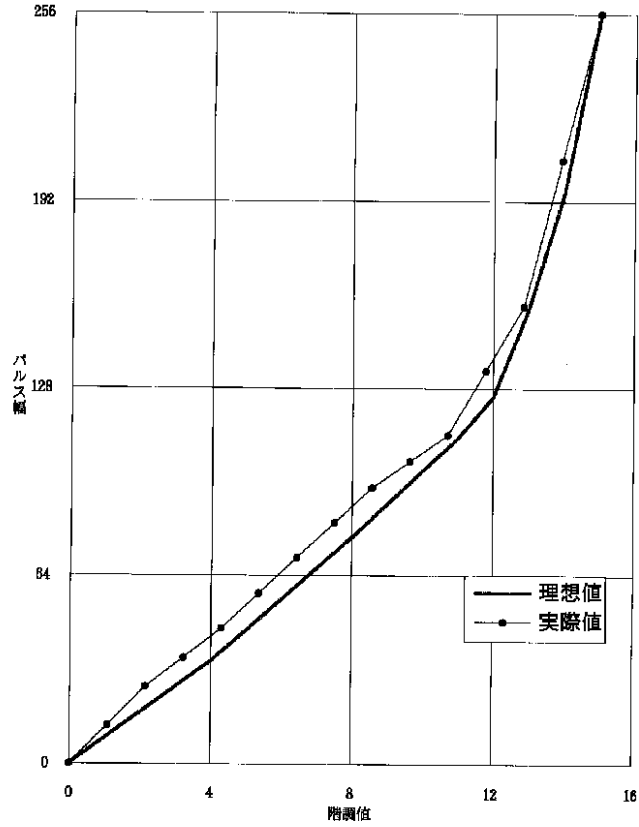


(b)電圧VAB

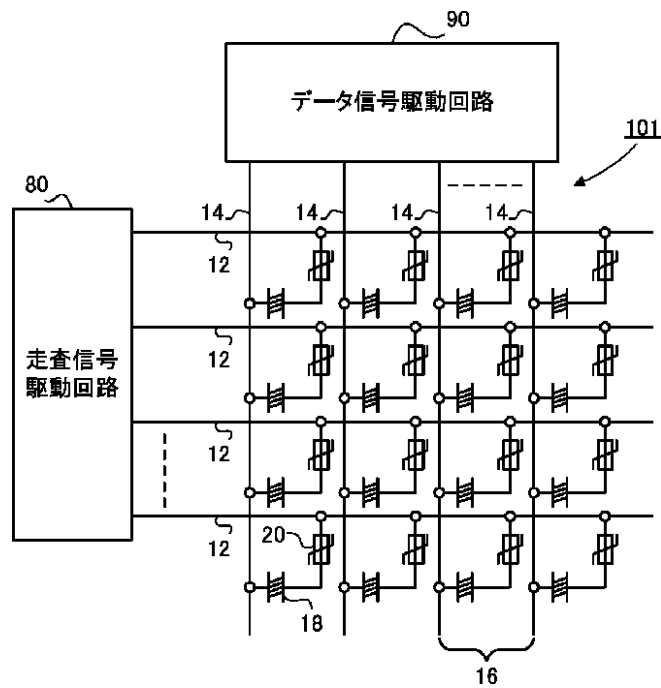


【図7】

第1実施形態

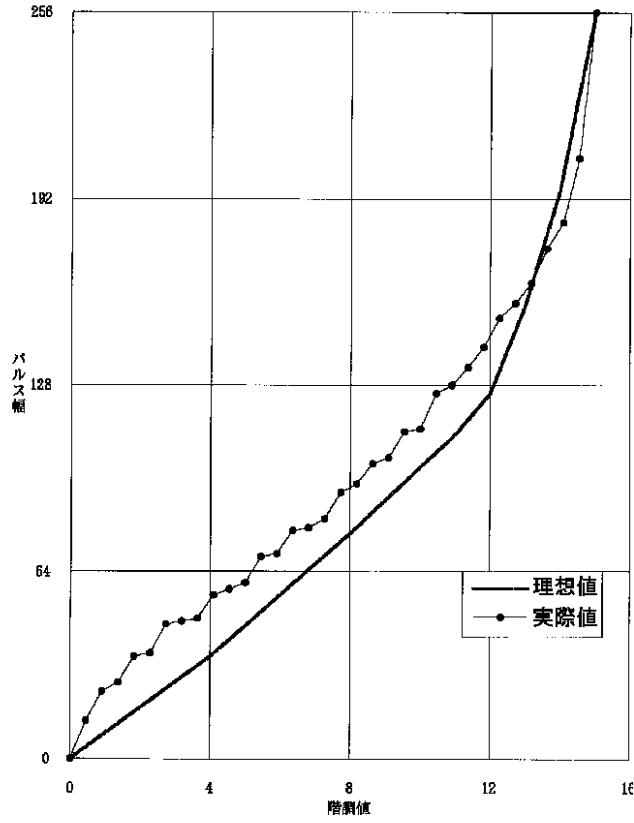


【図15】

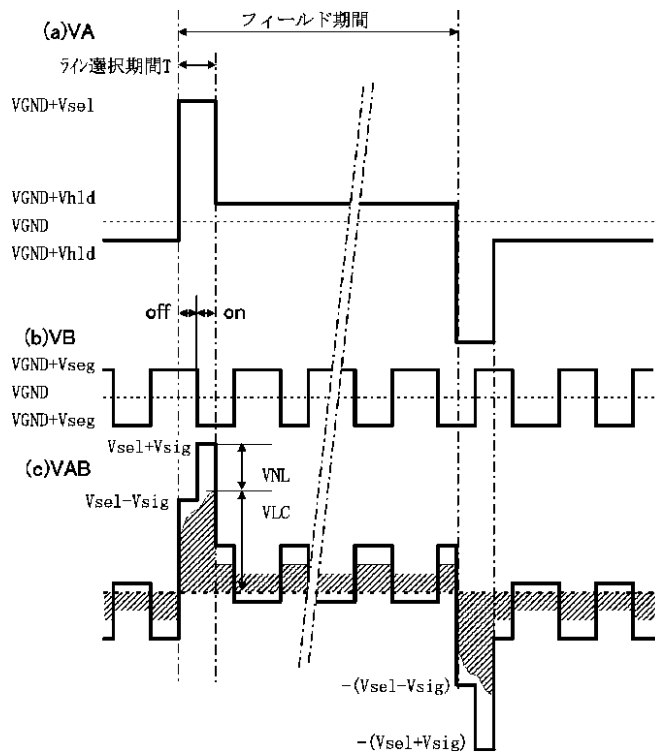


【図8】

第1実施形態の変形例



【図17】



【図9】

(a)第2実施形態

階調値	全パルス幅		内訳	
	理想	実際	P1	P2
0	0	0	0	0
1	8	10	↑	10
2	17	28	↑	28
3	26	31	↑	31
4	35	33	33	0
5	45	43	↑	10
6	55	61	↑	28
7	66	64	↑	31
8	77	76	76	0
9	88	86	↑	10
10	99	104	↑	28
11	111	107	↑	31
12	125	146	146	0
13	155	156	↑	10
14	195	174	↑	28
15	256	177	↑	31

(b)第3実施形態

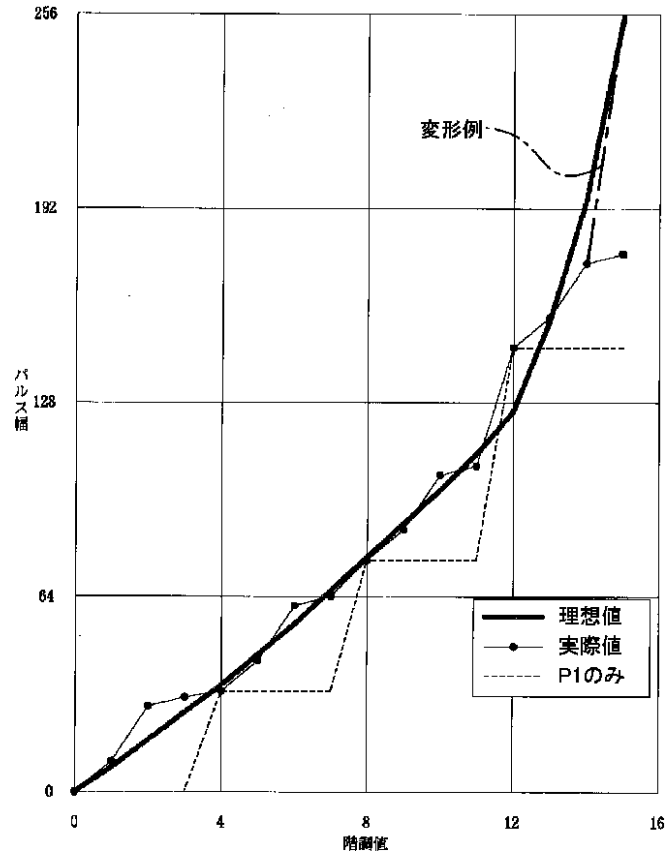
階調値	全パルス幅		内訳		
	理想	実際	P1	P2	P3
0	0	0	0	0	0
1	8	12	↑	12	0
2	17	19	↑	19	0
3	26	30	↑	30	0
4	35	35	35	0	0
5	45	45	↑	12	0
6	55	52	↑	19	0
7	66	63	↑	30	0
8	77	78	78	0	0
9	88	88	↑	12	0
10	99	95	↑	19	0
11	111	106	↑	30	0
12	125	134	134	0	0
13	155	157	↑	12	20
14	195	186	↑	19	42
15	256	254	↑	30	90

(c)第4実施形態

階調値	全パルス幅		内訳		
	理想	実際	P1	P2	P3
0	0	0	0	0	0
1~4	35	36	0	0	36
5~8	77	82	0	82	0
9~11	111	118	0	82	36
12	125	138	138	0	0
13	155	174	138	0	36
14	195	220	138	82	0
15	256	256	138	82	36

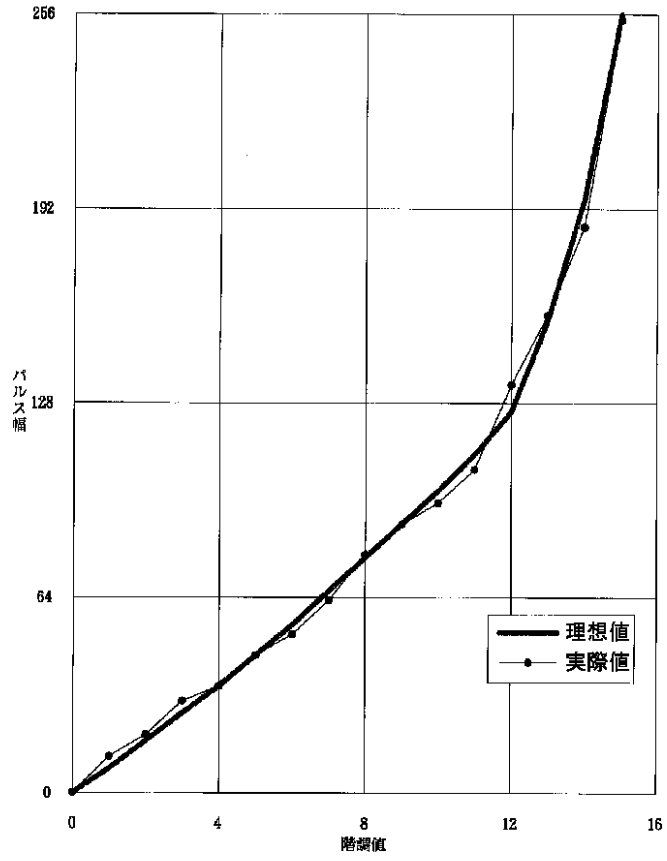
【図10】

第2実施形態



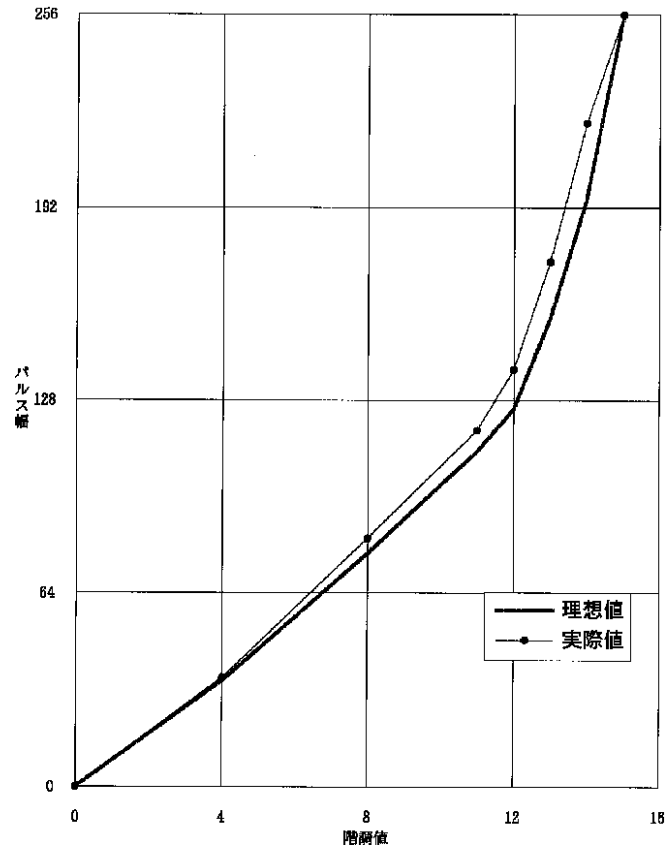
【図11】

第3実施形態

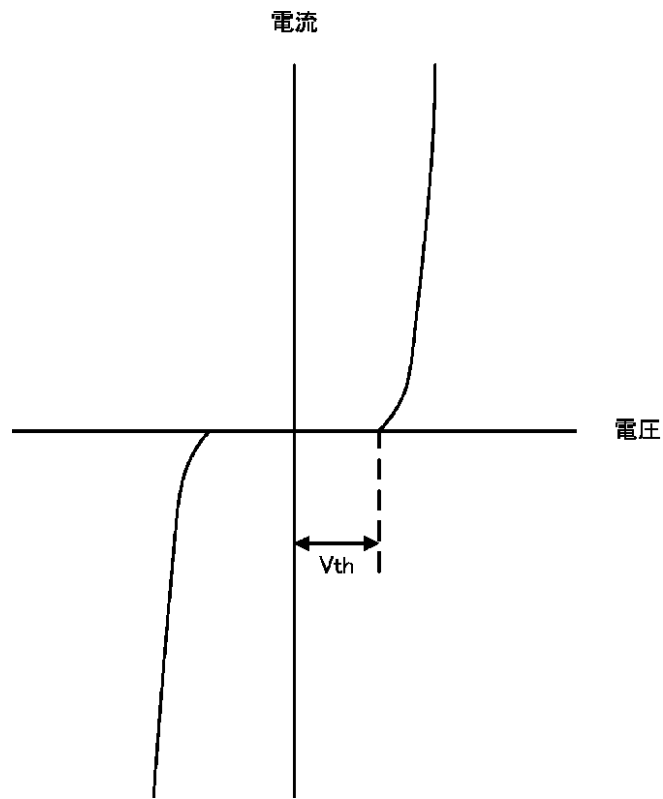


【図12】

第4実施形態



【図16】



フロントページの続き

F ターム(参考) 2H093 NC12 NC13 NC14 NC16 NC22
NC26 NC27 NC37 ND06 ND49
ND54
5C006 AA15 AC21 BB17 BC11 EC11
FA43 FA51 FA56
5C080 AA10 BB05 DD27 EE29 FF11
JJ02 JJ04 JJ05 JJ06 KK07
KK43

专利名称(译)	液晶面板的驱动电路，液晶面板和电子设备		
公开(公告)号	JP2003005718A	公开(公告)日	2003-01-08
申请号	JP2001188175	申请日	2001-06-21
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	山崎克则		
发明人	山崎 克则		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.623.V G09G3/20.641.A		
F-TERM分类号	2H093/NC12 2H093/NC13 2H093/NC14 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC37 2H093/ND06 2H093/ND49 2H093/ND54 5C006/AA15 5C006/AC21 5C006/BB17 5C006/BC11 5C006/EC11 5C006/FA43 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK43 2H193/ZA12 2H193/ZF36		
外部链接	Espacenet		

摘要(译)

解决的问题：在二端子元件型有源矩阵型液晶面板中以低成本实现高灰度。 解决方案：一个线选择周期T分为多个部分选择周期P1和P2，并且每个部分选择周期对信号电势VB进行脉宽调制。 假设要实现的灰度级数为“16”（4位），并且针对部分选择时段P1和P2的每个，基于高2位和低2位执行脉冲宽度调制，可以将2位配置用作计数器，比较器等）。由于必须为每几十到数千个信号电极提供这些电路，因此大大简化了整个液晶面板的结构。

