

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002－250937

(P2002－250937A)

(43)公開日 平成14年9月6日(2002.9.6)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
1/133	525	1/133	2 H 0 9 3
	550		5 C 0 0 6
1/1343		1/1343	5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 D
審査請求 未請求 請求項の数 11 O L (全 14数) 最終頁に続く			

(21)出願番号 特願2001－51795(P2001－51795)

(22)出願日 平成13年2月27日(2001.2.27)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 岡田 隆史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 田中 幸生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

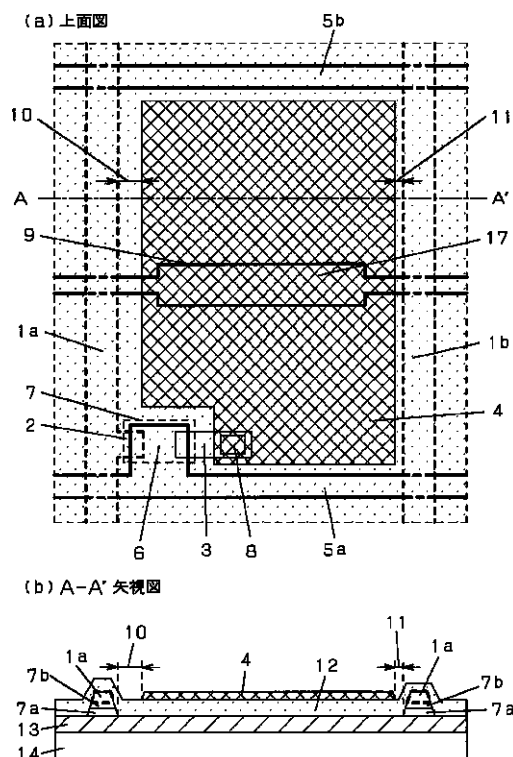
最終頁に続く

(54)【発明の名称】 アクティブマトリクス液晶表示素子

(57)【要約】

【課題】 高精細の液晶表示素子に対しても、縦クロストークレベルの低い、すなわち高画質品位を保持した液晶表示素子を実現する。

【解決手段】 画素電極の左端のパターンエッジと画素電極の左隣のソースラインの右端のパターンエッジとの距離D_Lと、画素電極の右端のパターンエッジと画素電極の右隣のソースラインの左端のパターンエッジとの距離D_Rとが異なる値となるように、画素電極とソースラインとの位置関係を設定する。



【特許請求の範囲】

【請求項1】 画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に設けられ、走査信号を伝達する複数のゲートラインと、ソースラインとゲートラインとの各交差部に対応して設けられた画素電極と、各画素電極に接続されるとともに、ソースライン、及びゲートラインにそれぞれゲート電極、及びソース電極を介して接続された画素トランジスタと、画素電極に対向して設けられた対向電極と、液晶と、前記液晶に印加される電圧を保持するための蓄積容量を具備するアクティブマトリクス表示素子において、前記画素電極と前記画素電極の左隣の前記ソースラインとの間に形成される容量を $C_{sd}(L)$ 、同じく前記画素電極と前記画素電極の右隣の前記ソースラインとの間に形成される容量を $C_{sd}(R)$ とすると、 $C_{sd}(L)$ と $C_{sd}(R)$ とが異なる値となるように画素を構成することを特徴とするアクティブマトリクス液晶表示素子。

【請求項2】 前記画素電極の左端のパターンエッジと前記画素電極の左隣の前記ソースラインの右端のパターンエッジとの距離を DL 、同じく前記画素電極の右端のパターンエッジと前記画素電極の右隣の前記ソースラインの左端のパターンエッジとの距離を DR とすると、 DL と DR とが異なる値となるような位置関係に配置することを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。

【請求項3】 前記液晶を駆動する方式として、ライン反転駆動方式を用いることを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。

【請求項4】 前記液晶を駆動する方式として、ドット反転駆動方式を用いることを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。

【請求項5】 前記液晶を駆動する方式として、容量結合駆動方式を用いることを特徴とする請求項3、又は4に記載のアクティブマトリクス液晶表示素子。

【請求項6】 前記画素電極と、前記左隣のソースラインと、前記右隣のソースラインとの位置関係を、 RGB の各画素に対して、前記 RGB のうち少なくとも1つは、異なった位置関係に配置することを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。

【請求項7】 前記 RGB の各画素において、それぞれ R 、 G 、 B に対応する前記 DL 、前記 DR を、それぞれ $DL(R)$ 、 $DR(R)$ 、 $DL(G)$ 、 $DR(G)$ 、 $DL(B)$ 、 $DR(B)$ とすると、少なくとも $DL(B) > DR(B)$ を満たすことを特徴とする請求項6に記載のアクティブマトリクス液晶表示素子。

【請求項8】 前記 $DL(G)$ 、前記 $DR(G)$ に対し、 $DL(G) = DR(G)$ を満たし、かつ前記 $DL(R)$ 、前記 $DR(R)$ 、前記 $DL(B)$ 、前記 $DR(B)$ に対し、 $DL(R) \neq DR(R)$ 、 $DL(B) \neq DR(B)$ のうちのどちらか一方、又は両方を満たすことを特徴とする請求項6*50

*に記載のアクティブマトリクス液晶表示素子。

【請求項9】 前記 DL 、前記 DR に対し、前記 RGB のうち少なくとも1つは $DL = DR$ を満たし、そのときの DL と DR を、 $DL = DR = DC$ とおき、かつ前記 RGB のうち少なくとも1つは $DL \neq DR$ を満たし、 $DL > DR$ のときは $DR = DM$ とおき、 $DL < DR$ のときは $DL = DM$ とおくとき、 $DC = DM$ を満たすことを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。

【請求項10】 前記 DM の値が、 $DM \geq 1.0 \mu m$ の範囲を満たすことを特徴とする請求項9に記載のアクティブマトリクス液晶表示素子。

【請求項11】 画像表示部を前記ゲートラインの長さ方向に対して複数の領域に分割し、各領域内の画素ごとに前記 DL 、又は前記 DR 、又はその両方を異なった値に設定して形成することを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各画素に対応するトランジスタを有した、いわゆるアクティブマトリクス液晶表示素子に関するものである。

【0002】

【従来の技術】近年、液晶表示素子的大型化、高精細化、高画質化が急激に進んでおり、これらの要求を満たすための取り組みが盛んに行われている。特に、画質の課題としては、縦クロストークの低減が重要であり、近年の液晶表示素子の高精細化によってますます深刻な課題になりつつある。

【0003】液晶表示素子の高精細化が進むと、アクティブマトリクス表示を行う画素部において、より開口率が重視され、透明画素電極パターンの面積をできる限り大きくする必要があるので一般には透明画素電極パターンエッジと、その両隣のソースラインのパターンエッジとの距離は、マスク合わせ精度に相当する距離まで接近させる。しかし、このように接近させると、透明画素電極とソースラインとの間に形成される容量が増大し、その結果縦クロストークが増大し、画質課題を引き起こす。縦クロストークは表示画面において、中間調レベルにおける背景に対し、黒レベル、又は白レベルのウィンドウパターンを表示させた際にウィンドウパターンの上部、又は下部の、中間調の背景パターンが、それ以外の領域の中間調の背景パターンよりも、黒、又は白側に変位する減少であり、背景がベタ表示である場合は、主に画素トランジスタのオフリークによる、画素電位の変化が原因となって起こる。一方、背景が、特定の表示パターンを有する場合、画素電位が、その両隣に存在するソースラインの信号レベルの変化の影響を受け、縦クロストークが発生することがある。その際の信号レベル変化の原因は、画素電極とソースラインとの間に形成される

容量にある。ただしこの場合は、背景に表示パターンを有する場合のように、画素電極の両隣のソースラインの信号パターンが異なる場合などに現れ、ベタ表示の場合には原理的には、このような原因では縦クロストークは発生しない。しかしながら、実際の表示において、例えばシアンドット市松パターン等の背景表示パターンが使用されることが多く、近年、大きな課題となっている。

【0004】これに対する対策としては、ソースラインと透明画素電極との間の容量値そのものを小さくする方法がある。具体的な方法としては、パッシベーション用絶縁膜の膜厚を厚くする方法や、たとえば特開平09-90404号公報に開示されているように、パッシベーション用絶縁膜の膜質を変化させることによって誘電率を低くする方法等がある。

【0005】

【発明が解決しようとする課題】しかしながら、ソースラインと透明画素電極は、通常パッシベーション用絶縁膜を介して膜厚方向に隔てられているため、このような方法で容量値を原理的に変化させることができるが、実際には絶縁膜の信頼性や、パターン形状、加工の問題による制限が多く、現実的な方法ではない。

【0006】また、透明画素電極パターンエッジと、その両隣にあるソースラインのパターンエッジとの距離DL(DR)を可能な限り大きくとることにより、ソースライン-透明画素電極間容量を小さくすることも考えられる。しかしながら、DL(DR)を大きくとると、必然的に透明画素電極パターンの幅が小さくなるので、開口率が減少するという欠点が生じる。

【0007】本発明は、以上のような課題を解決するためになされたものであり、開口率を低減させることなく、縦クロストークを画質上問題とならない水準にまで低減させるために、画素内における、透明画素電極と、その両隣のソースラインの配置方法について創意工夫を施したものである。

【0008】

【課題を解決するための手段】本発明は、縦クロストークを、画質上問題とならない水準にまで低減させるために、画素内における、透明画素電極と、その両隣のソースラインの配置方法に工夫を施したものである。

【0009】すなわち、本発明の液晶表示素子は、画像信号を伝達する複数のソースラインと、ソースラインと交差する方向に設けられ、走査信号を伝達する複数のゲートラインと、ソースラインとゲートラインとの各交差部に対応して設けられた画素電極と、各画素電極に接続されるとともに、ソースライン、及びゲートラインにそれぞれゲート電極、及びソース電極を介して接続された画素トランジスタと、画素電極に対向して設けられた対向電極と、液晶と、液晶に印加される電圧を保持するための蓄積容量を具備するアクティブマトリクス表示素子において、画素電極とその左隣の前記ソースラインとの

間に形成される容量を $C_{sd}(L)$ 、同じく画素電極とその右隣の前記ソースラインとの間に形成される容量を $C_{sd}(R)$ とすると、 $C_{sd}(L)$ と $C_{sd}(R)$ とが異なる値となるように画素を構成することの特徴とする。これにより、何ら製造工程を追加することなく縦クロストークを低減することができる。

【0010】より具体的には、画素電極の左端のパターンエッジと画素電極の左隣の前記ソースラインの右端のパターンエッジとの距離をDL、同じく画素電極の右端のパターンエッジと画素電極の右隣のソースラインの左端のパターンエッジとの距離をDRとすると、DLとDRとが異なる値となるような位置関係に配置する。このようにすることにより、2H1V反転駆動を用いなくても、特定の背景パターンに対して縦クロストークを低減することができる。従って、これに併せて容量結合駆動を用いると、縦クロストークと、それ以外の画質課題の改善の両立が可能となり、より利点が大きくなる。さらにこの際に、ライン反転駆動を用いるか、ドット反転駆動を用いるかの2通りがあり、縦クロストークの許容範囲の程度によって、この選択を行えばよい。すなわち、ライン反転駆動に対して、本発明の構成によって、縦クロストークが許容限内に抑制できればライン反転駆動を用い、そうでなければドット反転駆動を用いればよい。

【0011】DLとDRの関係はRGBの各画素に対して独立に設定することが可能であり、RGBのうち少なくとも1つは異なった位置関係に配置することにより、特定の背景パターンに対して、特に縦クロストークを低減することが可能となる。例えば、背景としてシアン市松パターンを想定した場合、RGBの各画素の左隣、及び右隣のソースラインの信号波形は、Rは、左隣が(＋黒、－黒)、右隣が(＋中、－黒)、Gは、左隣、右隣共に(＋中、－黒)、Bは、左隣が(＋中、－黒)、右隣が(＋黒、－黒)となる。ただし中は中間調の略であり、＋、－はそれぞれ正極書き込み、負極書き込みを示すものとする。

【0012】従って、RとBに関しては少なくとも、ライン反転駆動、ドット反転駆動の違いによらず、左隣と右隣とで信号の変動量に差異があるために、画素電極とソースラインの間の容量を介して画素電位が変動する。ただしRはもともと黒書き込みであるためにほとんど輝度の影響を受けないのに対し、Bは中間調書き込みの画素と黒書き込みの画素とが、交互に配置されているので、中間調書き込みの画素に着目すると、輝度の変化が観測されることになる。

【0013】ここで、R、G、Bに対応するDL、DRを、それぞれDL(R)、DR(R)、DL(G)、DR(G)、DL(B)、DR(B)とすると、DL(B)>DR(B)を満たすようにBの画素電極を配置すれば、左隣のソースラインと画素電極との間の容量を小さくすることができ、その結果、画素Bに対する電位変動量を低減す

ることができる。

【0014】次に画素Gについて考察すると、ライン反転駆動の場合は、左隣と右隣のソースラインに供給される信号波形は互いに同相であるため、 $DL(G) \neq DR(G)$ としても、 $DL(G) + DR(G) = \text{一定}$ であれば、画素電位変動量に変化はない。

【0015】一方ドット反転駆動の場合は、左隣と右隣のソースラインに供給される信号波形は互いに逆相であるため、 $DL(G) = DR(G)$ の場合のみ画素電位変動量が、完全に相殺されて0となるのに対し、 $DL(G) \neq DR(G)$ の場合には、画素電位変動量が、完全に相殺されないために、0とはならない。従って、 $DL(G) = DR(G)$ を満たすようにGの画素電極を配置すれば、少なくともドット反転駆動に対しては画素電位変動量を原理的には0にできるので、最良の方法といえる。

【0016】次に、DL、DRの決め方について考える。DL=DRとなる画素電極配置の場合、DL、DRはそれぞれ、ソースライン、透明画素電極に対応するマスクの合わせマージンの限界値に設定する。従って透明画素電極の幅、すなわち開口率を変えずに、 $DL \neq DR$ とすると、 $DL > DR$ のときは $DR = DM$ とおき、 $DL < DR$ のときは $DL = DM$ とおくとき、必然的にDMは、マスクの合わせマージンの限界値よりも小さくなる。

【0017】この結果、ソースラインと画素電極とが、絶縁膜を介してオーバーラップすることがあり得るので、ショートによる不良の原因となる可能性が増大する。従って、 $DL = DR$ なる画素電極において、 $DL = DR = DC$ とおくと、 $DC = DM$ を満たすようにDMを設定することが望ましい。ただしこのとき、 $DL \neq DR$ なる画素の開口率は、 $DL = DR$ なる画素の開口率よりも若干小さくなるという欠点が生じる。

【0018】このようにすると、DMはソースライン、透明画素電極に対応するマスクの合わせマージンの限界値程度に設定することになる。合わせマージンは通常 $1.0 \sim 2.0 \mu\text{m}$ 程度であるので、より具体的には、DMの値が、 $DM \geq 1.0 \mu\text{m}$ の範囲を満たすように設定することが望ましい。

【0019】以上のように、縦クロストークを画質上問題とならない水準にまで低減させるために、画素電極の左端のパターンエッジと画素電極の左隣の前記ソースラインの右端のパターンエッジとの距離DLと、同じく画素電極の右端のパターンエッジと画素電極の右隣のソースラインの左端のパターンエッジとの距離DRとが異なる値となるような位置関係に配置することにより、高精細の液晶表示素子に対しても、縦クロストークレベルの低い、すなわち高画質品位を保持した液晶表示素子を実現することができる。

【0020】

【発明の実施の形態】（実施の形態1）まず、従来の画

素構成について述べる。図1は従来の1画素内における各パターンの配置構成を説明するための説明図である。図1(a)はその上面図であり、図1(b)は、図1(a)におけるA-A'間の矢視断面図である。

【0021】図1(a)において、当段ソースライン—透明画素電極間距離10(以下DLと記述する)と、次段ソースライン—透明画素電極間距離11(以下DRと記述する)は等しくなるように、当段ソースライン1a、次段ソースライン1b、及び透明画素電極4がそれぞれ配置されている。

【0022】ここで、当段ソースライン1aは、当段における透明画素電極4に信号を供給しており、一方、次段ソースライン1bは、右隣りの画素における透明画素電極(図示せず)に信号を供給している。DLとDRは、通常ソースライン1をパターニングするマスクと、透明画素電極4をパターニングするためのマスクとの合わせマージンの限界値に設定する。従って、 $DL(DR) < 0$ とはならず、 $DL(DR) > 0$ なる条件が満たされるようにしている。ここで $DL(DR) < 0$ とは、ソースライン1と透明画素電極4とが、パッシベーション用絶縁膜12を介して互いにオーバーラップしている状態を意味しており、逆に $DL(DR) > 0$ とは、ソースライン1と透明画素電極4とが、特定の距離を持って互いに隔てられている状態を意味している。

【0023】図2はソースライン1—透明画素電極4間容量(以下Cs dと記述する)とDL(DR)との相関を示す特性曲線を示したものである。ソースライン1と透明画素電極4とは、図1(b)に示すとおり、パッシベーション用絶縁膜12を介して断面方向にも隔てられており、従ってソースライン1と透明画素電極4の端部は互いに斜め方向の位置関係にあるが、電界は垂直方向のみならず斜め方向にも一部広がるために、 $DL(DR) > 0$ の場合にもCs dは0ではない値を有する。

【0024】図2からわかるとおり、 $DL(DR) > 0$ の領域では、DL(DR)がある一定以上大きければ、Cs dはほぼ無視できるほど小さいが、DL(DR)がある一定以上小さくなると、Cs dは急激に大きくなり、 $DL(DR) < 0$ の領域では、DL(DR)に対して一定の割合でCs dは増加してゆく。ここで改めて図1(a)の構成を考えると、DL(DR)はマスク合わせマージンの限界値程度とすると、具体的には約 $1 \mu\text{m} \sim 2 \mu\text{m}$ 程度であり、Cs dは無視できないレベルの大きさを有し、しかもDL(DR)の変化に対してCs dは急激に増減すると考えられる。又、Cs dを、当段ソースライン1a—透明画素電極4間容量(以下Cs d1と記述する)と、次段ソースライン1b—透明画素電極4間容量(以下Cs d2と記述する)とに分けて考えると、 $Cs d1 = Cs d2$ となっている。ここで、このときのCs d1、Cs d2を、 $Cs d1 = Cs d2 = Cs d$ とおくこととする。

【0025】以上が従来構成に関する説明であり、以下に本発明における実施の形態1について述べる。

【0026】実施の形態1を説明するための説明図を図3に示す。図3においてDLとDRは、 $DL > DR$ となっている。図1において $DL = DR = DC$ とおくと図3においては、開口率を変化させない、つまり透明画素電極4を図1の位置から右方向へずらす形となるので $DL > DC$ 、 $DR < DC$ となる。

【0027】 $DC = DK$ とすると、図2の特性から考えて、 $Csd1 < Csd$ 、 $Csd2 > Csd$ となり、しかも図2におけるDK付近の曲線の急激な変化を考慮すると、 $Csd1$ は Csd に比べて大きく減少し、 $Csd2$ は Csd に比べて大きく増加することがわかる。このように $Csd1$ と $Csd2$ の値をDL、DRを変化させて意図的に異ならせることにより、開口率を低下させることなく特定のソースラインに対する Csd の値を低減させることができ、その結果、特定の背景パターンを想定した場合の縦クロストーク率を低減することができる。

【0028】（実施の形態2）本発明における実施の形態2について述べる。実施の形態2を説明するための説明図を図4に示す。図4において $Csd1$ と $Csd2$ の値をDL、DRを変化させて意図的に異ならせるという点においては実施の形態1と同様であるが、画素の駆動方法として容量結合駆動を用いることが本実施の形態における特徴である。

【0029】図4においては前段ゲートライン5bと透明画素電極4との間に蓄積容量を形成し、ゲートラインに補償電位パルスを重畳することによって容量結合駆動を行う場合を想定した画素構成となっているが、補償電位パルスを供給する駆動回路を独立に設け、これを蓄積容量形成用独立電極9に供給する、いわゆる独立容量結合駆動を用いてもよく、この場合は図1と同様に、蓄積容量形成用独立電極9と透明画素電極4との間に蓄積容量を形成する画素構成のままでよい。

【0030】容量結合駆動の利点は、対向電圧を一定のままで、ソース信号パルスの振幅を、通常の対向一定の駆動の場合よりも小さくできる点にあり、液晶の応答速度の高速化、及び低消費電力化が可能となる。一方、ドット反転駆動や2H1V反転駆動を用いる際に、横筋や、首振り横筋等の画質課題が生じるという欠点があり、このためにライン反転駆動を用いざるを得なかったが、ライン反転駆動を用いると、特定の背景パターンにおいて縦クロストークが発生しやすくなり問題となる。従って、本実施の形態のように縦クロストークを低減させる構成とすることで、縦クロストークと、それ以外の画質課題を両立することが可能となり、本発明による効果が増大する。

【0031】（実施の形態3）本発明における実施の形態3について述べる。実施の形態3を説明するための説

明図を図5に示す。図5はRGBの3画素分の画素構成を示しているが、ここでDL、DRをRGBの3種類について区別している。それぞれR、G、Bに対応するDL、DRを、それぞれDL(R)、DR(R)、DL(G)、DR(G)、DL(B)、DR(B)と記述することにする。実施の形態1、2において、 $DL \neq DR$ なる条件を満たすような画素構成について述べたが、これを全ての画素について行う必要は必ずしもなく、RGBごとに独立して構成することが可能となる。

【0032】RGBをそれぞれどのように構成するかについては、どのような背景パターンを想定するかを考慮したうえで設定する必要がある。本実施の形態では、背景パターンとしてシアンドット市松パターンを想定している。シアン系の表示は、ノート型、或いはモニター用PCにおいて頻繁に用いられ、ドット市松パターンと組み合わせ表示される場合も多いため、優先的に画像特性を改善する必要がある。図6は、表示画面内内の中央部に黒ウィンドウパターンが表示されている場合の各表示領域を示した説明図である。

【0033】図6において、画像表示面の中央のウィンドウ表示部19には黒レベルの信号が書き込まれている。ウィンドウ表示部19の周辺には背景パターン表示部20がある。ここで背景パターン表示部20を、ウィンドウ表示部19の境界を境目にして、カラム方向、又はライン方向に平行にそれぞれ2種類の領域に区別する。すなわちカラム方向についてはウィンドウ表示部19の存在するウィンドウカラム部21と、それ以外の背景カラム部22に分かれ、同じくライン方向についてもウィンドウ表示部19の存在するウィンドウライン部24と、それ以外の背景ライン部23に分かれる。

【0034】このときウィンドウカラム部21のうち背景ライン部23にも相当する領域は、背景カラム部22と同じ背景パターン表示部20内の一部分であるにもかかわらず、背景カラム部22に対し若干輝度が異なり、クロストーク表示部25として表示されている。このような画像不良の現象を縦クロストークという。次にこの現象を詳細に考察するために、ウィンドウカラム部21と背景カラム部22に対しそれぞれ画素RGB用ソースライン26a～26fに印加されるソース信号パルス波形を分析する。図7は、背景パターンとしてシアンドット市松パターンを表示させた場合の、RGB各画素に供給されるソース信号パルス波形を示した説明図である。

【0035】図7において、それぞれのソースラインに対し、背景ライン部23に対するパルス波形27a～27fを図7(a)に、ウィンドウライン部24に対するパルス波形28a～28fを図7(b)に示している。ウィンドウ表示部19における波形のみ、RGB全て黒信号である。すなわち黒レベルソース電圧(正極側)29(以下+V(BL)と記述する)と、黒レベルソース電圧(負極側)30(以下-V(BL)と記述する)とが交互に書き込まれるパルス波形2

8a~28cとなっている。ここで、電圧値AとBとが周期的に繰り返されるパルス波形を(A、B)と表現することになると、パルス波形28a~28cは、(+V(BL)、-V(BL))と記述できる。

【0036】それ以外の領域については背景表示部20内であるのでシアンドット市松パターン表示となる。シアンドット市松パターンは、RGBのうちRは黒表示で、GとBは中間調表示となる。ただしドット市松パターンであることから、1ラインごとに中間調表示と黒表示とが交互に書き込まれることになる。従って図7において画素Rに対応するパルス波形27a、27d、28dは、パルス波形28a~28cと同様に(+V(BL)、-V(BL))と記述され、画素G、Bに対応するパルス波形27b、27c、27e、27f、28b、28c、28e、28fは、中間調レベルソース電圧(正極側)31を+V(GL)とすると、(+V(GL)、-V(BL))と記述される。

【0037】次に画素RGBにそれぞれ書き込まれた画素電位が、1フィールド期間内に時間的にどのような変動を受けるかを図8に基づいて考察する。図8は、画素RGBの構成の概略を示す説明図である。図8において、ソースライン18、透明画素電極33、透明画素電極-ソースライン間容量34は画素RGBに対応して区別している。

【0038】図8からわかるように、各画素電位は保持された後もソースライン18に印加されるパルス波形の変化に影響を受けて周期的に変化する。画素電位の変動量はソース電位の変動振幅とソースライン-透明電極間容量(以下Csdと記述する)との積に比例する。注目すべき画素は中間調が書き込まれるGとBであるが、まず画素Bに注目する。図7はライン反転駆動を想定しているためRGBに印加されるパルス波形は全て同相であるが、ドット反転の場合はRGBは、隣同士で互いに逆相の関係にある(図省略)。

【0039】画素Bに対しては、クロストーク表示部25と背景カラム部22との1フィールド間の平均電位の差は、ライン反転駆動とドット反転駆動とではほぼ同レベルでしかも、 $|V(BL)-V(GL)|$ と、透明画素電極-ソースライン間容量34c(以下Csd1(B)と記述する)との積に比例する。これは図8におけるソースライン18cと透明画素電極-ソースライン間容量34cとのみに起因し、ソースライン18aと透明画素電極-ソースライン間容量35c(以下Csd1(B)と記述する)とは起因しないことを意味する。

【0040】なぜなら、ソースライン18aは全表示画面内において(+V(BL)、-V(BL))であり、同相、逆相に関わらず差は現れないからである。一方ソースライン18cは、図6におけるソースライン26cの信号振幅(V(BL)+V(GL))とソースライン26fの信号振幅(V(BL)+V(BL))の差 $|V(BL)-V(GL)|$ を有する。

【0041】以上より画素Bに関しては、ライン反転駆動とドット反転駆動とに関係なく、 $Csd1(B) < Csd2(B)$ 、すなわち図5において $DL(B) > DR(B)$ となるように画素B用透明画素電極33cを配置すれば、 $Csd1(B)$ を小さくすることができ、画素Bに起因する縦クロストークを抑制することができる。

【0042】一方画素Gについては、図8においてソースライン18bと18cとは、ドット反転駆動の場合は同じ信号パターンで互いに逆相であることから隣同士でキャンセルするため、クロストーク表示部25と背景カラム部22との1フィールド間の平均電位の差は、 $|V(BL)-V(GL)|$ と、透明画素電極-ソースライン間容量34b(以下Csd1(G)と記述する)と透明画素電極-ソースライン間容量35b(以下Csd2(G)と記述する)との差 $|Csd1(G)-Csd2(G)|$ との積に比例するのに対し、ライン反転駆動の場合は同相で、ソースライン18bとソースライン18cの両方が平均電位の差に起因するため、 $|V(BL)-V(GL)|$ と $(Csd1(G)+Csd2(G))$ との積に比例する。

【0043】以上より画素Bに関しては、ライン反転駆動とドット反転駆動とに関係なく、図8において $Csd1(B)=Csd2(B)$ 、すなわち図5において $DL(B)=DR(B)$ となるように画素G用透明画素電極33bを配置すれば、画素Bに起因する縦クロストークを最小にすることができる。その理由はドット反転駆動についてはもともと $Csd1(G)=Csd2(G)$ であれば完全にキャンセルできるのであるから、故意に $Csd1(G) \neq Csd2(G)$ とすると、その差異分だけむしろ電位変動が起こる原因となることから自明である。一方ライン反転駆動については図2の $Csd-DL(DR)$ 特性を考慮する必要がある。

【0044】 $Csd1(G)=Csd2(G)$ の場合のDL、DRが $DL=DR=DK$ であるとする、 $Csd1(G) \neq Csd2(G)$ の場合は、DLとDRのうちのどちらか一方がDKより大きくなり、もう一方はDKより小さくなることは自明である。ここで図2の特性を考慮すると、DL(DR)がDKより小さい場合はCsdは急激に増加するのに対し、DL(DR)がDKより大きい場合はCsdは緩やかに減少している。すなわち $DL=DR=DK$ からどちらの方向にずれてもトータルでは増加分が大きい。従って $(Csd1(G)+Csd2(G))$ は $DL=DR$ 、すなわち $Csd1(G)=Csd2(G)$ の場合にほぼ最小化されていると考えることができる。

【0045】以上の考察を総合した結果、図5に示すように、 $DL(R)=DR(R)$ 、 $DL(G)=DR(G)$ 、 $DL(B) > DR(B)$ を満たすように画素RGBをそれぞれ構成することによって、背景パターンとしてシアンドット市松パターンが表示された場合でも、縦クロストークレベルの低い良好な画像特性を得ることが可能となる。

【0046】(実施の形態4)本発明における実施の形

態4について述べる。実施の形態4を説明するための説明図を図9に示す。図9は、図5と同様にRGBの3画素分の画素構成を示しており、画素G、画素Bにおいては図5と同様に $DL(G)=DR(G)$ 、 $DL(B)>DR(B)$ となるよう構成しているが、画素Rについては、図5では $DL(R)=DR(R)$ であるのに対し、図9では $DL(R)>DR(R)$ としている。

【0047】背景パターンとしてシアンドット市松パターンのみを想定する場合は、画素Rは黒レベルしか書き込まれないので、電位変化は輝度変化にほとんど影響しないため、図5では特に画素Rに留意しなかったが、画素Rに中間調レベルを含むドットパターンが印加される場合を想定した場合、結果的には少なくとも画素Gにも中間調レベルを含むドットパターンが印加される場合には最も縦クロストークを抑制できる構成となっている。

【0048】それに対し、本実施の形態では、画素Rに中間調レベルを含むドットパターンが印加される場合において、少なくとも画素Gには黒レベルしか書き込まれないような背景表示パターンに対して縦クロストークを抑制することが可能な構成となっている。

【0049】尚、図9において、画素Gに対しては図5と同様に $DL(G)=DR(G)$ としているが、この場合は実施の形態3とは逆に、画素Gは黒レベルしか書き込まれないために、特に $DL(G)=DR(G)$ である必要はなく、 $DL(G)\neq DR(G)$ でも問題とはならない。

【0050】（実施の形態5）本発明における実施の形態5について述べる。実施の形態5を説明するための説明図を図10に示す。図10は、実施の形態3における図5と同様に $DL(R)=DR(R)$ 、 $DL(G)=DR(G)$ 、 $DL(B)>DR(B)$ を満たす構成となっているが、唯一異なるのは $DR(B)$ の長さのとり方である。

【0051】ここで $DL(R)=DR(R)=DL(G)=DR(G)=DC$ とおくと、実施の形態3では $DL(B)+DR(B)=2\times DC$ を保っているので、 $DL(B)>DC$ 、 $DR(B)<DC$ となっている。 $DL(B)+DR(B)=2\times DC$ を保つことはすなわち透明画素電極4の幅を画素RGBにおいて一定に保つことを意味しているが、これは開口率を低下させることなく縦クロストークを抑制するためである。

【0052】しかしながら、一般にDCの長さは、マスク合わせマージン限界値16(以下DKと記述する)に設定する場合が多く、上記構成では $DC=DK$ より、 $DR(B)<DK$ 、すなわち $DR(B)$ がマスク合わせマージンの限界値以下に設定されてしまう。

【0053】この結果 $DR(B)<0$ 、すなわち透明画素電極4のパターンと、画素R用ソースライン18aのパターンとがパッシベーション用絶縁膜12を介して一部オーバーラップする可能性が生じる。このようになると、画素R用ソースライン18aに対する容量負荷が必要以上に大きくなったり、透明画素電極4と画素R用ソースライン

18aとのショートによる不良が発生する可能性が高くなり、問題となる。

【0054】そこで本実施の形態では、 $DR(B)=DC$ とする構成とする。ここで $DC=DK$ とすると $DR(B)=DK$ となり、すなわち少なくともマスク合わせマージンの限界値は保たれているので、前述のような問題を解決できる。ただしこの場合は $DL(B)+DR(B)<2\times DC$ となり、画素R、画素Gよりも開口率が若干小さくなるという欠点があるが必要最小限にはとどめることができる。

【0055】（実施の形態6）本発明における実施の形態6について述べる。実施の形態6を説明するための説明図を図11に示す。図11は、画像表示部の水平方向にある一定距離隔てられた2つの画素の構成を比較したものであり、ここでは特に画素Bのみについて比較している。

【0056】また、画素Bの構成としては、基本的には実施の形態3に示したように、 $DL(B)>DR(B)$ なる関係を満たすような構成をとるものとする。

【0057】図11(a)、(b)において、(a)に示す画素Xは(b)に示す画素Yよりも相対的にゲートライン5の、より給電端側に存在するものとしている。大型高精細液晶表示素子においては、ゲートパルス波形が終電端に近づくにつれてなまってくることにより、ゲートパルスがオフする際に起こる突き抜けと呼ばれる現象と同時に再充電と呼ばれる現象が起こるため、ゲートライン5に平行な方向にDCオフセット電圧が発生し、これによりフリッカが発生することが近年問題になってきており、これを解決するために、容量傾斜補正と呼ばれる手法が用いられている。

【0058】これは、具体的には画像表示部を前記ゲートラインの長さ方向に対して複数の領域に分割し、各領域ごとに前記蓄積容量(以下 C_{st} と記述)と、前記ゲート電極—前記画素電極間容量(以下 C_{gd} と記述)との比を異なった値に設定して形成することで突き抜け電圧を終電端へ行くに従って大きくしていき、再充電の影響を補償する方法である。

【0059】一般に突き抜け電圧(以下 V_{ts} と記述)は、液晶容量を C_{lc} 、ゲートパルスのオン電圧を V_{gh} 、同じくオフ電圧を V_{gl} とすると、 $V_{ts}=(C_{gd}/C_{tot})\times(V_{gh}-V_{gl})$ と記述できる。ここで、 $C_{tot}=C_{lc}+C_{st}+C_{gd}$ としている。この式より、 V_{ts} を変化させる方法としては C_{st} を変化させる方法と、 C_{gd} を変化させる方法とがあることがわかり、実際に用いられている。ここで C_{tot} は透明画素電極4に接続している全ての容量の和でなければならない、従って厳密には C_{sd} も加えて、 $C_{tot}=C_{lc}+C_{st}+C_{gd}+C_{sd}$ と表せる。

【0060】一般的には C_{sd} は非常に小さい値となるため通常は C_{sd} を無視している。しかしながら、DL

(B)>DR(B)のようにDR(B)を通常よりも小さくすると、Csd2(B)は急激に大きな値となり、無視できなくなる。このとき、Csdを変化させることによって、容量傾斜補正を行うことが可能となる。

【0061】図11(a)において画素Xにおける当該ソースラインー透明画素電極間距離36a(以下DL(X)と記述する)と画素Xにおける次段ソースラインー透明画素電極間距離37a(以下DR(X)と記述する)との間には、DL(X)>DR(X)なる関係が満たされており、同じく図11(b)においても画素Yにおける当該ソースラインー透明画素電極間距離36b(以下DL(Y)と記述する)と画素Yにおける次段ソースラインー透明画素電極間距離37b(以下DR(Y)と記述する)との間には、DL(Y)>DR(Y)なる関係が満たされている。

【0062】ここでDL(X)、DL(Y)は、縦クロストークを抑制する最小限の長さに設定されており、異なる画素間で等しくする必要がある。すなわちDL(X)=DL(Y)としている。

【0063】一方、DR(X)、DR(Y)は容量傾斜補正をするために異なる値に設定している。画素Yの方が、画素Xよりも突き抜け電圧を大きくしなければならぬので、Csdの値は小さく、すなわちDR(Y)は大きくする必要がある。従って、DR(X)<DR(Y)としている。

【0064】このようにすると、透明画素電極4の面積は、画素Yの方が画素Xよりも小さくなるので、一見開口率が低くなるように思われるが、実際にはブラックマトリクスパターン38が透明画素電極4のパターンエッジを覆っているため、開口率はブラックマトリクスパターン38のエッジにより規定されているため、この方法を用いると、開口率を変化させずに容量傾斜補正を行うことができるという利点が生じることがわかる。

【0065】

【発明の効果】本発明は、以上説明したような形態で実施され、高精細の液晶表示素子に対しても、縦クロストークレベルの低い、すなわち高画質品位を保持した液晶表示素子を、製造工程を追加することなく容易に実現することができる。

【図面の簡単な説明】

【図1】従来における1画素内の配置構成を示す説明図

【図2】ソースラインー透明画素電極間容量とソースラインー透明画素電極間距離との相関を示す特性曲線を示す図

【図3】本発明の実施の形態1の液晶表示素子における1画素内の配置構成を示す説明図

【図4】本発明の実施の形態2の液晶表示素子における1画素内の配置構成を示す説明図

【図5】本発明の実施の形態3の液晶表示素子におけるRGB各画素内の配置構成を示す説明図

【図6】表示画面内ウィンドウパターンを示す説明図

【図7】シアンドット市松パターンにおけるソース信号パルス波形を示す説明図

【図8】画素RGBの構成の概略を示す説明図

【図9】本発明の実施の形態4の液晶表示素子におけるRGB各画素内の配置構成を示す説明図

【図10】本発明の実施の形態5の液晶表示素子におけるRGB各画素内の配置構成を示す説明図

【図11】本発明の実施の形態6の液晶表示素子における異なるカラム上の2画素内の配置構成を示す説明図

【符号の説明】

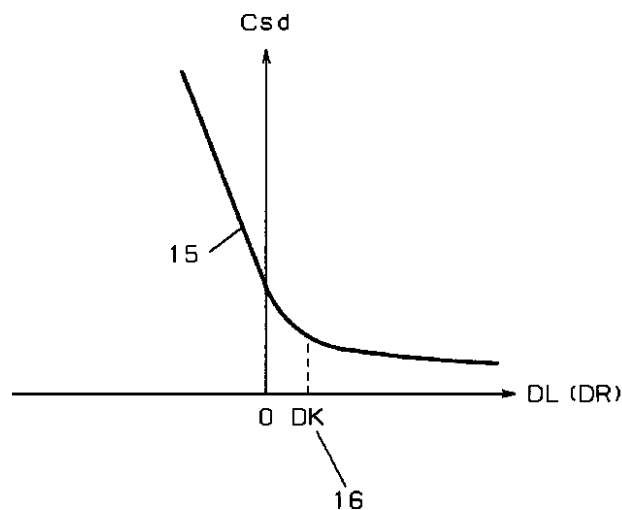
- 1 a 当該ソースライン
- 1 b 次段ソースライン
- 2 ソース電極
- 3 ドレイン電極
- 4 透明画素電極
- 5 a 当該ゲートライン
- 5 b 前段ゲートライン
- 6 ゲート電極
- 7 シリコン膜
- 7 a シリコン膜(ノンドープ層)
- 7 b シリコン膜(n+ドープ層)
- 8 コンタクト部
- 9 蓄積容量形成用独立電極
- 10 当該ソースラインー透明画素電極間距離：DL
- 10 a 画素Rにおける当該ソースラインー透明画素電極間距離：DL(R)
- 10 b 画素Gにおける当該ソースラインー透明画素電極間距離：DL(G)
- 10 c 画素Bにおける当該ソースラインー透明画素電極間距離：DL(B)
- 11 次段ソースラインー透明画素電極間距離：DR
- 11 a 画素Rにおける次段ソースラインー透明画素電極間距離：DR(R)
- 11 b 画素Gにおける次段ソースラインー透明画素電極間距離：DR(G)
- 11 c 画素Bにおける次段ソースラインー透明画素電極間距離：DR(B)
- 12 パッシベーション用絶縁膜
- 13 ゲート絶縁膜
- 14 アレイ用ガラス基板
- 15 Csd-DL(DR)特性曲線
- 16 マスク合わせマージン限界値：DK
- 17 蓄積容量部
- 18 a 画素R用ソースライン：VSR
- 18 b 画素G用ソースライン：VSG
- 18 c 画素B用ソースライン：VSB
- 19 ウィンドウ表示部
- 20 背景パターン表示部
- 21 ウィンドウカラム部
- 22 背景カラム部

23 背景ライン部
 24 ウィンドウライン部
 25 クロストーク表示部
 26 a 画素R用ソースライン(ウィンドウカラム部):
 VSR(BX)
 26 b 画素G用ソースライン(ウィンドウカラム部):
 VSG(BX)
 26 c 画素B用ソースライン(ウィンドウカラム部):
 VSB(BX)
 26 d 画素R用ソースライン(背景カラム部): VSR 10
 (GL)
 26 e 画素G用ソースライン(背景カラム部): VSG
 (GL)
 26 f 画素B用ソースライン(背景カラム部): VSB
 (GL)
 27 a VSR(BX)用パルス波形(背景ライン部)
 27 b VSG(BX)用パルス波形(背景ライン部)
 27 c VSB(BX)用パルス波形(背景ライン部)
 27 d VSR(GL)用パルス波形(背景ライン部)
 27 e VSG(GL)用パルス波形(背景ライン部)
 27 f VSR(GL)用パルス波形(背景ライン部)
 28 a VSR(BX)用パルス波形(ウィンドウライン
 部)
 28 b VSG(BX)用パルス波形(ウィンドウライン
 部)
 28 c VSB(BX)用パルス波形(ウィンドウライン
 部)
 28 d VSR(GL)用パルス波形(ウィンドウライン
 部)
 28 e VSG(GL)用パルス波形(ウィンドウライン 30
 部)

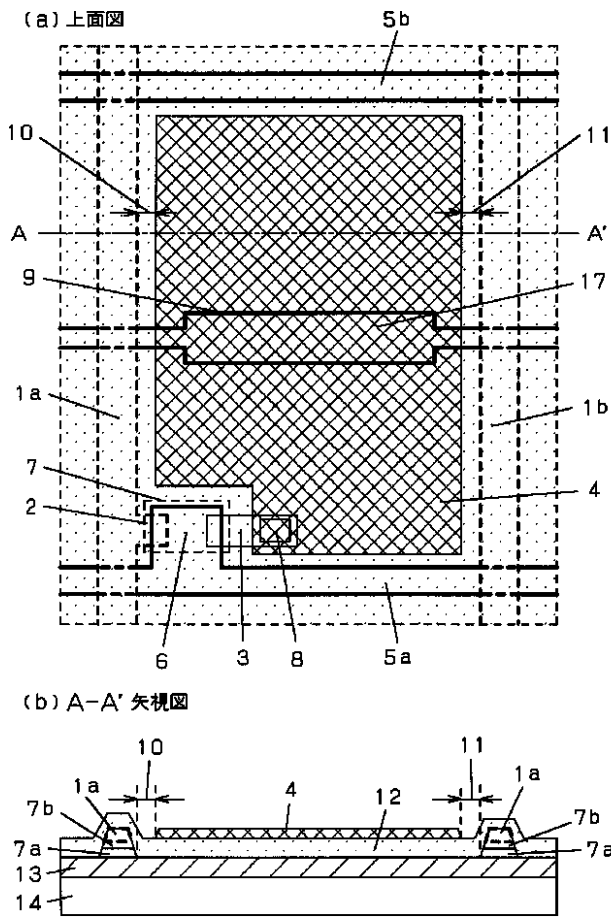
*

*28 f VSR(GL)用パルス波形(ウィンドウライン
 部)
 29 黒レベルソース電圧(正極側): +V(BL)
 30 黒レベルソース電圧(負極側): -V(BL)
 31 中間調レベルソース電圧(正極側): +V(GL)
 32 画素トランジスタ
 33 a 画素R用透明画素電極
 33 b 画素G用透明画素電極
 33 c 画素B用透明画素電極
 34 a 画素R用透明画素電極ー画素R用ソースライン
 間容量: $Csd1(R)$
 34 b 画素G用透明画素電極ー画素G用ソースライン
 間容量: $Csd1(G)$
 34 c 画素B用透明画素電極ー画素B用ソースライン
 間容量: $Csd1(B)$
 35 a 画素R用透明画素電極ー画素G用ソースライン
 間容量: $Csd2(R)$
 35 b 画素G用透明画素電極ー画素B用ソースライン
 間容量: $Csd2(G)$
 20 35 c 画素B用透明画素電極ー画素R用ソースライン
 間容量: $Csd2(B)$
 36 a 画素Xにおける当該ソースラインー透明画素電
 極間距離: $DL(X)$
 36 b 画素Yにおける当該ソースラインー透明画素電
 極間距離: $DL(Y)$
 37 a 画素Xにおける次段ソースラインー透明画素電
 極間距離: $DR(X)$
 37 b 画素Yにおける次段ソースラインー透明画素電
 極間距離: $DR(Y)$
 38 ブラックマトリクスパターン

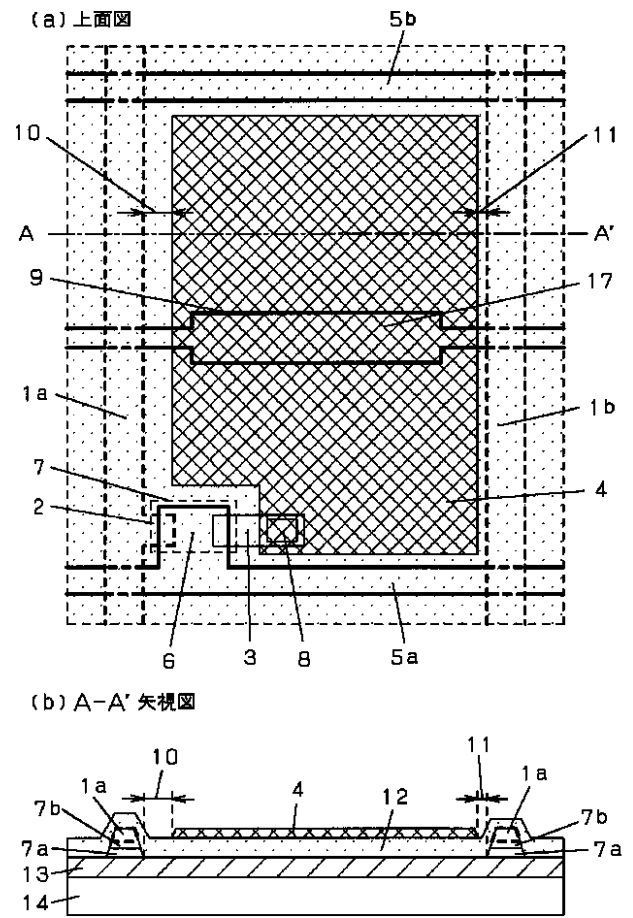
【図2】



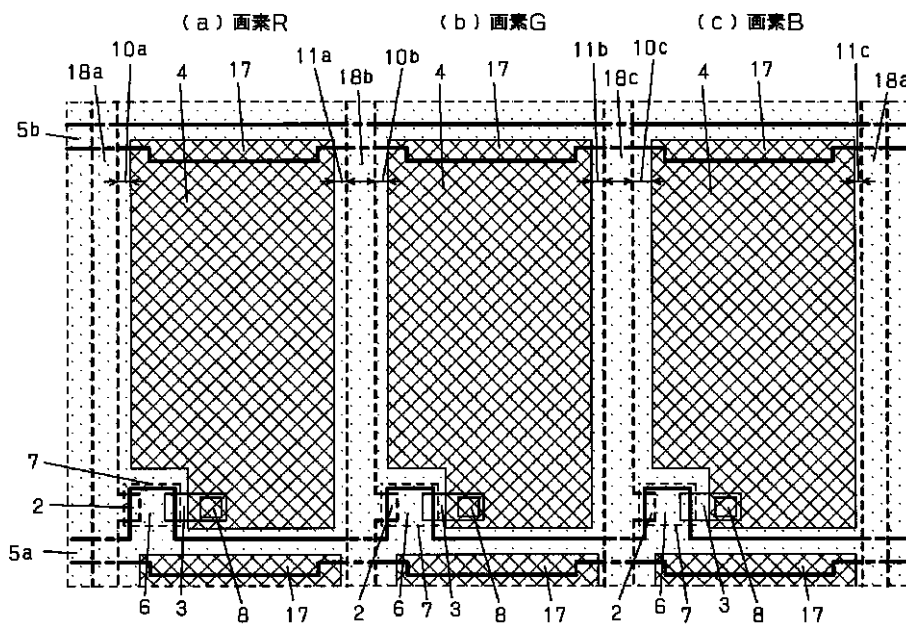
【図1】



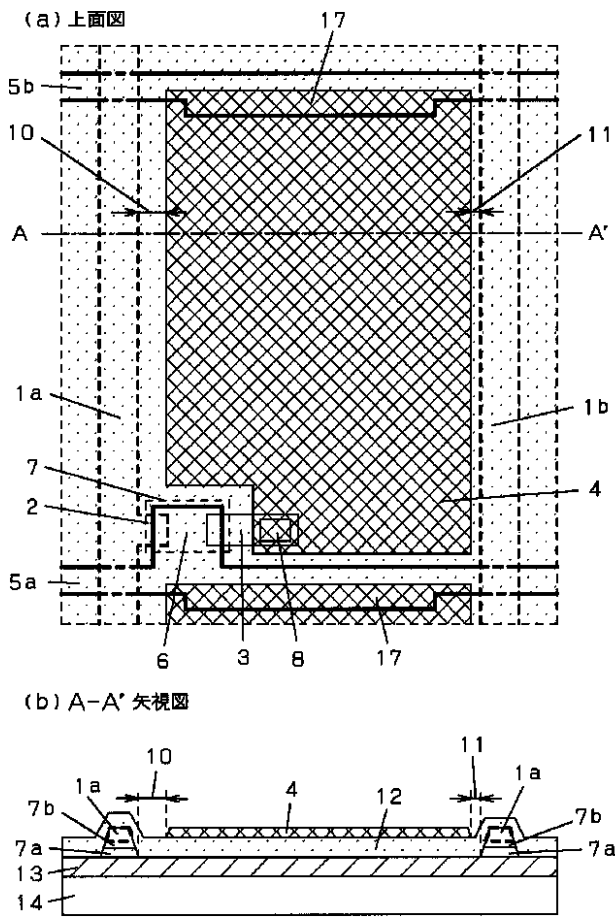
【図3】



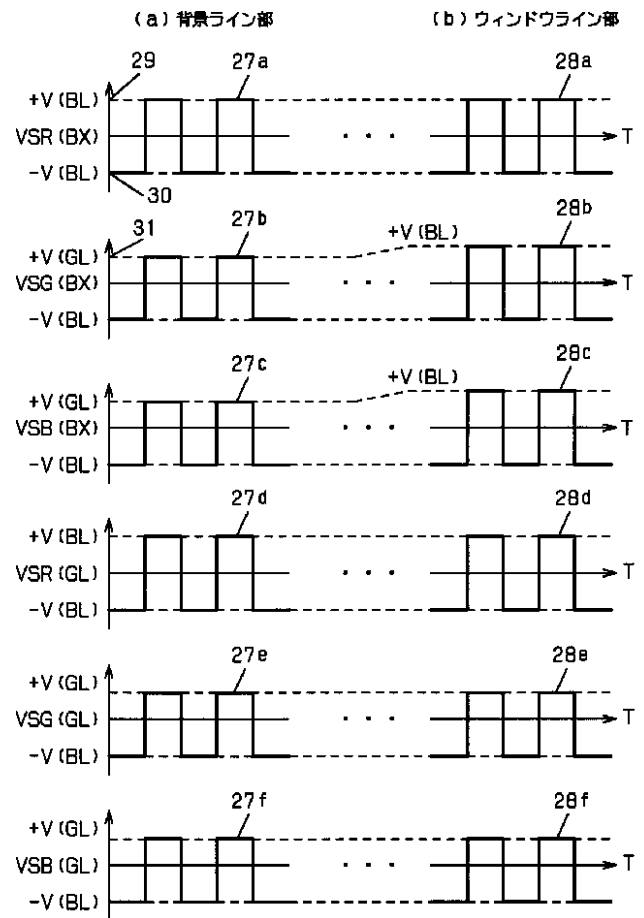
【図5】



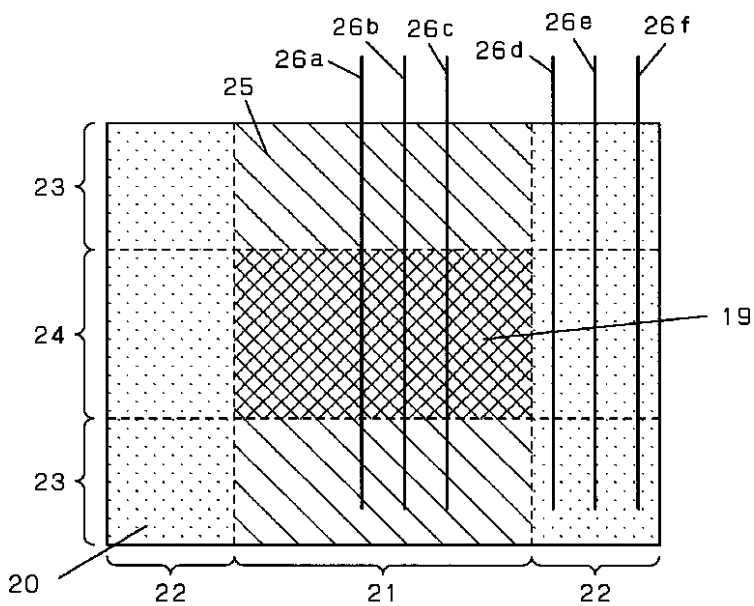
【図4】



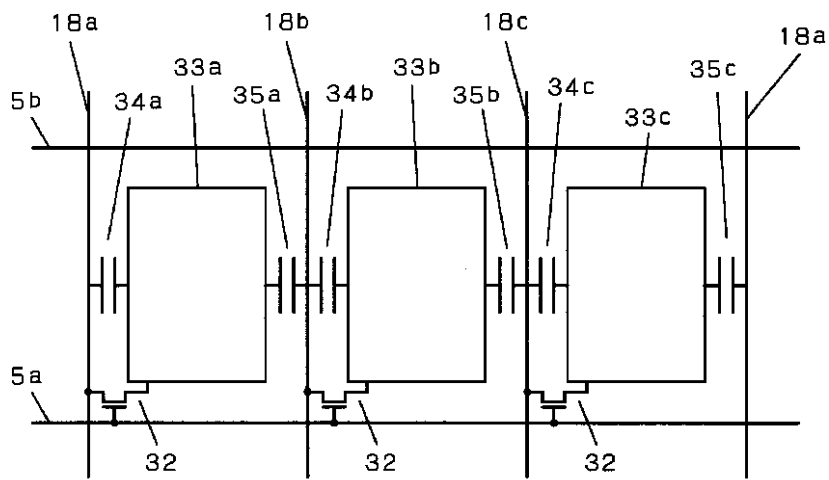
【図7】



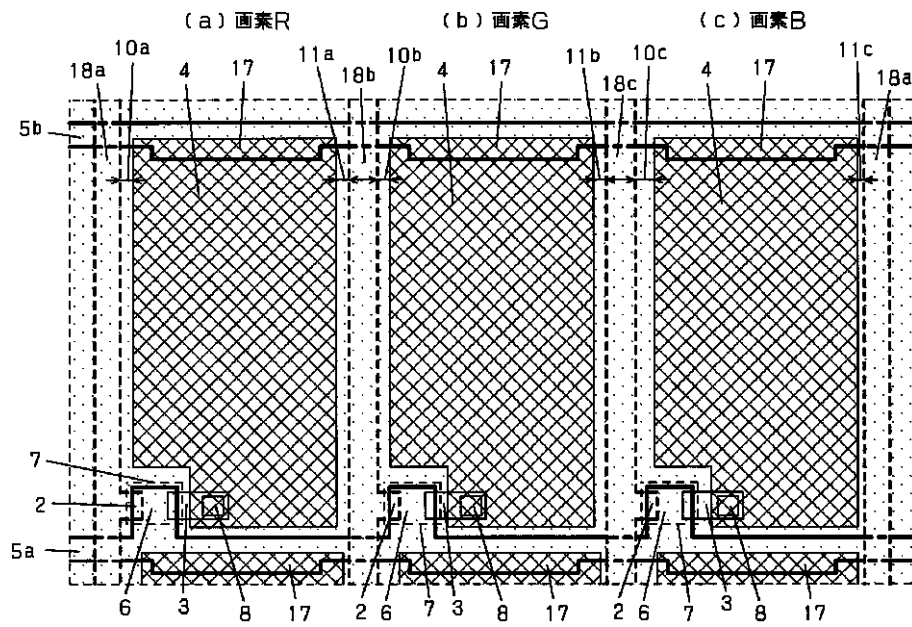
【図6】



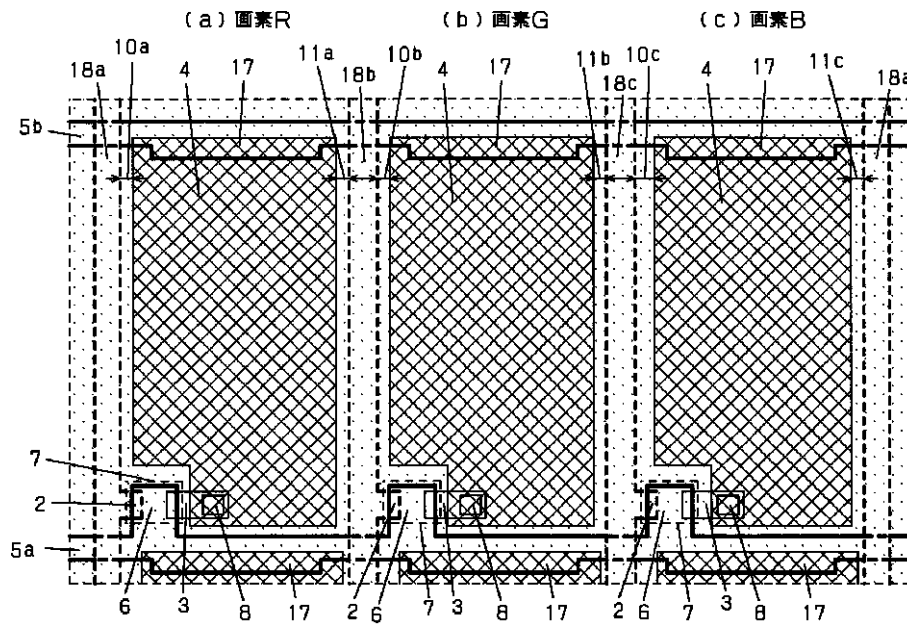
【図8】



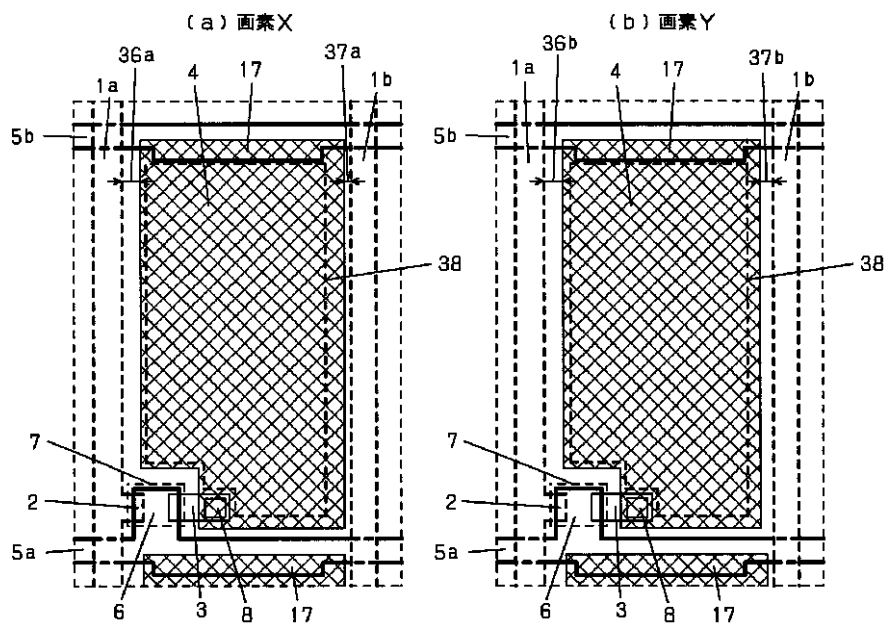
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20
3/36

識別記号

6 8 0

F I

G 0 9 G 3/20
3/36

テーマコード^{*} (参考)

6 8 0 G

(72)発明者	木村 雅典 大阪府門真市大字門真1006番地 松下電器 産業株式会社内	F ターム(参考)	2H092	GA21	JA24	JB64	JB69	NA01
			2H093	NA16	NA31	NA32	NA43	NA53
				NC09	NC11	ND15	ND35	
(72)発明者	熊川 克彦 大阪府門真市大字門真1006番地 松下電器 産業株式会社内		5C006	AA22	AC26	AF42	AF43	AF54
				BB16	BC06	BF37	FA04	FA36
				GA02				
			5C080	AA10	BB05	CC03	DD10	FF07
				JJ01	JJ03	JJ04	JJ05	JJ06

专利名称(译)	有源矩阵液晶显示元件		
公开(公告)号	JP2002250937A	公开(公告)日	2002-09-06
申请号	JP2001051795	申请日	2001-02-27
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	冈田隆史 田中幸生 木村雅典 熊川克彦		
发明人	冈田 隆史 田中 幸生 木村 雅典 熊川 克彦		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1343 G09G3/20 G09G3/36		
FI分类号	G02F1/1368 G02F1/133.525 G02F1/133.550 G02F1/1343 G09G3/20.611.D G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/GA21 2H092/JA24 2H092/JB64 2H092/JB69 2H092/NA01 2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA43 2H093/NA53 2H093/NC09 2H093/NC11 2H093/ND15 2H093/ND35 5C006/AA22 5C006/AC26 5C006/AF42 5C006/AF43 5C006/AF54 5C006/BB16 5C006/BC06 5C006/BF37 5C006/FA04 5C006/FA36 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD10 5C080/FF07 5C080/JJ01 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/AA42 2H192/DA02 2H192/DA41 2H192/DA71 2H192/GD61 2H193/ZC02 2H193/ZD23		
外部链接	Espacenet		

摘要(译)

解决的问题：为了实现垂直串扰水平低的液晶显示元件，即，即使对于高清晰度的液晶显示元件也要保持高图像质量。 解决方案：像素电极左端的图案边缘与靠近像素电极左侧的源极线右端的图案边缘之间的距离DL，以及像素电极右端和与像素电极右侧相邻的源极的图案边缘之间的距离DL。 -设置像素电极与源极线之间的位置关系，使得距源极线的左端的图案边缘的距离DR具有不同的值。

