

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号
WO2007/007768

発行日 平成21年1月29日 (2009. 1. 29)

(43) 国際公開日 平成19年1月18日 (2007. 1. 18)

(51) Int. Cl.			F I			テーマコード (参考)		
G 0 9 G	3/36	(2006. 01)	G 0 9 G	3/36		2 H 0 9 3		
G 0 9 G	3/20	(2006. 01)	G 0 9 G	3/20	6 2 4 A	5 C 0 0 6		
G 0 2 F	1/133	(2006. 01)	G 0 9 G	3/20	6 2 3 R	5 C 0 8 0		
			G 0 9 G	3/20	6 1 2 G			
			G 0 9 G	3/20	6 2 3 D			
審査請求 有 予備審査請求 未請求						(全 26 頁)		最終頁に続く

出願番号	特願2007-524667 (P2007-524667)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2006/313795		シャープ株式会社
(22) 国際出願日	平成18年7月11日 (2006. 7. 11)		大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
(31) 優先権主張番号	特願2005-206105 (P2005-206105)	(74) 代理人	110000338
(32) 優先日	平成17年7月14日 (2005. 7. 14)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	山本 悦雄
(31) 優先権主張番号	特願2005-362193 (P2005-362193)		日本国大阪府大阪市阿倍野区長池町 2 2 番
(32) 優先日	平成17年12月15日 (2005. 12. 15)		2 2 号 シャープ株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	村上 祐一郎
			日本国大阪府大阪市阿倍野区長池町 2 2 番
			2 2 号 シャープ株式会社内
		(72) 発明者	佐々木 寧
			日本国大阪府大阪市阿倍野区長池町 2 2 番
			2 2 号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその駆動方法

(57) 【要約】

各ソースバスライン（11）に、画素トランジスタ（14）と同極性であり、そのゲートに画素トランジスタ（14）のオフ電位信号（VSS）が与えられる電荷抜きトランジスタ（31）を備える。アクティブマトリクス型液晶表示装置の電源オフ時には、上記オフ電位信号（VSS）を画素トランジスタ（14）のオン電位信号（VDDG）よりも先にGNDレベルの電位まで到達させ、画素トランジスタ（14）および電荷抜きトランジスタ（31）を半開き状態として、各画素（13）に蓄積されている電荷を共通電極TCOMへ逃がす。

【特許請求の範囲】**【請求項 1】**

複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインとゲートバスラインとの交点ごとに、画素トランジスタを介して接続された画素を備えたアクティブマトリクス型液晶表示装置において、

各ソースバスラインに、上記画素トランジスタと同極性であり、そのゲートに該画素トランジスタのオフ電位信号が与えられる電荷抜きトランジスタを備えていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

上記アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。 10

【請求項 3】

複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインとゲートバスラインとの交点ごとに、画素トランジスタを介して接続された画素を備えたアクティブマトリクス型液晶表示装置において、

各ソースバスラインに備えられ、上記画素トランジスタと同極性である電荷抜きトランジスタと、

上記画素トランジスタのオン電位信号とオフ電位信号とからゲート制御電位を生成し、生成された上記ゲート制御電位を上記電荷抜きトランジスタのゲートに与える電位制御手段とを有しており、 20

上記電位制御手段によって生成されるゲート制御電位は、

該アクティブマトリクス型液晶表示装置の動作中は、上記電荷抜きトランジスタをオフする電位であり、

該アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられることにより、上記電荷抜きトランジスタをオンする電位に変化することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 4】

上記電荷抜きトランジスタのゲートには、該電荷抜きトランジスタを制御する第 1 のバッファが接続されており、 30

各ゲートバスラインには、画素トランジスタを制御する第 2 のバッファが接続されており、

上記第 1 のバッファは、上記第 2 のバッファと同じサイズ及び電源関係を有することを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】

上記各ソースバスラインは、上記電荷抜きトランジスタを介して共通電極と接続されていることを特徴とする請求項 1 または 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 6】

アクティブマトリクス型液晶表示装置の電源オフ時に、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させる電源制御回路を備え、 40

上記電源制御回路の少なくとも一部を液晶表示パネルに内蔵していることを特徴とする請求項 2 または 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 7】

上記電源制御回路は、

画素トランジスタのオン電位信号を生成する第 1 の電源回路と、

画素トランジスタのオフ電位信号を生成する第 2 の電源回路と、

上記液晶表示パネルに内蔵されており、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第 1 の電源回路の電荷を抜く第 1 の放電回路と、 50

上記液晶表示パネルに内蔵されており、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第2の電源回路の電荷を抜く第2の放電回路とを備えており、

上記第1および第2の放電回路は、トランジスタからなるスイッチのオン・オフ制御によって記第1および第2の電源回路の電荷を抜くものであって、該第1および第2の放電回路におけるトランジスタサイズを異ならせることによって、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させることを特徴とする請求項6に記載のアクティブマトリクス型液晶表示装置。

【請求項8】

上記電源制御回路は、

画素トランジスタのオン電位信号を生成する第1の電源回路と、

10

画素トランジスタのオフ電位信号を生成する第2の電源回路と、

上記液晶表示パネルに内蔵され、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第1の電源回路の電荷を抜く第1の放電回路と、

上記液晶表示パネルに内蔵され、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第2の電源回路の電荷を抜く第2の放電回路とを備えており、

上記第1および第2の放電回路に接続される配線負荷を異ならせることによって、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させることを特徴とする請求項6に記載のアクティブマトリクス型液晶表示装置。

【請求項9】

20

上記電源制御回路は、

画素トランジスタのオン電位信号を生成する第1の電源回路と、

画素トランジスタのオフ電位信号を生成する第2の電源回路と、

上記液晶表示パネルに内蔵され、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第1の電源回路の電荷を抜く第1の放電回路と、

上記液晶表示パネルに内蔵され、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第2の電源回路の電荷を抜く第2の放電回路とを備えており、

上記第1および第2の電源回路に接続される容量及び負荷を異ならせることによって、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させることを特徴とする請求項6に記載のアクティブマトリクス型

30

【請求項10】

上記電源制御回路は、

画素トランジスタのオン電位信号を生成する第1の電源回路と、

画素トランジスタのオフ電位信号を生成する第2の電源回路と、

上記液晶表示パネルに内蔵され、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第1の電源回路の電荷を抜く第1の放電回路と、

上記液晶表示パネルに内蔵され、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第2の電源回路の電荷を抜く第2の放電回路と、

上記液晶表示パネルの外部に接続され、上記第1および第2の電源回路から出力される信号電圧を安定させる平滑コンデンサとを備えており、

40

上記平滑コンデンサの容量を異ならせることによって、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させることを特徴とする請求項6に記載のアクティブマトリクス型液晶表示装置。

【請求項11】

複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインとゲートバスラインとの交点ごとに、画素トランジスタを介して接続された画素を備えたアクティブマトリクス型液晶表示装置の駆動方法において、

各ソースバスラインに、上記画素トランジスタと同極性であり、そのゲートに該画素トランジスタのオフ電位信号が与えられる電荷抜きトランジスタを備え、

50

該アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させることで、上記画素トランジスタおよび上記電荷抜きトランジスタを半開き状態として、各画素に蓄積されている電荷を逃がすことを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置では、その表示素子は容量型素子であり、液晶層を挟持するように配置された電極間に電圧を印加し、液晶層の透過率を画素毎に制御することで画像表示が行われる。また、アクティブマトリクス型液晶表示装置では、画素電極はスイッチング素子（画素トランジスタ）を介してソースバスラインと接続されており、非選択期間の画素は該スイッチング素子をオフすることで電荷が保持される。

【0003】

このようなアクティブマトリクス型液晶表示装置では、その電源をオフする時に画素電極に保持されている電荷を抜く必要がある。これはもちろん、電源がオフされたアクティブマトリクス型液晶表示装置において、画素電極に電荷が残っていると表示画像が消えないためである。

【0004】

尚、電源がオフされたアクティブマトリクス型液晶表示装置では、最終的には全てのソースバスラインおよびゲートバスラインの電位はGNDレベルに落とされ、リーク電流によって各画素の保持電荷はある程度の時間が経過すれば無くなる。つまり、パネル内の回路や画素等に残存する電荷と結びつき、最終的にパネル全体が同電位に近づくため、表示画像が消える。しかしながらこの場合、画素の電荷が抜けるまでに時間がかかりすぎ、表示画像が消えるまでの間に電荷残りによって見える画像乱れが表示乱れとして見える。したがって、上記アクティブマトリクス型液晶表示装置では、その電源オフ時に、画素電極の電荷を迅速に抜く工夫が必要となる。これについて、一つの方法を図10を参照して説明する。

【0005】

図10には、アクティブマトリクス型液晶表示装置の、ソースバスライン101の1ライン分についての構成を示している。図10に示すように、各画素103は、画素トランジスタ104を介してソースバスライン101に接続されている。すなわち、各画素103における画素電極は、画素トランジスタ104のドレインに接続され、画素トランジスタ104のソースにソースバスライン101が接続される。さらに、画素トランジスタ104のゲートは、ゲートバスライン102に接続される。

【0006】

ソースバスライン101における表示信号供給側（図10では上側）には、そのソースバスライン101への表示信号の印加をオン／オフするサンプリングトランジスタ105、およびサンプリングトランジスタ105を制御する信号の最終バッファ106が接続されている。また、ゲートバスライン102における走査信号供給側（図10では左側）には、ゲートバスライン102に印加される走査信号を制御する最終バッファ107が接続されている。

図10の構成において、液晶表示装置の電源オフ時に画素電極の電荷を迅速に抜くには、VSSの電位をVDDの電位よりも先にGNDに落とすことが考えられる。図11には、液晶表示装置の電源オフにより、VSSおよびVDDの電位がGNDまでに落ちる過程を示している。

【0007】

10

20

30

40

50

この時、VSSの電位をVDDより先にGNDにすることで、走査信号のLOWレベルが上昇し、VSS電位の走査信号が与えられている画素トランジスタ104が半開き（完全なON状態ではないが、ある程度の導通性は有する状態）となる。これにより、画素103に充電されている電荷を、画素トランジスタ104を介してソースバスラインに逃がすことができる。また、画素トランジスタ104とサンプリングトランジスタ105とが同極性のトランジスタである場合（図10では、画素トランジスタ104とサンプリングトランジスタ105とは、共にNch）には、VSSの電位をGNDにすることで、サンプリングトランジスタ105も半開きとなる。これにより、ソースバスラインに逃がされた電荷はサンプリングトランジスタ105を介して外部に逃がされる。

【0008】

10

また、これとは別の方法で、アクティブマトリクス型液晶表示装置の電源オフ時に、画素電極の電荷を抜く方法が、特許文献1および特許文献2に開示されている。

【0009】

すなわち、特許文献1には、各ソースバスラインを、CMOS型FETを介して共通信号電源と接続し、液晶表示装置の電源オフ時には、全ての画素のアクティブ素子（画素トランジスタ）を導通すると共に、上記CMOS型FETを導通して各ソースバスラインに共通信号電位を供給し、各画素の電位差を無くす方法が開示されている。

【0010】

また、特許文献2には、液晶表示装置の電源オフ時に、全ての画素のアクティブ素子（画素トランジスタ）を導通すると共に、各ソースバスラインにはソースドライバより共通信号電位と同電位を与える方法が開示されている。

20

【特許文献1】日本国公開特許公報「特開2000-347627号（2000年12月15日公開）」

【特許文献2】日本国公開特許公報「特開2004-45785号（2004年2月12日公開）」

【発明の開示】

【0011】

しかしながら、図10にて説明した上記従来の構成では、画素トランジスタとサンプリングトランジスタとが同極性のトランジスタである場合には画素電極の電荷を抜くことができるものの、これらのトランジスタが異なる極性である場合には画素電極の電荷を抜くことができない、といった問題がある。これを説明すると以下の通りである。

30

【0012】

図12に、画素トランジスタ114とサンプリングトランジスタ115とを異なる極性のトランジスタで構成した場合を示す。すなわち、図12の構成では、画素トランジスタ104はNchであるが、サンプリングトランジスタ115はPchである。

【0013】

図12の構成の場合も、VSSの電位をVDDの電位よりも先にGNDに落とすことで、図10の構成と同様に、画素トランジスタ114を半開きとする期間を得ることができる。しかしながら、画素トランジスタ114を半開きとしても、同時にサンプリングトランジスタ115も導通状態としなければ、画素103から抜けた電荷がソースバスライン101を通じて逃げることはできない。図12の構成では、サンプリングトランジスタ115がPchで構成されており、VSSの電位がGNDレベルに上昇すると、サンプリングトランジスタ115の制御信号のON信号レベルが上昇し、該サンプリングトランジスタ115が導通しにくくなる。したがって、電源オフ時に、画素103から抜けた電荷がソースバスライン101からは抜けることができずに、画素103の液晶層には電位がかかってしまい、画像の乱れを起こしてしまう。

40

【0014】

また、図13に示すように、画素トランジスタ124がPch、サンプリングトランジスタ125がNchである場合にも、同様の問題は存在する。この場合、図14に示すように、VDDGの電位をVSSの電位よりも先にGNDレベルに落とすことで、画素トラ

50

ンジスタ124を半開きとすることができるが、このとき、サンプリングトランジスタ125の制御信号のON信号レベルが下降するため、該サンプリングトランジスタ125が導通しにくくなる。

【0015】

また、図15および図16は、サンプリングトランジスタをNchのサンプリングトランジスタ135AおよびPchのサンプリングトランジスタ135Bにて形成した場合である。サンプリングトランジスタ135Aのゲートには、最終バッファ136Aが接続されており、サンプリングトランジスタ135Bのゲートには、最終バッファ136Bが接続されている。また、図15はNchの画素トランジスタ104を備えた構成であり、図16はPchの画素トランジスタ124を備えた構成である。

10

【0016】

図15の構成では、画素トランジスタ104がNchであるため、該画素トランジスタ104のLowレベルを与えるGVSSの電位をVDDの電位よりも先にGNDレベルに上げることによって、画素トランジスタ104を半開きとすることができる。また、図15の構成において、サンプリングトランジスタ135Aは、画素トランジスタ104と同じ極性(Nch)のトランジスタではあるが、該サンプリングトランジスタ135AのLowレベルを与えるVSSの電位は、GVSSと同じようにはGNDレベルに上げられない。このため、図17に示すように、Nchのサンプリングトランジスタ135Aからも画素の電荷が抜けきれない期間が存在する。つまり、画素からソースバスラインへ抜けた電荷がサンプリングトランジスタを通して抜けきれない期間が存在する。

20

【0017】

同様に、図16の構成では、画素トランジスタ104のHighレベルを与えるVDDGの電位をVSSの電位よりも先にGNDレベルに落としてもサンプリングトランジスタ135BのHighレベルを与えるVDDの電位は、VDDGと同じようにはGNDレベルに下げられないため、Pchのサンプリングトランジスタ135Bから画素の電荷が抜けきれない期間が存在する(図18参照)。つまり、この場合も、画素からソースバスラインへ抜けた電荷がサンプリングトランジスタを通して抜けきれない期間が存在する。

【0018】

尚、上述したようなアクティブマトリクス型液晶表示装置において、画素トランジスタおよびサンプリングトランジスタの極性や、これらのトランジスタをオン/オフ制御するための信号の電源電位の条件は、液晶表示装置の消費電力特性等にも影響を与えるため、様々な要素を加味して決定されるものであり、画素の電荷抜けのみを考慮して決めることはできない。したがって、通常のアクティブマトリクス型液晶表示装置では、図10に示すような電源オフ時の電荷抜けの効果が得られる設定とはなり得ない場合も多くある。

30

【0019】

また、特許文献1および2の構成では、画素トランジスタおよびサンプリングトランジスタの極性に関係なく、電源オフ時の液晶表示装置において、画素の電荷を抜くことができる。しかしながら、これらの構成では、特別な動作を行わせるための制御信号などが必要となり、装置の複雑化および大型化を招来するといった問題がある。

【0020】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、液晶表示装置の電源オフ時に、画素の電荷抜きのための制御信号を必要とすることなく、簡易な構成で画素の電荷抜きを行える液晶表示装置を実現することにある。

40

【0021】

本発明に係るアクティブマトリクス型液晶表示装置は、上記課題を解決するために、複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインとゲートバスラインとの交点ごとに、画素トランジスタを介して接続された画素を備えたアクティブマトリクス型液晶表示装置において、各ソースバスラインに、上記画素トランジスタと同極性であり、そのゲートに該画素トランジスタのオフ電位信号が与えられる電荷抜きトランジスタを備えていることを特徴としている。

50

【0022】

上記の構成によれば、各ソースラインには、上記画素トランジスタと同極性であり、そのゲートに該画素トランジスタのオフ電位信号が与えられる電荷抜きトランジスタが備えられる。このため、画素からソースバスラインへ抜けた電荷がサンプリングトランジスタを通して抜けきれない場合であっても、上記電荷抜きトランジスタを通して逃がすことが可能となる。

【0023】

また、画素トランジスタおよび画素抜きトランジスタを半開きとするためには、特別な制御信号が必要とされないため、簡易な構成にて画素の電荷抜きが実行できる。

【0024】

また、本発明に係る他のアクティブマトリクス型液晶表示装置は、複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインとゲートバスラインとの交点ごとに、画素トランジスタを介して接続された画素を備えたアクティブマトリクス型液晶表示装置において、各ソースバスラインに備えられ、上記画素トランジスタと同極性である電荷抜きトランジスタと、上記画素トランジスタのオン電位信号とオフ電位信号とからゲート制御電位を生成し、生成された上記ゲート制御電位を上記電荷抜きトランジスタのゲートに与える電位制御手段とを有しており、上記電位制御手段によって生成されるゲート制御電位は、該アクティブマトリクス型液晶表示装置の動作中は、上記電荷抜きトランジスタをオフする電位であり、該アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられることにより、上記電荷抜きトランジスタをオンする電位に変化することを特徴としている。

10

20

【0025】

上記の構成によれば、各ソースラインには、上記画素トランジスタと同極性の電荷抜きトランジスタが備えられ、該電荷抜きトランジスタのゲートには、電位制御手段によって生成されるゲート制御電位が与えられる。そして、該アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられる。

【0026】

そして、画素トランジスタのオフ電位信号がGNDレベルの電位まで到達させられることで、上記画素トランジスタは半開き状態となる。また、電荷抜きトランジスタにおいては、上記ゲート制御電位が、上記電荷抜きトランジスタをオンする電位に変化する。このため、各画素に蓄積されている電荷は、画素トランジスタおよび電荷抜きトランジスタを介して外部に逃げる事が可能な状態となり、装置の電源オフ時における画素の電荷抜きが行える。特に、電荷抜きトランジスタが半開きではなく、完全なオン状態となることで、ソースバスラインからの電荷を確実に逃がすことができる。

30

【0027】

また、画素トランジスタを半開きとし、かつ、画素抜きトランジスタをオン状態とするためには、特別な制御信号が必要とされないため、簡易な構成にて画素の電荷抜きが実行できる。

40

【図面の簡単な説明】

【0028】

【図1】 本発明の実施形態を示すものであり、アクティブマトリクス型液晶表示装置の要部構成を示す回路図である。

【図2】 上記アクティブマトリクス型液晶表示装置の電源オフ時における電源電位の変化例を示す波形図である。

【図3】 上記アクティブマトリクス型液晶表示装置に備えられる電荷抜き回路の一構成例を示す回路図である。

【図4】 上記アクティブマトリクス型液晶表示装置に備えられる電荷抜き回路の一構成例を示す回路図である。

50

【図 5】 上記アクティブマトリクス型液晶表示装置に備えられる電荷抜き回路の一構成例を示す回路図である。

【図 6】 上記アクティブマトリクス型液晶表示装置に備えられる電荷抜き回路の一構成例を示す回路図である。

【図 7】 上記アクティブマトリクス型液晶表示装置に備えられる電源制御部の構成例を示す図である。

【図 8】 上記アクティブマトリクス型液晶表示装置の電源オフ時における電源電位の変化例を示す波形図である。

【図 9】 上記アクティブマトリクス型液晶表示装置の電源オフ時における電源電位の変化例を示す波形図である。

10

【図 10】 従来のアクティブマトリクス型液晶表示装置の一構成例を示す回路図である。

【図 11】 図 10 に示すアクティブマトリクス型液晶表示装置の電源オフ時における電源電位の変化を示す波形図である。

【図 12】 従来のアクティブマトリクス型液晶表示装置の一構成例を示す回路図である。

【図 13】 従来のアクティブマトリクス型液晶表示装置の一構成例を示す回路図である。

【図 14】 図 13 に示すアクティブマトリクス型液晶表示装置の電源オフ時における電源電位の変化を示す波形図である。

【図 15】 従来のアクティブマトリクス型液晶表示装置の一構成例を示す回路図である。

【図 16】 従来のアクティブマトリクス型液晶表示装置の一構成例を示す回路図である。

【図 17】 図 15 に示すアクティブマトリクス型液晶表示装置の電源オフ時における電源電位の変化を示す波形図である。

20

【図 18】 図 16 に示すアクティブマトリクス型液晶表示装置の電源オフ時における電源電位の変化を示す波形図である。

【図 19】 液晶表示パネル内に電源回路を内蔵する場合の電源制御構成を示す回路図である。

【図 20】 図 19 における放電回路の構成例を示すブロック図である。

【図 21】 上記放電回路におけるスイッチを構成するトランジスタの平面図である。

【図 22】 図 19 における平滑コンデンサの接続における変形例を示す図である。

【図 23】 液晶表示パネル内に電源回路を内蔵する場合の電源制御構成の変形例を示す回路図である。

30

【図 24】 図 23 の回路における電源制御による、VDDG および VSS 信号の振る舞いを示す波形図である。

【発明を実施するための最良の形態】

【0029】

本発明の一実施形態について図 1 ないし図 9、図 19 ないし 24 に基づいて説明すると以下の通りである。まず、図 1 に、本実施の形態に係るアクティブマトリクス型液晶表示装置の、ソースバスライン 11 の 1 ライン分についての構成を示す。

【0030】

図 1 に示すように、各画素 13 は、画素トランジスタ 14 を介してソースバスライン 11 に接続されている。すなわち、各画素 13 における画素電極は、画素トランジスタ 14 のドレインに接続され、画素トランジスタ 14 のソースにソースバスライン 11 が接続される。さらに、画素トランジスタ 14 のゲートは、ゲートバスライン 12 に接続される。

40

【0031】

ソースバスライン 11 における表示信号供給側（図 1 では上側）には、そのソースバスライン 11 への表示信号の印加をオン／オフするサンプリングトランジスタ 15 が接続されている。また、サンプリングトランジスタ 15 のゲートには、サンプリングトランジスタ 15 を制御する信号の最終バッファ 16 が接続されている。また、ゲートバスライン 12 における走査信号供給側（図 1 では左側）には、ゲートバスライン 12 に印加される走査信号を制御する最終バッファ 17 が接続されている。

【0032】

50

すなわち、最終バッファ16は、電源電位VDDおよびVSSの一方をサンプルングトランジスタ15のゲートに選択的に与えることによって、該サンプルングトランジスタ15のオン／オフを制御する。図1の構成例では、サンプルングトランジスタ15はPchであるため、電位VSSが与えられた時にオンとなり、電位VDDが与えられた時にオフとなる。

【0033】

また、最終バッファ17は、電源電位VDDGおよびVSSの一方を、ゲートバスライン12を介して画素トランジスタ14のゲートに選択的に与えることによって、該画素トランジスタ14のオン／オフを制御する。図1の構成例では、画素トランジスタ14はNchであるため、電位VSSが与えられた時にオフとなり、電位VDDGが与えられた時にオンとなる。 10

【0034】

さらに、本実施の形態に係る液晶表示装置は、各ソースバスライン11に対して、電荷抜き回路30を備えていることを特徴としている。この電荷抜き回路30は、電荷抜きトランジスタ31と、該電荷抜きトランジスタ31へのゲート信号を制御するバッファ32とを備えて構成されている。電荷抜きトランジスタ31は、画素トランジスタ14と同じ極性のトランジスタ（ここではNch）であり、ソースバスライン11と共通電極TCOMとの間に、ソースドレイン経路を有している。

【0035】

また、バッファ32は、各ゲートバスライン12に接続される最終バッファ17と同様に、電源電位VDDGおよびVSSの一方を、電荷抜きトランジスタ31のゲートに選択的に与えることが可能な構成となっている。しかしながら実際には、バッファ32の出力は、常に電位VSSを電荷抜きトランジスタ31のゲートに与えるよう固定されている。すなわち、電荷抜き回路30において、電荷抜きトランジスタ31のゲートに電位VSS与え続けられることにより、液晶表示装置の動作中、電荷抜きトランジスタ31は常にオフである。 20

【0036】

上記図1の構成の液晶表示装置では、その電源をオフする際、図2に示すように、VSSの電位がVDDGの電位よりも先にGNDレベルに上げられる。これにより、装置の電源オフ時、最終バッファ17より電位VSSが与えられていた画素トランジスタ14は、半開き状態となって画素13に保持されていた電荷をソースバスライン11へ逃がすことができる。 30

【0037】

また、サンプルングトランジスタ15はPchであるため、VSSの電位がGNDレベルとなっても、ソースバスライン11の電荷を逃がすことはできない。但し、電荷抜き回路30における電荷抜きトランジスタ31は、画素トランジスタ14と同じくNchであり、そのゲートにはVSSの電位が与えられているため、VSSの電位がGNDレベルに上げられることによって半開きとなる。

【0038】

これにより、図1の構成の液晶表示装置では、画素トランジスタ14が半開きとなる期間には、同時に電荷抜きトランジスタ31も半開きとなる。したがって、画素13に蓄積されていた電荷は、画素トランジスタ14、ソースバスライン11、および電荷抜きトランジスタ31を介して共通電極TCOMへ逃がされるため、装置の電源オフ時に画素13の電荷を抜くことができる。 40

【0039】

尚、図1に示した電荷抜き回路30は、画素トランジスタ14がNchの場合に対応した構成であるが、画素トランジスタがPchの場合には、図3に示す電荷抜き回路40を用いればよい。すなわち、電荷抜き回路40は、（画素トランジスタと同じ極性である）Pchの電荷抜きトランジスタ41と、該電荷抜きトランジスタ41へのゲート信号を制御するバッファ42とを備えて構成されている。 50

【0040】

バッファ42は、各ゲートバスラインに接続される最終バッファと同様に、電源電位VDDGおよびVSSの一方を、電荷抜きトランジスタ41のゲートに選択的に与えることが可能な構成となっている。しかしながら実際には、バッファ42の出力は、常に電位VDDGを電荷抜きトランジスタ41のゲートに与えるよう固定され、液晶表示装置の動作中、電荷抜きトランジスタ41は常にオフとなる。

【0041】

また、図1に示す電荷抜き回路30は、電荷抜きトランジスタ31のゲートに対して、バッファ32を介してVSSの電位を与えている。しかしながら、より簡易な構成としては、図4に示す電荷抜き回路30'のように、バッファ32を省略し、電荷抜きトランジスタ31のゲートに直接VSSの電位を与える構成とすることも可能である。同様に、図5に示す電荷抜き回路40'のように、バッファ42を省略し、電荷抜きトランジスタ41のゲートに直接VDDGの電位を与える構成とすることも可能である。

【0042】

但し、電荷抜き回路30または40の構成では、制御系のトラブル等によりVSSおよびVDDGの電位が制御できなくなった場合などに、バッファ32または42の出力は、VSSおよびVDDGの中間電位に近くなり（通常、GND電位に近くなり）、電荷抜きトランジスタ31または41を半開き状態として、ソースバスラインの電荷を逃がすことができるといった利点がある。

【0043】

また、本実施の形態に係る液晶表示装置では、電荷抜き回路の回路の変形例として、図6に示す電荷抜き回路50のような構成をとることも可能である。また、この電荷抜き回路50は、画素トランジスタがNchの場合に用いられる構成を例示している。

【0044】

電荷抜き回路50は、図6に示すように、電荷抜きトランジスタ51、バッファ52、電位制御トランジスタ53、および抵抗54ないし56を備えて構成されている。電荷抜きトランジスタ51は、画素トランジスタと同じ極性のトランジスタ（ここではNch）であり、ソースバスラインと共通電極TCOMとの間に、ソースドレイン経路を有している。

【0045】

また、バッファ52は、その制御端子への入力に基づいて、電源電位VDDGおよびVSSの一方を、電荷抜きトランジスタ51のゲートに選択的に与えることが可能な構成となっている。バッファ52の制御端子には、電位制御トランジスタ53のドレインと抵抗54との間の接点の電位が与えられる。電位制御トランジスタ53のソースはGND電位に接続され、抵抗54の他端はVDDG電位に接続されている。また、電位制御トランジスタ53のゲートには、抵抗55と抵抗56との間の接点の電位が与えられる。抵抗55の他端はVSS電位に接続され、抵抗56の他端はVDDG電位に接続されている。

上記構成の電荷抜き回路50では、電位制御トランジスタ53のゲートには、VSS-VDDG間電位を抵抗55および56によって分圧した電位が与えられる。ここで、装置の動作時には電位制御トランジスタ53をオフする電位を与えるよう、抵抗55および56の抵抗値が設定される。電位制御トランジスタ53がオフとなる場合、バッファ52の制御端子にはVDDGの電位が与えられ、この時、電荷抜きトランジスタ51のゲートにはVSS電位が与えられて、電荷抜きトランジスタ51はオフとなる。

【0046】

一方、装置の電源オフ時には、VSSの電位がVDDG電位よりも先にGNDレベルに落とされ、この時、電位制御トランジスタ53のゲート電位が上昇して、電位制御トランジスタ53がオンとなるようにする。抵抗54を十分に高抵抗としておけば、電位制御トランジスタ53がオンとなる結果、バッファ52の制御端子にはVSSの電位が与えられる。これにより、電荷抜きトランジスタ51のゲートにはVDDG電位が与えられて、電荷抜きトランジスタ51はオンとなる。

【0047】

つまり、上記電荷抜き回路50では、装置の電源オフ時に、電荷抜きトランジスタ51を半開き状態ではなく、完全なオン状態とすることができ、より確実にソースバスラインの電荷を抜くことができる。尚、上記図6の構成は、画素トランジスタがNchの場合に対応する構成であるが、画素トランジスタがPchの場合にも、同様の原理でもって、装置の電源オフ時に、電荷抜きトランジスタを完全なオン状態とすることができ

【0048】

また、上記説明における液晶表示装置では、画素トランジスタがNchの場合、装置の電源オフ時にVSSの電位をVDDG電位よりも先にGNDレベルにすることで、画素の電荷を抜くことができる構成となっている。また、画素トランジスタがPchの場合は、VDDGの電位をVSS電位よりも先にGNDレベルにすることで、画素の電荷を抜くことができる構成となっている。

【0049】

ここで、VSSの電位をVDDG電位よりも先にGNDレベルにする（もしくは、VDDGの電位をVSS電位よりも先にGNDレベルにする）ためには、液晶表示装置に通常備えられている電源制御部において、ソフト処理的に電源オフにかかるタイミングコントロールを行えば、容易に実現可能である。

【0050】

しかしながら、上述のような電源制御部におけるタイミングコントロールは、装置の突発的な電源オフ（例えば、装置のバッテリーがユーザによって誤って取り外された場合など）には対応し切れない可能性がある。装置の突発的な電源オフ時に、VSSの電位をVDDG電位よりも先にGNDレベルにする（もしくは、VDDGの電位をVSS電位よりも先にGNDレベルにする）には、例えば、図7に示すような構成を採ることが考えられる。

【0051】

図7には、電源制御部60と、該電源制御部60から出力される3種類の電源電位VSS、VDD、およびVDDGを示している。電源制御部60から出力される電源電位VSS、VDD、およびVDDGのそれぞれには、電源が突発的にオフとなった場合に、供給される電位が徐々に低下できるように、コンデンサ61、62、63が接続されている。ここで、例えば、電源電位VSSに接続されるコンデンサ61の容量を、他のコンデンサ62および63よりも小さくすれば、VSSの電位をVDDG電位よりも先にGNDレベルにすることができる。また、この効果は、装置の突発的な電源オフ時にも得られる。

【0052】

尚、上記説明における液晶表示装置では、電荷抜き回路によってソースバスラインから逃がされた電荷は、共通電極TCOMに逃がされるようになっている。しかしながら、本発明はこれに限定されるものではなく、電荷を逃がす先として十分な容量を持っているところであれば、共通電極TCOM以外に電荷を逃がしてもよい。

【0053】

また、上記説明においては、例えば図2において、VSSの電位がVDDGの電位よりも先にGNDレベルに到達する例が示されている（画素トランジスタ及び電荷抜きトランジスタがNchの場合）。図2の構成はその実現が容易であるが、本発明においては、電荷抜きトランジスタを介してソースバスラインから電荷が抜ける期間が存在するのであれば、VSSの電位がVDDGの電位よりも後にGNDレベルに収束されてもよい。

【0054】

VSSの電位がVDDGの電位よりも後にGNDレベルに収束される場合の例を、図8および図9に示す。

【0055】

まず、図8に示す例では、VSSの電位が一度GNDレベルよりも高い電位となった後に、再度GNDレベルに収束している。この例では、図2に示す例よりも、画素トランジスタ及び電荷抜きトランジスタがより開いた状態となるため、より効果的である。

【0056】

また、図9に示す例では、VSSの電位がGNDレベルに到達はしていなくても、少なくともGNDレベルに近づくことで、画素トランジスタ及び電荷抜けトランジスタが半開き状態で電荷が抜ける時間が十分に存在するためソースバスラインから電荷を抜くことが可能である。

【0057】

上記説明における液晶表示装置では、装置の電源オフ時に、画素トランジスタのオフ電位信号がオン電位信号よりも先にGNDレベルの電位まで到達させられる。また、上記説明では、上記オフ電位信号およびオン電位信号は液晶表示パネルの外部から電源電位として入力されている場合を想定しており、上述の制御は液晶表示パネル外で行われる。しかしながら、液晶表示パネル内に電源回路を搭載している場合においても、該液晶表示パネル内に電源制御回路を具備すれば、本発明は適用可能である。すなわち、上記電源制御回路は、液晶表示装置の電源オフ時に、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させるための電源制御を行う。以下に、液晶表示パネル内に電源回路を搭載している場合の実施形態について説明する。

10

【0058】

液晶表示パネル内に電源回路を内蔵する場合、上記電源制御回路の一例を図19に示す。図19に示す回路では、液晶表示パネルに対して電源電位VCCおよび接地電位GNDのみが入力されており、該液晶表示パネル内の電源回路71および72によって、2種類の電源電位VDDGおよびVSSを生成している。すなわち、電源回路71は電源電位VDDGを生成し、電源回路72は電源電位VSSを生成する。

20

【0059】

電源回路71および72は、電源電位VCCおよび接地電位GNDを入力とし、例えばチャージポンプを用いて電源電位VDDGおよびVSSを生成することができる。このようなチャージポンプは、容量に対して電荷の充電および放電を繰り返すことによって所望の電圧を生成するものである。図19において、電源回路71および72に入力されている入力信号は、上記充放電の制御を行うためのものである。但し、本発明において電源回路71および72の種類は特に限定されるものではなく、上記チャージポンプ以外の電源回路（例えば、抵抗分割）も使用可能である。

30

【0060】

尚、図19では液晶表示パネル内で2種類の電源電位を生成する場合を例示しているが、場合によってはより多くの種類の電源電位を生成してもよい。今回は説明を簡素化するために、画素トランジスタの制御電圧VDDG及びVSSのみを記載している。

【0061】

電源回路71および72によって生成される電源電位VDDGおよびVSSは、例えば図1に示す回路の最終バッファ17およびバッファ32に入力される。そして、VSSの電位がVDDGの電位よりも先にGNDレベルに上げられるようにすれば、上述した作用によって、装置の電源オフ時に画素の電荷抜きを迅速に行うことができる。

【0062】

図19に示す電源制御回路では、VSSの電位をVDDGの電位よりも先にGNDレベルに落とすため、放電回路73および74を有している。放電回路73は、電源回路71が出力する電源電位VDDGと設置電位GNDとの間に配置されている。また、放電回路74は、電源回路72が出力する電源電位VSSと設置電位GNDとの間に配置される。

40

【0063】

放電回路73および74は基本的に同一の構成を有しており、図20に示すように、スイッチ77と該スイッチを制御するスイッチ制御回路78とを含んで構成されている。放電回路73および74の動作は、液晶表示装置の電源オフ時にスイッチ77を開き、電源オン時にはスイッチ77が閉じている。すなわち、放電回路73および74は、液晶表示装置の電源オフ時に、スイッチ77をオンにして放電回路73および74から電荷をGN

50

Dに抜くものである。

【0064】

上記放電回路73および74において、電源電位VCCを立ち下げた時には、各信号の電位がGNDレベルとなる。このため、スイッチ77をPchトランジスタで作成しておけば、ゲート電圧がGNDレベルの時にスイッチ77が開くことになり、液晶表示装置の電源オフ時にスイッチ77を確実に開くことができる。

【0065】

また、逆に液晶表示装置の電源がオンの時には、スイッチ77に対してHigh信号（Pchトランジスタのオフ電位）が必要となる。装置の電源オン時には、スイッチ77を確実に閉じる必要があるため、場合によっては、スイッチ77を制御する信号を入力信号レベルからレベルシフトする必要がある。図20におけるスイッチ制御回路78は、装置の電源オン時に、スイッチ77を確実に閉じる入力信号を与えるために設けられている。

【0066】

尚、上記説明では、スイッチ77をPchトランジスタとしているが、本発明はこれに限定されるものではなく、Pch及びNchトランジスタの両方でスイッチ77を構成することも可能である。

【0067】

ここで、放電回路73および74における電荷を抜く能力を異ならせれば、図2に示すような電源制御が可能となる。具体的には、放電回路74の方が放電回路73よりも電荷を抜く能力が大きければ、VSSの電位をVDDGの電位よりも先にGNDレベルに落とすことができる。

【0068】

放電回路73および74における電荷を抜く能力を異ならせる方法の一つとして、放電回路73および74におけるスイッチ77の能力を変えることが考えられる。すなわち、スイッチ77は、液晶表示パネル内にトランジスタとして形成されるため、このトランジスタサイズを変えることでスイッチ77の能力を変えることができる。

【0069】

ここで、スイッチ77を構成するトランジスタの平面図を図21に示す。このトランジスタは、チャネル領域を含む半導体層77aの上にソース電極77b、ゲート電極77c、ドレイン電極77dが配置されており、チャネル幅がW、チャネル長がLである

トランジスタの能力は、チャネル幅Wが大きい場合は能力が大きくなり、チャネル長Lが小さい場合は能力が小さくなる。つまり放電回路74のスイッチを構成しているトランジスタのチャネル幅Wを放電回路73のスイッチを構成しているトランジスタのチャネル幅Wより大きくするか、放電回路74のスイッチを構成しているトランジスタのチャネル長Lを放電回路73のスイッチを構成しているトランジスタのチャネル長Lより小さくすればよい。

【0070】

また、VSSの電位をVDDGの電位よりも先にGNDレベルに落とすための方法は、スイッチ77を構成するトランジスタの能力を変える以外にも、様々な方法が使用可能である。

【0071】

例えば、放電回路のスイッチに接続する配線材料を変えることによっても、VSSの電位をVDDGの電位よりも先にGNDレベルに落とすことができる。すなわち、放電回路73のスイッチの配線を高抵抗配線にして、放電回路74のスイッチの配線を低抵抗配線にすることにより、電荷の抜きやすさを変えることができ、図2のような電源制御を行うことが可能となる。

また、さらに他の方法として、液晶表示パネル内部の電源配線VDDGに対して、電源配線VSSより大きな容量及び負荷を接続することで電荷の抜けるスピードを遅くし、図2のような電源制御を行うことも可能である。

【0072】

10

20

30

40

50

また、図19に示す電源制御回路では、電源回路71および72から出力される電源電圧VDDGおよびVSSとして安定した電圧を供給するために、平滑コンデンサ75および76を備えている。平滑コンデンサ75および76は、電源回路71および72を安定電源に接続するものであり、図19では、電源回路71および72とGNDとの間に平滑コンデンサ75および76がそれぞれ接続されている。

【0073】

平滑コンデンサ75および76は、液晶表示パネル内部に配置する構成に限定されず、液晶表示パネル外部に配置される場合も考えられる。但し、平滑コンデンサ75および76の容量を液晶表示パネル内に作成する場合には、相当の面積を必要とする。このため、平滑コンデンサ75および76を液晶表示パネル外部に配置すれば、パネルの小型化の面で有利である。 10

【0074】

尚、電源回路71および72に含まれるコンデンサ（電源回路71および72をチャージポンプで構成する場合）は、液晶表示パネル内部にあってもよく、液晶表示パネル外部にあってもよい。すなわち、電源回路71および72に含まれるコンデンサを液晶表示パネル外部に配置する場合は、チャージポンプの充放電を制御する回路部分のみが液晶表示パネル内に含まれることになる。

【0075】

また、平滑コンデンサ75および76が接続される安定電源はGNDの例に限定されるものではなく、他の安定電源（例えば、VCC）に接続してもよい（図22参照）。 20

【0076】

このように、平滑コンデンサ75および76を備える構成では、液晶表示装置のオフ時には、放電回路74は平滑コンデンサ75および76に保持されている電荷をも抜くことになる。このため、VDDG-GND間に接続される平滑コンデンサ75の容量を、VDVSS-GND間に接続される平滑コンデンサ76の容量よりも大きくすることにより、装置の電源オフ時にVDDGの立ち下げスピードを遅くすることが可能となる。よって、図2のような電源制御を行うことが可能である。

【0077】

図19の回路構成では、放電回路73はVDDG配線とGND配線との間に接続され、放電回路74はVSS配線とGND配線との間に接続されているが、放電回路73および74の接続は上記例に限定されるものでない。例えば、図23で示すように、放電回路79をVDDG配線とGND配線との間に接続し、放電回路80をVSS配線とVDDG配線との間に接続することも可能である。 30

【0078】

図23に示すような放電回路の接続方法とした場合、装置の電源オフ時のVDDG及びVSSの振る舞いを、図24のように制御することができる。図24に示すような電源制御を行うためには、VDDG-GND間の平滑コンデンサ75をVSS-GND間の平滑コンデンサ76よりも大きな容量としたり、液晶表示パネル内部の電源配線VDDGに電源配線VSSよりも大きな容量や負荷を接続したりすればよい。

【0079】

図24に示すような電源制御を行うと、装置の電源オフ時に放電回路80によりVSSはGNDを超えてVDDGに引っ張られる。VSSがGNDよりもON電位に近づくため、図2に示す電源制御よりも図8に示す電源制御に近くなり、画素電極の電荷抜きに効果的な制御を行うことが可能となる。

【0080】

尚、図19や図23に示した電源制御回路の構成は、図1に示す構成に対応して適用可能であるが、もちろん本発明はこれに限定されるものではない。すなわち、図13のように画素トランジスタがPch、サンプリングトランジスタがNchで構成されている場合や、図15、16のようにサンプリングトランジスタが両チャンネルのトランジスタで構成されている場合の電源制御でも、上記同様な方法で制御可能である。 50

【0081】

本発明に係るアクティブマトリクス型液晶表示装置は、以上のように、複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインとゲートバスラインとの交点ごとに、画素トランジスタを介して接続された画素を備えたアクティブマトリクス型液晶表示装置において、各ソースバスラインに、上記画素トランジスタと同極性であり、そのゲートに該画素トランジスタのオフ電位信号が与えられる電荷抜きトランジスタを備えている。

【0082】

上記の構成によれば、各ソースラインには、上記画素トランジスタと同極性であり、そのゲートに該画素トランジスタのオフ電位信号が与えられる電荷抜きトランジスタが備えられる。このため、画素からソースバスラインへ抜けた電荷がサンプリングトランジスタを通して抜けきれない場合であっても、上記電荷抜きトランジスタを通して逃がすことが可能となる。

【0083】

また、画素トランジスタおよび画素抜きトランジスタを半開きとするためには、特別な制御信号が必要とされないため、簡易な構成にて画素の電荷抜きが実行できる。

【0084】

また、上記アクティブマトリクス型液晶表示装置では、アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられることを特徴としている。

【0085】

上記の構成によれば、上記アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられる。

【0086】

そして、画素トランジスタのオフ電位信号がGNDレベルの電位まで到達させられることで、上記画素トランジスタは半開き状態（完全なオン状態ではないが、ある程度の導通性は有する状態）となる。また、電荷抜きトランジスタも同様に、半開き状態となる。このため、各画素に蓄積されている電荷は、画素トランジスタおよび電荷抜きトランジスタを介して外部に逃げる事が可能な状態となり、装置の電源オフ時における画素の電荷抜きが行える。

【0087】

また、本発明に係る他のアクティブマトリクス型液晶表示装置は、複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインとゲートバスラインとの交点ごとに、画素トランジスタを介して接続された画素を備えたアクティブマトリクス型液晶表示装置において、各ソースバスラインに備えられ、上記画素トランジスタと同極性である電荷抜きトランジスタと、上記画素トランジスタのオン電位信号とオフ電位信号とからゲート制御電位を生成し、生成された上記ゲート制御電位を上記電荷抜きトランジスタのゲートに与える電位制御手段とを有しており、上記電位制御手段によって生成されるゲート制御電位は、該アクティブマトリクス型液晶表示装置の動作中は、上記電荷抜きトランジスタをオフする電位であり、該アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられることにより、上記電荷抜きトランジスタをオンする電位に変化する。

【0088】

上記の構成によれば、各ソースラインには、上記画素トランジスタと同極性の電荷抜きトランジスタが備えられ、該電荷抜きトランジスタのゲートには、電位制御手段によって生成されるゲート制御電位が与えられる。そして、該アクティブマトリクス型液晶表示装置の電源オフ時には、画素トランジスタのオン電位信号よりも先に、上記オフ電位信号がGNDレベルの電位まで到達させられる。

【0089】

そして、画素トランジスタのオフ電位信号がGNDレベルの電位まで到達させられることで、上記画素トランジスタは半開き状態となる。また、電荷抜きトランジスタにおいては、上記ゲート制御電位が、上記電荷抜きトランジスタをオンする電位に変化する。このため、各画素に蓄積されている電荷は、画素トランジスタおよび電荷抜きトランジスタを介して外部に逃げる事が可能な状態となり、装置の電源オフ時における画素の電荷抜きが行える。特に、電荷抜きトランジスタが半開きではなく、完全なオン状態となることで、ソースバスラインからの電荷を確実に逃がすことができる。

【0090】

また、画素トランジスタを半開きとし、かつ、画素抜きトランジスタをオン状態とするためには、特別な制御信号が必要とされないため、簡易な構成にて画素の電荷抜きが実行できる。 10

【0091】

また、上記アクティブマトリクス型液晶表示装置は、上記電荷抜きトランジスタのゲートには、該電荷抜きトランジスタを制御する第1のバッファが接続されており、各ゲートバスラインには、画素トランジスタを制御する第2のバッファが接続されており、上記第1のバッファは、上記第2のバッファと同じサイズ及び電源関係を有する構成とすることが好ましい。

【0092】

上記の構成によれば、制御系のトラブル等により上記オン電位信号およびオフ電位信号が制御できなくなった場合などに、上記第1のバッファおよび第2のバッファの出力は、上記オン電位信号およびオフ電位信号の中間電位に近くなる（通常、GND電位に近くなる）。このため、制御系のトラブル等が起きた場合でも、画素トランジスタと電荷抜きトランジスタが同一の挙動を示す。つまり、画素トランジスタが半開き状態となる時には、電荷抜きトランジスタも確実に半開き状態となり、画素の電荷を逃がすことができる、といった利点がある。 20

【0093】

また、上記アクティブマトリクス型液晶表示装置は、上記各ソースバスラインは、上記電荷抜きトランジスタを介して共通電極と接続されていることが好ましい。

【0094】

上記の構成によれば、画素から抜かされた電荷は、共通電極へ送られることになり、画素の液晶に印加される電位差を確実に解消することができる。 30

【0095】

また、上記アクティブマトリクス型液晶表示装置は、アクティブマトリクス型液晶表示装置の電源オフ時に、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させる電源制御回路を液晶表示パネルに内蔵している構成とすることができる。

【0096】

上記の構成によれば、上記オフ電位信号およびオン電位信号が、液晶表示パネルの外部から電源電位として入力されずに、液晶表示パネル内で生成される場合であっても、上記電源制御回路によって上述の電源制御が行える。これにより、特別な制御信号を必要とせずに、簡易な構成にて画素の電荷抜きが実行できる。 40

【0097】

また、上記アクティブマトリクス型液晶表示装置では、上記電源制御回路は、画素トランジスタのオン電位信号を生成する第1の電源回路と、画素トランジスタのオフ電位信号を生成する第2の電源回路と、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第1の電源回路の電荷を抜く第1の放電回路と、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第2の電源回路の電荷を抜く第2の放電回路とを備えており、上記第1および第2の放電回路は、トランジスタからなるスイッチのオン・オフ制御によって第1および第2の電源回路の電荷を抜くものであって、該第1および第2の放電回路に 50

おけるトランジスタサイズを異ならせることによって、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させる構成とすることができる。

【0098】

上記の構成によれば、第1および第2の放電回路におけるトランジスタサイズが異ならせることにより（例えば、第2の放電回路のスイッチを構成しているトランジスタのチャンネルWを第1の放電回路のスイッチを構成しているトランジスタのチャンネル幅より大きくするか、第2の放電回路のスイッチを構成しているトランジスタのチャンネル長を第1の放電回路のスイッチを構成しているトランジスタのチャンネル長より小さくすることにより）、第2の電源回路の電荷を第1の電源回路の電荷よりも早く抜くことができる。すなわち、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させることができる。

10

【0099】

また、上記アクティブマトリクス型液晶表示装置では、上記電源制御回路は、画素トランジスタのオン電位信号を生成する第1の電源回路と、画素トランジスタのオフ電位信号を生成する第2の電源回路と、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第1の電源回路の電荷を抜く第1の放電回路と、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第2の電源回路の電荷を抜く第2の放電回路とを備えており、上記第1および第2の放電回路に接続される配線負荷を異ならせることによって、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させる構成とすることができる。

20

【0100】

上記の構成によれば、上記第1および第2の放電回路に接続される配線負荷を異ならせることによって（例えば、第1の放電回路のスイッチの配線を高抵抗配線にし、第2の放電回路のスイッチの配線を低抵抗配線にすることによって）、第2の電源回路の電荷を第1の電源回路の電荷よりも早く抜くことができる。すなわち、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させることができる。

【0101】

また、上記アクティブマトリクス型液晶表示装置では、上記電源制御回路は、画素トランジスタのオン電位信号を生成する第1の電源回路と、画素トランジスタのオフ電位信号を生成する第2の電源回路と、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第1の電源回路の電荷を抜く第1の放電回路と、アクティブマトリクス型液晶表示装置の電源オフ時に、上記第2の電源回路の電荷を抜く第2の放電回路とを備えており、上記第1および第2の電源回路に接続される液晶表示パネル内部の容量及び負荷を異ならせることによって、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させる構成とすることができる。

30

【0102】

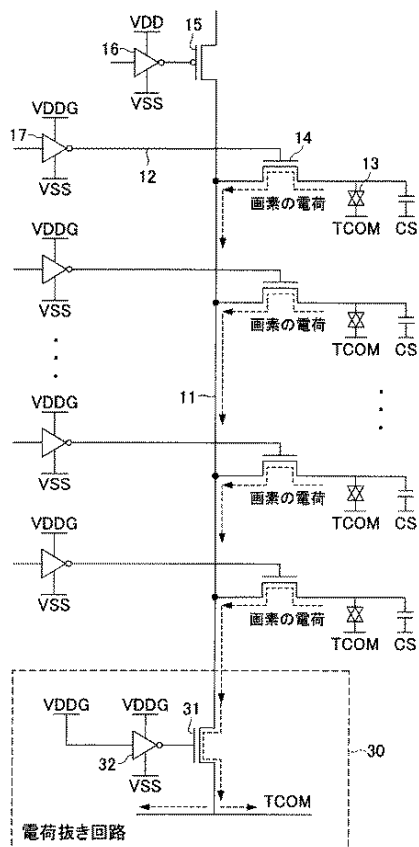
上記の構成によれば、上記第1および第2の電源回路に接続される液晶表示パネル内部の容量及び負荷を異ならせることによって（例えば、第1の電源回路に接続されて上記オン電位信号を出力する配線に対して、第2の電源回路に接続されて上記オフ電位信号を出力する配線よりも大きな容量及び負荷を接続することによって）、第2の電源回路の電荷を第1の電源回路の電荷よりも早く抜くことができる。すなわち、画素トランジスタのオン電位信号よりも先に、画素トランジスタのオフ電位信号をGNDレベルの電位まで到達させることができる。

40

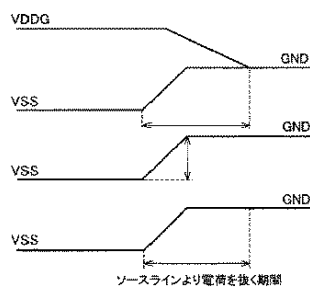
【0103】

本発明は上述した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項で示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

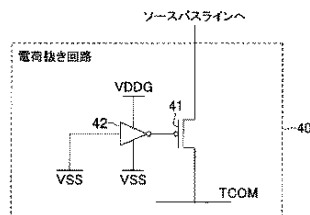
【图 1】



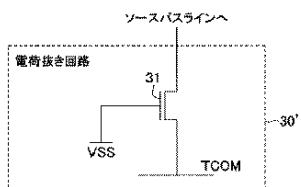
【図 2】



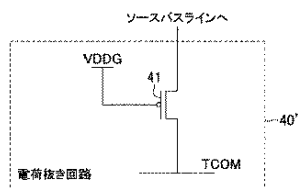
【図 3】



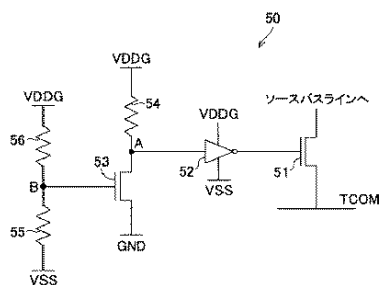
【图 4】



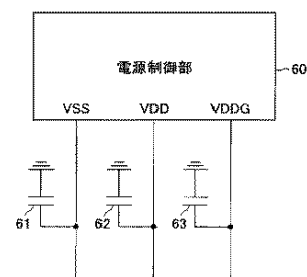
【图 5】



【图 6】



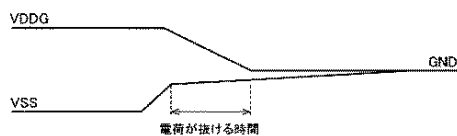
【图 7】



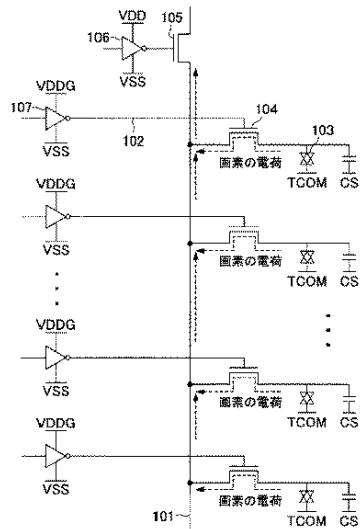
【图 8】



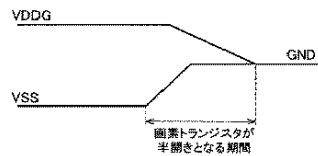
【图 9】



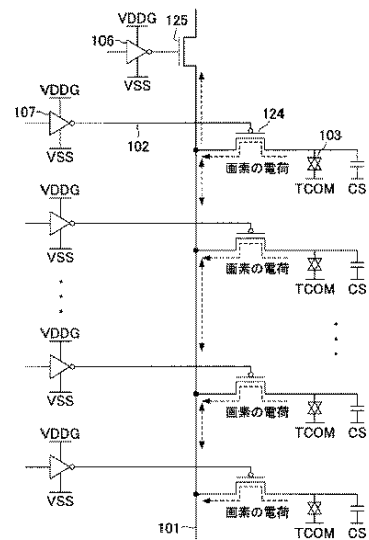
【図 10】



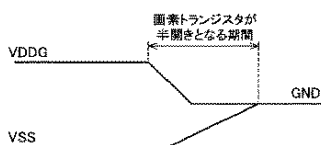
【図 11】



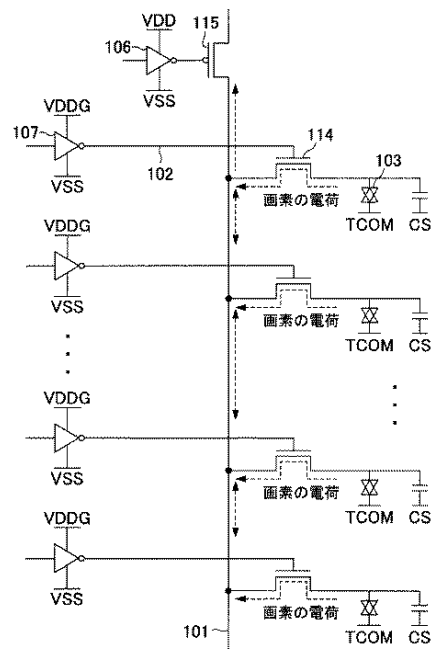
【図 13】



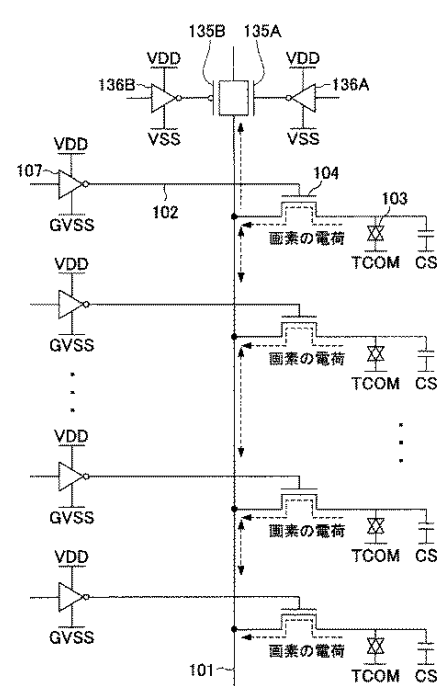
【図 14】



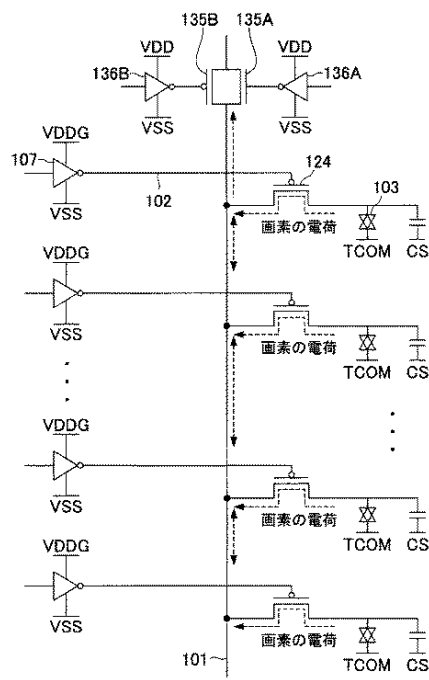
【図 12】



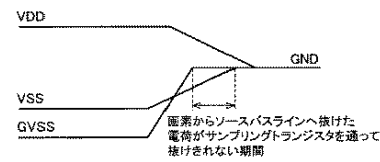
【図 15】



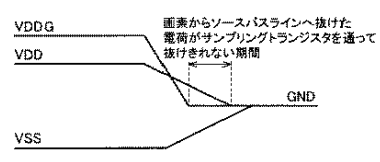
【図 1 6】



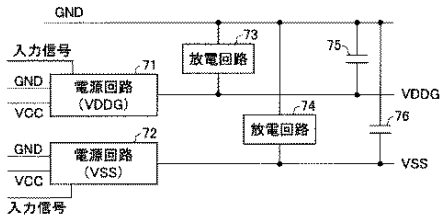
【図 1 7】



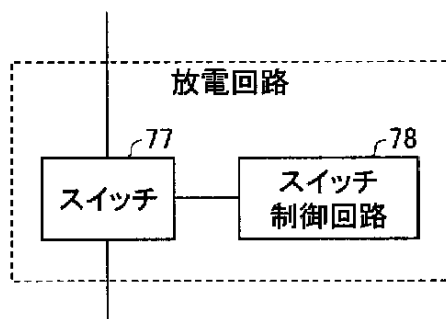
【図 1 8】



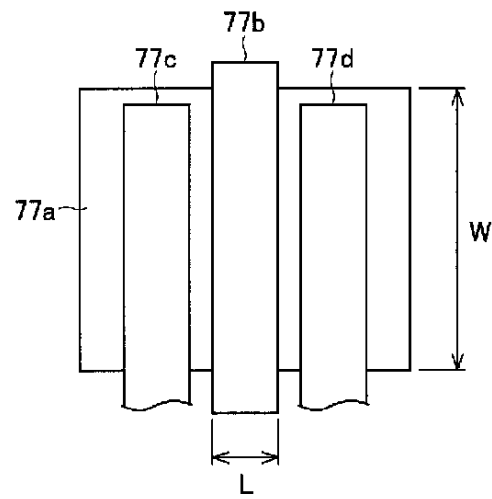
【図 1 9】



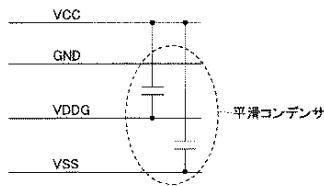
【図 2 0】



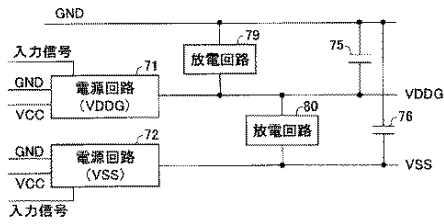
【図 2 1】



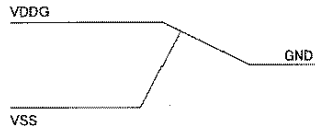
【図 2 2】



【図 2 3】



【図 2 4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/313795
A. CLASSIFICATION OF SUBJECT MATTER <i>G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>G09G3/36, G02F1/133, G09G3/20</i>		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006</i> <i>Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006</i>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-219682 A (Kabushiki Kaisha Hitachi Displays), 05 August, 2004 (05.08.04), Par. Nos. [0015] to [0028]; Figs. 2, 6 (Family: none)	1, 2, 5, 6, 11 3, 4, 7-10
Y A	JP 2001-022326 A (Advanced Display Inc.), 26 January, 2001 (26.01.01), Par. Nos. [0017] to [0024]; Figs. 1 to 3 (Family: none)	1, 2, 5, 6, 11 3, 4, 7-10
Y	JP 2000-347627 A (Sony Corp.), 15 December, 2000 (15.12.00), Par. No. [0011]; Fig. 1 (Family: none)	5
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 October, 2006 (11.10.06)		Date of mailing of the international search report 17 October, 2006 (17.10.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313795

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-004244 A (Sony Corp.), 08 January, 2004 (08.01.04), Par. No. [0016]; Fig. 1 & WO 03/102910 A1 & US 2004/0196278 A1 & CN 001547730 A	6
A	JP 2004-226597 A (Sony Corp.), 12 August, 2004 (12.08.04), Full text; all drawings (Family: none)	1-11
A	JP 2004-045785 A (Sony Corp.), 12 February, 2004 (12.02.04), Full text; all drawings & US 2004/0104908 A1 & CN 001487494 A	1-11

国際調査報告		国際出願番号 PCT/JP2006/313795	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y A	JP 2004-219682 A (株式会社 日立ディスプレイズ) 2004.08.05 段落0015-0028、図2, 6 (ファミリーなし)	1, 2, 5, 6, 11 3, 4, 7-10	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 11.10.2006		国際調査報告の発送日 17.10.2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 福村 拓	2G 3308
		電話番号 03-3581-1101 内線 3226	

様式PCT/ISA/210 (第2ページ) (2005年4月)

国際調査報告

国際出願番号 PCT/JP2006/313795

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-022326 A (株式会社アドバンスト・ディスプレイ) 2001. 01. 26 段落0017-0024、図1-3 (ファミリーなし)	1, 2, 5, 6, 11
A		3, 4, 7- 10
Y	J P 2000-347627 A (ソニー株式会社) 2000. 12. 15 段落0011、図1 (ファミリーなし)	5
Y	J P 2004-004244 A (ソニー株式会社) 2004. 01. 08 段落0016、図1 & WO 03/102910 A1 & US 2004/0196278 A1 & CN 001547730 A	6
A	J P 2004-226597 A (ソニー株式会社) 2004. 08. 12 全文、全図 (ファミリーなし)	1-11
A	J P 2004-045785 A (ソニー株式会社) 2004. 02. 12 全文、全図 & US 2004/0104908 A1 & CN 001487494 A	1-11

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 2 B
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 1 2 D
	G 0 9 G 3/20	6 7 0 D
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/133	5 0 5

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,L,C,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 業天 誠二郎

日本国大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

F ターム (参考) 2H093 NA16 NA80 NC03 NC10 NC12 NC65 ND35 ND58 ND60
 5C006 AA16 AC11 AC21 AC25 AF64 AF67 AF68 AF71 AF75 BB16
 BC03 BC11 BC20 BF25 BF33 BF34 BF37 BF43 BF45 BF46
 FA11 FA16 FA22 FA23 FA34 FA38 FA41
 5C080 AA10 BB05 DD05 DD08 DD14 DD18 DD22 EE29 FF03 FF11
 JJ02 JJ03 JJ04 KK07

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵型液晶显示装置及其驱动方法		
公开(公告)号	JPWO2007007768A1	公开(公告)日	2009-01-29
申请号	JP2007524667	申请日	2006-07-11
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山本悦雄 村上祐一郎 佐々木寧 業天誠二郎		
发明人	山本 悦雄 村上 祐一郎 佐々木 寧 業天 誠二郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3688 G09G2310/0245 G09G2330/02 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.623.R G09G3/20.612.G G09G3/20.623.D G09G3/20.623.C G09G3/20.622.B G09G3/20.623.B G09G3/20.612.D G09G3/20.670.D G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC65 2H093/ND35 2H093/ND58 2H093/ND60 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AF64 5C006/AF67 5C006/AF68 5C006/AF71 5C006/AF75 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF25 5C006/BF33 5C006/BF34 5C006/BF37 5C006/BF43 5C006/BF45 5C006/BF46 5C006/FA11 5C006/FA16 5C006/FA22 5C006/FA23 5C006/FA34 5C006/FA38 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD14 5C080/DD18 5C080/DD22 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07		
优先权	2005206105 2005-07-14 JP 2005362193 2005-12-15 JP		
其他公开文献	JP4536776B2		
外部链接	Espacenet		

摘要(译)

在每个源极总线(11)中提供具有与像素晶体管(14)相同极性并且其栅极被供应有像素晶体管(14)的截止电位信号(VSS)的电荷提取晶体管(31)。在有源矩阵型液晶显示装置的电源关闭,前开的OFF电势信号(VSS)向像素晶体管(14)(VDDG)的电位信号允许达到GND电平的电位,像素晶体管(14)和电荷拉入的晶体管(31)成为半开状态使得在每个像素(13)中累积的电荷释放到公共电极TCOM。

【図4】

