

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4907659号
(P4907659)

(45) 発行日 平成24年4月4日(2012.4.4)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl.

F I

GO2F 1/1345 (2006.01)
GO2F 1/1343 (2006.01)
GO2F 1/1368 (2006.01)
GO2F 1/1339 (2006.01)
GO9F 9/30 (2006.01)

GO2F 1/1345
GO2F 1/1343
GO2F 1/1368
GO2F 1/1339 500
GO9F 9/30

請求項の数 41 (全 41 頁)

(21) 出願番号 特願2008-525797 (P2008-525797)
(86) (22) 出願日 平成19年3月30日(2007.3.30)
(86) 国際出願番号 PCT/JP2007/057049
(87) 国際公開番号 W02008/010334
(87) 国際公開日 平成20年1月24日(2008.1.24)
審査請求日 平成20年6月26日(2008.6.26)
(31) 優先権主張番号 特願2006-197319 (P2006-197319)
(32) 優先日 平成18年7月19日(2006.7.19)
(33) 優先権主張国 日本国(JP)
(31) 優先権主張番号 特願2006-332592 (P2006-332592)
(32) 優先日 平成18年12月8日(2006.12.8)
(33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(74) 代理人 110000338
特許業務法人原謙三国際特許事務所
(72) 発明者 津幡 俊英
日本国大阪府大阪市阿倍野区長池町22番
22号 シャープ株式会社内
(72) 発明者 八木 敏文
日本国大阪府大阪市阿倍野区長池町22番
22号 シャープ株式会社内

審査官 右田 昌士

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶パネル、表示装置、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項1】

複数の保持容量配線と、これらを覆うゲート絶縁膜と、このゲート絶縁膜よりも上層に設けられた幹配線と、この幹配線よりも上層に設けられた層間絶縁膜とを備え、

各保持容量配線は、非表示領域において、ゲート絶縁膜および幹配線並びに層間絶縁膜を貫通するコンタクトホールを埋めるように形成された接続電極によって上記幹配線に接続され、

上記ゲート絶縁膜は、上記コンタクトホールに隣接する第1膜厚部と、第1膜厚部よりも膜厚が大きい第2膜厚部とを有することを特徴とするアクティブマトリクス基板。

【請求項2】

表示領域の各画素領域に、第1および第2のトランジスタと、第1のトランジスタに接続する第1の画素電極と、第2のトランジスタに接続する第2の画素電極とを備えたアクティブマトリクス基板であって、

各画素領域を通る第1および第2の保持容量配線と、該第1および第2の保持容量配線を覆うゲート絶縁膜と、このゲート絶縁膜よりも上層に設けられた第1および第2の幹配線と、この第1および第2の幹配線よりも上層に設けられた層間絶縁膜とを備え、

非表示領域において、第1の保持容量配線は、ゲート絶縁膜および幹配線並びに層間絶縁膜を貫通する第1のコンタクトホールを埋めるように形成された接続電極によって上記第1の幹配線に接続されるとともに、第2の保持容量配線は、ゲート絶縁膜および幹配線並びに層間絶縁膜を貫通する第2のコンタクトホールを埋めるように形成された接続電極

によって上記第 2 の幹配線に接続されており、

上記ゲート絶縁膜は、上記第 1 のコンタクトホールに隣接する部分および上記第 2 のコンタクトホールに隣接する部分それぞれが第 1 膜厚部となっているとともに、これら第 1 膜厚部よりも膜厚が大きい第 2 膜厚部を有することを特徴とするアクティブマトリクス基板。

【請求項 3】

複数の走査信号線と、該複数の走査信号線を覆うゲート絶縁膜と、このゲート絶縁膜よりも上層に設けられた引き出し配線と、この引き出し配線よりも上層に設けられた層間絶縁膜とを備え、

各走査信号線は、非表示領域において、ゲート絶縁膜および引き出し配線並びに層間絶縁膜を貫通するコンタクトホールを埋めるように形成された接続電極によって上記引き出し配線に接続され、

上記ゲート絶縁膜は、上記コンタクトホールに隣接する第 1 膜厚部と、第 1 膜厚部よりも膜厚が大きい第 2 膜厚部とを有することを特徴とするアクティブマトリクス基板。

【請求項 4】

上記ゲート絶縁膜は複数のゲート絶縁層からなり、

上記第 1 膜厚部においては少なくとも 1 つのゲート絶縁層が他層より薄く形成されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 5】

上記ゲート絶縁膜は複数のゲート絶縁層からなり、上記第 1 膜厚部において 1 以上のゲート絶縁層を有し、第 2 膜厚部において第 1 膜厚部より多いゲート絶縁層を有することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 6】

有機物を含むゲート絶縁層を備えることを特徴とする請求項 5に記載のアクティブマトリクス基板。

【請求項 7】

少なくとも 1 つのゲート絶縁層が平坦化膜であることを特徴とする請求項 5に記載のアクティブマトリクス基板。

【請求項 8】

上記第 2 膜厚部においては、最下層のゲート絶縁層が平坦化膜であることを特徴とする請求項 5に記載のアクティブマトリクス基板。

【請求項 9】

上記第 2 膜厚部には最下層のゲート絶縁層としてスピノングラス (SOG) 材料からなる SOG 膜が形成される一方で、第 1 膜厚部では該 SOG 膜が形成されていないことを特徴とする請求項 5に記載のアクティブマトリクス基板。

【請求項 10】

上記平坦化膜の基板面に接する部分の厚みが、基板面に形成される金属配線の厚みよりも大きいことを特徴とする請求項 8に記載のアクティブマトリクス基板。

【請求項 11】

上記コンタクトホールが複数の分割形成されていることを特徴とする請求項 1に記載のアクティブマトリクス基板。

【請求項 12】

上記接続電極は、表示領域の画素電極と同一材料で形成されていることを特徴とする請求項 1に記載のアクティブマトリクス基板。

【請求項 13】

上記幹配線は、表示領域に設けられるデータ信号線と同一材料で形成されていることを特徴とする請求項 1に記載のアクティブマトリクス基板。

【請求項 14】

ゲート絶縁膜の上層に、第 1 および第 2 の層間絶縁膜を備え、上記コンタクトホールはゲート絶縁膜並びに第 1 および第 2 の層間絶縁膜を貫いていることを特徴とする請求項 1

10

20

30

40

50

～ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 1 5】

表示領域に、トランジスタと画素電極とを接続する画素内コンタクトホールを有し、この画素内コンタクトホール下のゲート絶縁膜が、第 2 膜厚部と同じ構造であることを特徴とする請求項 1 4 記載のアクティブマトリクス基板。

【請求項 1 6】

非表示領域のコンタクトホールで接続する両配線が異なる層に形成され、この両配線の交差部全体が、第 1 膜厚部の外周内に位置していることを特徴とする請求項 1 5 記載のアクティブマトリクス基板。

【請求項 1 7】

上記交差部において、両配線のうち下層側に位置する配線のエッジと、第 1 膜厚部のエッジとの間隔が $60\text{ }\mu\text{m}$ 以上であることを特徴とする請求項 1 6 記載のアクティブマトリクス基板。

【請求項 1 8】

上記ゲート絶縁膜における第 1 膜厚部のエッジ近傍が順テーパ形状であることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 1 9】

上記ゲート絶縁膜は、各画素領域において、保持容量配線と重畳する領域の中に膜厚の小さくなった薄膜部を備えることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 2 0】

上記ゲート絶縁膜は、各画素領域において、トランジスタのゲート電極と重畳する部分に膜厚が小さくなった薄膜部を有しており、

上記薄膜部とトランジスタのソース電極との重畳面積は、上記薄膜部とトランジスタのドレイン電極との重畳面積より小さいことを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 2 1】

上記第 1 および第 2 の幹配線は、それぞれの電位波形の位相が互いに 180 度ずれるように電位制御されることを特徴とする請求項 2 記載のアクティブマトリクス基板。

【請求項 2 2】

上記第 1 の保持容量配線が、上記各トランジスタがオフされた後に電位が上昇してその状態が次フレームで上記各トランジスタがオフされるまで続くように電位制御されるとともに、上記第 2 の保持容量配線が、上記各トランジスタがオフされた後に電位が下降してその状態が次フレームで上記各トランジスタがオフされるまで続くように電位制御されるか、あるいは、

上記第 1 の保持容量配線が、上記各トランジスタがオフされた後に電位が下降してその状態が次フレームで上記各トランジスタがオフされるまで続くように電位制御されるとともに、上記第 2 の保持容量配線が、上記各トランジスタがオフされた後に電位が上昇してその状態が次フレームで上記各トランジスタがオフされるまで続くように電位制御されることを特徴とする請求項 2 に記載のアクティブマトリクス基板。

【請求項 2 3】

上記第 1 の保持容量配線の電位が上昇するのと、第 2 の保持容量配線の電位が下降するのとが一水平期間ずれているか、あるいは、上記第 1 の保持容量配線の電位が下降するのと、第 2 の保持容量配線の電位が上昇するのとが一水平期間ずれていることを特徴とする請求項 2 2 に記載のアクティブマトリクス基板。

【請求項 2 4】

各コンタクトホールで接続する両配線が異なる層に形成され、この両配線の交差部全体が、上記第 1 膜厚部の外周内に位置していることを特徴とする請求項 2 記載のアクティブマトリクス基板。

【請求項 2 5】

非表示領域において、第2の幹配線に接続する第2の保持容量配線が第1の幹配線とも交差しており、

この第2の保持容量配線と第1の幹配線とが交差する部分が、上記第1膜厚部の外周内に位置するが、この第2の保持容量配線と第1の幹配線とが交差する部分のゲート絶縁膜構造は、上記第2膜厚部と同一であることを特徴とする請求項24記載のアクティブマトリクス基板。

【請求項26】

2つの配線と、2つの配線の一方と同じ層に設けられ、2つの配線の他方と非表示領域にて交差する交差配線とを備え、

ゲート絶縁膜が2つの配線の一方を覆い、2つの配線の他方がゲート絶縁膜よりも上層に設けられ、この2つの配線の他方よりも上層に層間絶縁膜が設けられ、

上記2つの配線の一方と他方とが、非表示領域において、ゲート絶縁膜および上記2つの配線の他方並びに層間絶縁膜を貫通するコンタクトホールを埋めるように形成された接続電極によって接続され、

上記ゲート絶縁膜は、上記コンタクトホールに隣接する第1膜厚部と、少なくとも上記2つの配線の他方および交差配線が交差する部分に位置し、第1膜厚部より膜厚の大きな第2膜厚部とを備えることを特徴とするアクティブマトリクス基板。

【請求項27】

表示領域の各画素領域に、第1および第2のトランジスタと、第1のトランジスタに接続する第1の画素電極と、第2のトランジスタに接続する第2の画素電極と、第1の画素電極下を横切る第1の保持容量配線と、第2の画素電極下を横切る第2の保持容量配線とが形成され、

第1の保持容量配線が非表示領域に設けられたコンタクトホールを介して第1の幹配線に接続され、第2の保持容量配線が非表示領域に設けられたコンタクトホールを介して第2の幹配線に接続され、

上記第1および第2の保持容量配線が同じ層に形成され、上記第1および第2の幹配線が同じ層に形成され、

第1および第2の保持容量配線と同じ層に形成された走査信号線が、第1および第2の幹配線それぞれと非表示領域にて交差していることを特徴とする請求項26記載のアクティブマトリクス基板。

【請求項28】

請求項1または2に記載のアクティブマトリクス基板とこれに対向する対向基板とを備え、この両基板間に、スペーサと液晶層とが設けられた液晶パネルであって、

上記スペーサは、表示領域に配される第1のスペーサと非表示領域に配される第2のスペーサとからなり、

第1のスペーサ下のゲート絶縁膜構造と、第2のスペーサ下のゲート絶縁膜構造とが同一であることを特徴とする液晶パネル。

【請求項29】

上記ゲート絶縁膜は、第2のスペーサ下にあたる部分が第2膜厚部となっていることを特徴とする請求項28記載の液晶パネル。

【請求項30】

第1および第2のスペーサそれぞれが、ゲート絶縁膜で覆われる1つ金属配線のみに重なるように設けられ、該1つ金属配線が、走査信号線あるいは保持容量配線であることを特徴とする請求項28記載の液晶パネル。

【請求項31】

第1のスペーサが、ゲート絶縁膜の上層にあるデータ信号線と走査信号線との交差部分あるいは上記データ信号線と保持容量配線との交差部分に重なるように設けられ、第2のスペーサが、幹配線と走査信号線との交差部分あるいは幹配線と保持容量配線との交差部分に重なるように設けられていることを特徴とする請求項28記載の液晶パネル。

【請求項32】

第2のスペーサの比誘電率は、液晶層内の液晶材料の平均比誘電率よりも小さいことを特徴とする請求項28記載の液晶パネル。

【請求項33】

上記ゲート絶縁膜は、上記第1膜厚部において1以上のゲート絶縁層を有するとともに第2膜厚部において第1膜厚部より多いゲート絶縁層を有し、

上記第2膜厚部においては、いずれかのゲート絶縁層が平坦化膜であることを特徴とする請求項29に記載の液晶パネル。

【請求項34】

上記層間絶縁膜に有機物を含む層が含まれていることを特徴とする請求項29記載の液晶パネル。

10

【請求項35】

上記有機物は、アクリル系樹脂、エポキシ系樹脂、ポリイミド系樹脂、ポリウレタン系樹脂、ポリシロキサン系樹脂、およびノボラック系樹脂のいずれかであることを特徴とする請求項34記載の液晶パネル。

【請求項36】

請求項25記載のアクティブマトリクス基板とこれに対向する対向基板とを備え、この両基板間に、スペーサと液晶層とが設けられた液晶パネルであって、

上記スペーサは、表示領域に配される第1のスペーサと非表示領域に配される第2のスペーサとからなり、

第2の保持容量配線および第1の幹配線が交差する部分と重なるように第2のスペーサが設けられるとともに、第1のスペーサ下のゲート絶縁膜構造は、第2のスペーサ下のゲート絶縁膜構造と同一であり、

20

上記第2のスペーサの比誘電率は、液晶層内の液晶材料の平均比誘電率よりも小さいことを特徴とする液晶パネル。

【請求項37】

第1のスペーサは、ゲート絶縁膜の上層にあるデータ信号線と走査信号線あるいはいずれかの保持容量配線との交差部分に重なるように設けられていることを特徴とする請求項36記載の液晶パネル。

【請求項38】

請求項3記載のアクティブマトリクス基板とこれに対向する対向基板とを備え、この両基板間に、スペーサと液晶層とが設けられた液晶パネルであって、

30

上記スペーサは、表示領域に配される第1のスペーサと非表示領域に配される第2のスペーサとからなり、

第1のスペーサ下のゲート絶縁膜構造と、第2のスペーサ下のゲート絶縁膜構造とが同一であることを特徴とする液晶パネル。

【請求項39】

請求項1～3および26のいずれか1項に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。

【請求項40】

請求項1～3および26のいずれか1項に記載のアクティブマトリクス基板を備えることを特徴とする表示装置。

40

【請求項41】

請求項40に記載の表示装置と、テレビジョン放送を受信するチューナ部とを備えていることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、各種EL表示装置等の表示装置、およびそれらに用いられるアクティブマトリクス基板に関する。

【背景技術】

50

【 0 0 0 2 】

アクティブマトリクス基板は、液晶表示装置、E L (Electro Luminescence : エレクトロルミネッセンス) 表示装置等のアクティブマトリクス型表示装置において幅広く用いられている。一般的なアクティブマトリクス基板は、その表示領域に、複数の走査信号線、複数のデータ信号線、およびこれらの各交点に設けられたT F T (Thin Film Transistor : 薄膜トランジスタ) を有しており、このT F Tを介して、データ信号線から画素電極に適宜電位信号が伝送される。また、T F Tのオフ期間中の自己放電やT F Tのオフ電流による映像劣化を防止するため、あるいは液晶駆動における各種変調信号を伝送するために、各画素領域 (表示領域) に保持容量配線を備えたアクティブマトリクス基板も存在する。

10

【 0 0 0 3 】

ところで、表示領域に形成される複数の保持容量配線は、表示領域の周囲に設けられる非表示領域において共通配線 (幹配線) に接続される。例えば、図 3 7 (a) ・ 図 3 7 (b) に示す従来技術では、非表示領域において、各補助容量線 8 1 1 は、コンタクトホール 8 0 8 を介して、データ線 8 0 4 と同一層の導電膜で形成される集合補助容量線 8 1 3 (共通配線) に接続される (特許文献 1 ・ 2 参照)。なお、関連する公知文献として、下記特許文献 3 ・ 4 を挙げるができる。

【特許文献 1】日本国公開特許公報「特開 2 0 0 2 - 6 7 7 3 号公報 (平成 1 4 年(2002) 1 月 1 1 日公開)」

【特許文献 2】日本国公開特許公報「特開平 1 0 - 3 1 9 4 3 3 号公報 (平成 1 0 年(199 8) 1 2 月 4 日公開)」

20

【特許文献 3】日本国公開特許公報「特開平 7 - 1 1 4 0 4 4 号公報 (平成 7 年(1995) 5 月 2 日公開)」

【特許文献 4】日本国公開特許公報「特開平 7 - 2 8 7 2 5 2 号公報 (平成 7 年(1995) 1 0 月 3 1 日公開)」

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

ここで、上記従来技術では、各補助容量線 8 1 1 とゲート線 8 0 2 とは同一のレイヤーに形成され、集合補助容量線 8 1 3 (共通配線) はこれらより上層 (データ線 8 0 4 と同一層) に形成され、非表示領域において集合補助容量線 8 1 3 はゲート線 8 0 2 (走査信号線) と交差している。したがって、この交差部分では、ゲート線 8 0 2 上に絶縁膜 8 0 3 を介して集合補助容量線 8 1 3 が形成されることになり、ゲート線 8 0 2 と集合補助容量線 8 1 3 との短絡を確実に防止するためには、非表示領域の絶縁膜 8 0 3 にも相応の厚さが要求される。

30

【 0 0 0 5 】

一方で、絶縁膜 8 0 3 の厚みが増すと、コンタクトホール形成時のエッチング深さが増すことになり、絶縁膜 8 0 3 の膜厚や膜質のばらつき等によるコンタクトホール 8 0 8 の形成不良が発生し易くなる。例えば、コンタクトホール形成位置の膜厚が大きくなっていると、絶縁膜エッチング時にホールが開き切らず、各補助容量線 8 1 1 と集合補助容量線 8 1 3 とが接続不良となるおそれがある。

40

【 0 0 0 6 】

また、非表示領域において各走査信号線を、コンタクトホールを介して外部接続用の引き出し配線に接続する部分についても同様の問題がある。すなわち、引き出し配線と他の配線 (例えば、集合補助容量線) との短絡を確実に防止するには、非表示領域の絶縁膜にも相応の厚さが要求されるが、この絶縁膜の厚みが増すと、コンタクトホール形成時のエッチング深さが増すことになり、絶縁膜の膜厚や膜質のばらつき等によるコンタクトホールの形成不良が発生し易くなる。

【 0 0 0 7 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、非表示領域におい

50

て2つの配線（例えば、保持容量配線とその幹配線）を精度良く接続でき、かつこれらの配線と他の配線（例えば、走査信号線）との短絡が生じにくいアクティブマトリクス基板を提供する点にある。

【0008】

本発明に係るアクティブマトリクス基板は、複数の保持容量配線とこれらを覆う絶縁膜とを備えたアクティブマトリクス基板であって、各保持容量配線は、非表示領域において、絶縁膜の上層にある幹配線にコンタクトホールを介して接続され、上記絶縁膜は、該コンタクトホール内に（コンタクトホールの開口下に）割り貫かれた部分を有し、この割り貫かれた部分に隣接する領域の膜厚が小さくなっていることを特徴とする。また、本アクティブマトリクス基板は、非表示領域に設けられたコンタクトホールを介して接続された2つの配線と、これら配線の一方の配線と同じ層に設けられ、他方の配線と非表示領域にて交差する交差配線とを備えたアクティブマトリクス基板であって、上記2つの配線間にある絶縁層は、上記コンタクトホールを形成するための割り貫き部と、割り貫き部に接する第1の膜厚部と、少なくとも上記他方の配線および交差配線が交差する部分に位置し、第1の膜厚部より膜厚の大きな第2の膜厚部とを備えることを特徴とするともいえる。例えば、上記2つの配線は保持容量配線とその幹配線で、交差配線は走査信号線である。

10

【0009】

上記構成は、非表示領域において上記絶縁膜に局所的に膜厚の小さくなった部分を形成しておき、その一部（例えば中央部）を割り貫いて上記コンタクトホール（保持容量配線と幹配線を接続するコンタクトホール）を形成することで得られる。

20

【0010】

このように、非表示領域の絶縁膜について、コンタクトホール形成位置およびその近傍を薄く、その他の部分を厚くしておけば、幹配線と他の配線（例えば、走査信号線）との短絡を確実に回避しながら、該幹配線を保持容量配線に精度良く接続することができる。

【0011】

本発明に係るアクティブマトリクス基板は、表示領域の各画素領域に、第1および第2のトランジスタと、第1のトランジスタに接続する第1の画素電極と、第2のトランジスタに接続する第2の画素電極とを備えたアクティブマトリクス基板であって、各画素領域を通る第1および第2の保持容量配線と、該第1および第2の保持容量配線を覆う絶縁膜とを備え、非表示領域において、上記第1の保持容量配線が絶縁膜の上層にある第1の幹配線に第1のコンタクトホールを介して接続されるとともに、上記第2の保持容量配線が絶縁膜の上層にある第2の幹配線に第2のコンタクトホールを介して接続されており、上記絶縁膜は、上記第1のコンタクトホール内に（第1のコンタクトホールの開口下に）割り貫かれた部分を有し、この割り貫かれた部分に隣接する領域の膜厚が小さくなっているとともに、上記第2のコンタクトホール内に（第2のコンタクトホールの開口下に）割り貫かれた部分を有し、この割り貫かれた部分に隣接する領域の膜厚が小さくなっていることを特徴とする。

30

【0012】

本アクティブマトリクス基板によれば、上記第1および第2の保持容量配線の電位を個別制御することによって1つの画素領域に輝度の異なる複数の領域を形成すること（マルチピクセル駆動）が可能となり、この場合においても上記の効果を望むことができる。この場合、上記第1および第2の幹配線は、それぞれの電位波形の位相が互いに180度ずれるように電位制御されても構わない。

40

【0013】

また、上記第1および第2の幹配線はそれぞれ、第1および第2のトランジスタがオフされた後に電位が上昇あるいは降下するとともに、その状態が次フレームでこれらトランジスタがオフされるまで続くように電位制御されても良い。すなわち、上記第1の保持容量配線が、上記各トランジスタがオフされた後に電位が上昇してその状態が次フレームで上記各トランジスタがオフされるまで続くように電位制御されるとともに、上記第2の保持容量配線が、上記各トランジスタがオフされた後に電位が下降してその状態が次フレー

50

ムで上記各トランジスタがオフされるまで続くように電位制御されるか、あるいは、上記第1の保持容量配線が、上記各トランジスタがオフされた後に電位が下降してその状態が次フレームで上記各トランジスタがオフされるまで続くように電位制御されるとともに、上記第2の保持容量配線が、上記各トランジスタがオフされた後に電位が上昇してその状態が次フレームで上記各トランジスタがオフされるまで続くように電位制御される。

【0014】

この場合、上記第1の保持容量配線の電位が上昇するのと、第2の保持容量配線の電位が下降するのとが一水平期間ずれているか、あるいは、上記第1の保持容量配線の電位が下降するのと、第2の保持容量配線の電位が上昇するのとが一水平期間ずれていてもよい。

10

【0015】

本アクティブマトリクス基板においては、上記絶縁膜はゲート絶縁膜であって、割り貫かれた部分に隣接する第1の膜厚部と、該第1の膜厚部に隣接し、これより膜厚の大きな第2の膜厚部とを備え、各コンタクトホールで接続する両配線が異なる層に形成され、この両配線の交差部全体が、上記第1の膜厚部の外周内に位置していてもよい。このように、各幹配線下のより多くの部分を第1の膜厚部（ゲート絶縁膜が薄い部分）とすることで、各幹配線と対向電極との距離が広がり、両者間の寄生容量を低減することができる。これにより、各幹配線を伝わる信号の鈍りを抑制することができる。該構成では、さらに、非表示領域において、第2の幹配線に接続する第2の保持容量配線が第1の幹配線とも交差しており、この第2の保持容量配線と第1の幹配線とが交差する部分が、上記第1の膜厚部の外周内に位置するも、この第2の保持容量配線と第1の幹配線とが交差する部分のゲート絶縁膜構造は、上記第2の膜厚部（ゲート絶縁膜が厚い部分）と同一であることが望ましい。こうすれば、上記効果を得ながら第2の保持容量配線と第1の幹配線との短絡も防止することができる。

20

【0016】

本発明に係るアクティブマトリクス基板は、複数の走査信号線とこれらを覆う絶縁膜とを備えたアクティブマトリクス基板であって、各走査信号線は、非表示領域において、絶縁膜の上層にある引き出し配線にコンタクトホールを介して接続され、上記絶縁膜は、上記コンタクトホール内に（コンタクトホールの開口下に）割り貫かれた部分を有し、この割り貫かれた部分に隣接する領域の膜厚が小さくなっていることを特徴とする。

30

【0017】

上記構成は、非表示領域において上記絶縁膜に周囲より膜厚の小さな部分を形成するとともにその一部（例えば中央部）を割り貫いて上記コンタクトホール（走査信号線と引き出し配線を接続するコンタクトホール）を形成することで得られる。

【0018】

このように、非表示領域の絶縁膜について、上記コンタクトホールの形成位置を薄く、その他の部分を厚くしておけば、引き出し配線と他の配線（例えば、保持容量配線）との短絡を確実に回避しながら、該引き出し配線と走査信号線とを精度良く接続することができる。

【0019】

40

本発明に係るアクティブマトリクス基板においては、上記絶縁膜は、上記領域に該当する第1の膜厚部と、該第1の膜厚部に隣接し、これより膜厚の大きな第2の膜厚部とを備える。上記構成は、非表示領域に位置する絶縁膜に周囲（第2の膜厚部）より膜厚の小さな第1の膜厚部を形成するとともに該第1の膜厚部の一部（例えば中央部）を割り貫いて上記コンタクトホールを形成することで得られる。なお、第1の膜厚部は割り貫き部を取り囲むように形成されていることが好ましく、第2の膜厚部は、少なくとも非表示領域における幹配線および他配線の交差部に形成されていれば良い。

【0020】

本アクティブマトリクス基板においては、上記絶縁層はゲート絶縁膜であっても良く、このゲート絶縁膜は複数のゲート絶縁層からなり、上記薄膜部においては少なくとも1つ

50

のゲート絶縁層が薄く形成されていても構わない。また、上記ゲート絶縁膜は複数のゲート絶縁層からなり、薄膜部において1以上のゲート絶縁層を有し、他の部分においてそれより多いゲート絶縁層を有する構成とすることもできる。

【0021】

この場合、少なくとも1つのゲート絶縁層を平坦化膜としても良い。こうすれば、走査信号線およびデータ信号線の交差部の段差が小さくなり、データ信号線が走査信号線を乗り越える段差が軽減されるため、信号線交差部におけるデータ信号線の断線が発生し難くなる。また、例えば、ゲート絶縁層の1つにSiNx（窒化シリコン）膜を用いる場合、ゲート電極のテーパー部における緻密さがその他の領域より低下（膜質が低下）し、静電気によるSiNxの破壊が発生しやすい。ここで、複数のゲート絶縁層のいずれかに平坦化膜を用いれば、上記テーパー部においても絶縁膜の厚みを確保することができ、SiNx膜の破壊を防止できる。

10

【0022】

本アクティブマトリクス基板においては、上記ゲート絶縁膜が有機物を含むゲート絶縁層を備えても良い。有機物を含む材料としてはSOG（スピノングラス）材料やアクリル系樹脂材料、エポキシ系樹脂、ポリイミド系樹脂、ポリウレタン系樹脂、ポリシロキサン系樹脂、ノボラック系樹脂などがある。これらの材料は基板上に塗布することで形成できるので、ミクロンオーダーの厚膜化が比較的容易である。このため、走査信号線に接続された導電層や保持容量配線と他の配線との距離を大きくすることができ、短絡を発生し難くすることができる。

20

【0023】

また、上記他の部分においては、最下層のゲート絶縁層を平坦化膜とすることが好ましい。さらに、上記平坦化膜の基板面に接する部分の厚みが、基板面に形成されるゲート電極の厚みよりも大きいことが好ましい。こうすれば、平坦化効果が向上し、各信号線間短絡の発生を一層抑制することができる。また、データ信号線の断線もより発生し難くなる。

【0024】

また、この最下層のゲート絶縁層を、スピノングラス（SOG）材料からなる平坦化膜（SOG膜）とすることが好ましい。こうすれば、第1ゲート絶縁層としてのSOG膜上に、第2ゲート絶縁層、高抵抗半導体層、および低抵抗半導体層をCVD法などにより連続して成膜することができる。これにより、製造工程の短縮が可能となる。この場合、上記薄膜部ではSOG膜を抜いておき、他の部分の最下層にSOG膜を形成する構成とすることもできる。また、ゲート絶縁膜における上記薄膜部のエッジ近傍を順テーパー形状とすれば、その上層に形成される各電極が断線しにくくなる。

30

【0025】

本アクティブマトリクス基板においては、上記コンタクトホールが複数形成されていても良い。このように、コンタクトホールを複数形成することで、コンタクトの冗長性が得られ、コンタクト不良の発生をさらに抑制することが可能となる。また、上記コンタクトホール内には、保持容量配線と幹配線とを接続する接続電極が形成されていても良い。こうすれば、コンタクトホール部分の面積を小さくできるので、非表示領域の面積を小さくできる。これにより、アクティブマトリクス基板を小型化できる。この場合、上記接続電極は、表示領域の画素電極と同一材料で形成されていても良い。こうすれば、接続電極を画素電極形成時に同時形成することができるので、アクティブマトリクス基板の製造工程を簡略化できる。また、上記幹配線は、表示領域のデータ信号線と同一材料で形成されていても良い。こうすれば、データ信号線形成時に幹配線を同時形成することができ、アクティブマトリクス基板の製造工程を簡略化できる。

40

【0026】

本アクティブマトリクス基板は、ゲート絶縁層の上層に、第1および第2の層間絶縁膜を備え、上記コンタクトホールはゲート絶縁膜並びに第1および第2の層間絶縁膜を貫いていても良い。この場合、各画素領域に、トランジスタと画素電極とを接続する画素内コ

50

ンタクトホールが形成され、画素内コンタクトホール下のゲート絶縁膜は第2の膜厚部と同一の構造であっても良い。こうすれば、画素領域においてトランジスタ（そのドレイン電極）と保持容量配線とが短絡しにくくなり、欠陥画素の発生を抑制することができる。

【0027】

上記構成においては、非表示領域のコンタクトホールで接続する両配線が異なる層に形成され、この両配線の交差部全体が、第1の膜厚部の外周内に位置していることが好ましい。こうすれば、非表示領域のコンタクトホール部分における第2の層間絶縁膜の厚みと、画素内コンタクトホール部分における第2の層間絶縁膜の厚みとの差（膜厚差）を小さくでき、製造工程の簡易（短縮）化を図ることができる。例えば、上記交差部において、両配線のうち下層側に位置する配線のエッジと、第1の膜厚部のエッジとの間隔が60 μ m以上とする。こうすれば、上記膜厚差を0.1～0.2 μ m程度にできるため、同一の露光量で両コンタクトホールを形成することができる。これにより、第2層間絶縁膜が残ってコンタクト不良が発生するといったおそれを低減することができる。

【0028】

本アクティブマトリクス基板では、上記ゲート絶縁膜は、各画素領域において、保持容量配線と重畳する領域の中に膜厚の小くなった薄膜部を備えても良い。こうすれば、保持容量配線と薄膜部とが重なる位置で容量を支配的に決定でき、保持容量配線の仕上がり具合が容量ばらつきに与える影響が小さくなる。

【0029】

本アクティブマトリクス基板では、上記ゲート絶縁膜は、各画素領域において、トランジスタのゲート電極と重畳する部分に膜厚が小さくなった薄膜部を有しており、上記薄膜部とトランジスタのソース電極との重畳面積は、上記薄膜部とトランジスタのドレイン電極との重畳面積より小さい構成とすることもできる。こうすれば、トランジスタの特性を維持しつつ、修正が容易でない信号線間（データ信号線・走査信号線間）短絡の発生を抑制することが可能となる。

【0030】

本発明の液晶パネルは、上記アクティブマトリクス基板とこれに対向する対向基板とを備え、この両基板間に、スペーサと液晶層とが設けられた液晶パネルであって、上記絶縁膜はゲート絶縁膜であり、上記スペーサは、表示領域に配される第1のスペーサと非表示領域に配される第2のスペーサとからなり、第1のスペーサ下のゲート絶縁膜構造と、第2のスペーサ下のゲート絶縁膜構造とが同一であることを特徴とする。

【0031】

このように、非表示領域・表示領域間でスペーサ下のゲート絶縁膜構造を一致させることで第1および第2のスペーサの高さ設定が容易になり、表示領域および非表示領域間のセルギャップの差を小さくすることができる。これにより、表示領域および非表示領域の境界近傍における輝度ムラの発生を抑制することができる。

【0032】

本液晶パネルにおいては、上記ゲート絶縁膜は、上記割り貫かれた部分に隣接する第1の膜厚部と、この第1の膜厚部に隣接し、該第1の膜厚部より膜厚の大きな第2の膜厚部とを有しており、第2のスペーサ下にあたる部分が第2の膜厚部となっていることが好ましい。第2の膜厚部はゲート絶縁膜が厚く、ゲート絶縁膜にSOG材料等を用いることで平坦化効果が得られるためである。なお、上記ゲート絶縁膜は、上記第1の膜厚部において1以上のゲート絶縁層を有するとともに第2の膜厚部において第1の膜厚部より多いゲート絶縁層を有し、上記第2の膜厚部においては、いずれかのゲート絶縁層が平坦化膜であってもよい。

【0033】

本液晶パネルにおいては、第1および第2のスペーサそれぞれが、ゲート絶縁膜で覆われる1つ金属配線の上に重なるように設けられ、該1つ金属配線が、走査信号線あるいは保持容量配線であってもよい。

【0034】

10

20

30

40

50

このように、非表示領域・表示領域間でスペーサ下の積層構造を類似させることで第1および第2のスペーサの高さ設定がより容易になり、表示領域および非表示領域間のセルギャップの差をより小さくすることができる。

【0035】

本液晶パネルにおいては、第1のスペーサが、ゲート絶縁膜の上層にあるデータ信号線と走査信号線との交差部分あるいは上記データ信号線と保持容量配線との交差部分に重なるように設けられ、第2のスペーサが、幹配線と走査信号線との交差部分あるいは幹配線と保持容量配線との交差部分に重なるように設けられていてもよい。

【0036】

このように、非表示領域・表示領域間でスペーサ下の積層構造を類似させることで第1および第2のスペーサの高さ設定がより容易になり、表示領域および非表示領域間のセルギャップの差をより小さくすることができる。

10

【0037】

本液晶パネルにおいては、少なくとも第2のスペーサの比誘電率が、液晶層内の液晶材料の平均比誘電率よりも小さいことが好ましい。こうすれば、第2のスペーサをいずれかの幹配線上に設置した場合に、該幹配線および対向基板（電極）間の寄生容量が低減され、幹配線を伝わる信号の鈍りを抑制することができる。

【0038】

本液晶パネルにおいては、ゲート絶縁膜と液晶層との間に層間絶縁膜が形成され、該層間絶縁膜に有機物を含む層が含まれていてもよい。有機物を含む層間絶縁膜は、SiNxやSiO₂といった無機膜に比べ弾性がある。よって、表示領域と非表示領域のスペーサが対向基板側に形成され、かつスペーサがアクティブマトリクス基板と接触するような構成においては、有機物を含む層間絶縁膜が配置されていると、その弾性変形によって、対向基板側のカラーフィルタ層やブラックマトリクスの厚みばらつき、あるいはスペーサ高さのばらつき、あるいはアクティブマトリクス基板の膜厚ばらつきが吸収されるという効果がある。なお、有機物を含む層間絶縁膜には、アクリル系樹脂、エポキシ系樹脂、ポリイミド系樹脂、ポリウレタン系樹脂、ポリシロキサン系樹脂、ノボラック系樹脂等を用いることができる。

20

【0039】

本液晶パネルは、上記アクティブマトリクス基板とこれに対向する対向基板とを備え、この両基板間に、スペーサと液晶層とが設けられた液晶パネルであって、上記スペーサは、表示領域に配される第1のスペーサと非表示領域に配される第2のスペーサとからなり、第2の保持容量配線および第1の幹配線が交差する部分と重なるように第2のスペーサが設けられるとともに、第1のスペーサ下のゲート絶縁膜構造は、第2のスペーサ下のゲート絶縁膜構造と同一であり、上記第2のスペーサは液晶層内の液晶材料よりも比誘電率が小さいことを特徴とする。

30

【0040】

このように、非表示領域・表示領域間でスペーサ下の積層構造を類似させることで第1および第2のスペーサの高さ設定がより容易になり、表示領域および非表示領域間のセルギャップの差をより小さくすることができる。

40

【0041】

また、第1の幹配線と第2の保持容量配線との短絡を防止するためにそれらの交差部を第2の膜厚部（ゲート絶縁膜が厚い部分）にすると、第1の幹配線および対向基板間の距離が縮まり、両者間の寄生容量は増加する。そこで、この交差部分上に、液晶材料の平均比誘電率よりも小さい比誘電率をもつスペーサを配することで、この寄生容量を低減することができる。

【0042】

本液晶パネルは、第1のスペーサは、ゲート絶縁膜の上層にあるデータ信号線と走査信号線あるいはいずれかの保持容量配線との交差部分に重なるように設けられていることが望ましい。

50

【 0 0 4 3 】

本液晶パネルは、上記アクティブマトリクス基板とこれに対向する対向基板とを備え、この両基板間に、スペーサと液晶層とが設けられた液晶パネルであって、上記絶縁膜はゲート絶縁膜であり、上記スペーサは、表示領域に配される第1のスペーサと非表示領域に配される第2のスペーサとからなり、第1のスペーサ下のゲート絶縁膜構造と、第2のスペーサ下のゲート絶縁膜構造とが同一であることを特徴とする。

【 0 0 4 4 】

このように、非表示領域・表示領域間でスペーサ下の積層構造を類似させることで第1および第2のスペーサの高さ設定がより容易になり、表示領域および非表示領域間のセルギャップの差をより小さくすることができる。

10

【 0 0 4 5 】

また、本発明の表示装置は、上記アクティブマトリクス基板を備えることを特徴とする。

【 0 0 4 6 】

また、本発明のテレビジョン受像機は、上記表示装置と、テレビジョン放送を受信するチューナ部とを備えていることを特徴とする。

【 0 0 4 7 】

以上のように、非表示領域の絶縁膜について、保持容量配線およびその幹配線を接続するコンタクトホール形成位置を薄く、その他の部分を厚くしておくことで、幹配線と他の配線との短絡を確実に回避しながら、該幹配線および保持容量配線を精度良く接続することができる。また、走査信号線およびその引き出し配線を接続するコンタクトホール形成位置を薄く、その他の部分を厚くしておくことで、引き出し配線と他の配線との短絡を確実に回避しながら、該引き出し配線と走査信号線とを精度良く接続することができる。

20

【 図面の簡単な説明 】

【 0 0 4 8 】

【図1】本実施の形態に係るアクティブマトリクス基板の構成を示す平面図である。

【図2】図1のA1 - A2の断面を示す断面図である。

【図3】本アクティブマトリクス基板の他の構成を示す平面図である。

【図4】図3のA3 - A4の断面を示す断面図である。

30

【図5】本アクティブマトリクス基板の他の構成を示す平面図である。

【図6】本アクティブマトリクス基板の他の構成を示す平面図である。

【図7】図6のB1 - B2の断面を示す断面図である。

【図8】図6のB3 - B4の断面を示す断面図である。

【図9】本アクティブマトリクス基板のコンタクトホールの構成を示す平面図である。

【図10】図7・8に示す距離dとT1およびT2の差（膜厚差）との関係を示すグラフである。

【図11】本実施の形態に係る液晶パネルの構成を示す断面図である。

【図12】本実施の形態に係る液晶パネルの制御構成を示すブロック図である。

【図13】本実施の形態に係るテレビジョン受像機の構成を示すブロック図である。

40

【図14】本実施の形態に係るテレビジョン受像機の構成を示す斜視図である。

【図15】図5に示すアクティブマトリクス基板の駆動方法を示すタイミングチャートである。

【図16】図5に示すアクティブマトリクス基板の他の駆動方法を示すタイミングチャートである。

【図17】本アクティブマトリクス基板の他の駆動方法を示すタイミングチャートである。

【図18】図5に示すアクティブマトリクス基板の変形例を示す平面図である。

【図19】図18に示すアクティブマトリクス基板を用いた液晶パネルの構成を示す平面図である。

50

【図 20】図 19 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

【図 21】図 19 に示す液晶パネルの変形例を示す平面図である。

【図 22】図 21 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

【図 23】図 19 に示す液晶パネルの変形例を示す平面図である。

【図 24】図 23 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

【図 25】図 19 に示す液晶パネルの変形例を示す平面図である。

【図 26】図 25 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

10

【図 27】図 19 に示す液晶パネルの変形例を示す平面図である。

【図 28】図 27 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

【図 29】図 19 に示す液晶パネルの変形例を示す平面図である。

【図 30】図 29 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

【図 31】図 19 に示す液晶パネルの変形例を示す平面図である。

【図 32】図 31 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

20

【図 33】図 6 に示すアクティブマトリクス基板を用いた液晶パネルの構成を示す平面図である。

【図 34】図 33 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

【図 35】図 3 に示すアクティブマトリクス基板を用いた液晶パネルの構成を示す平面図である。

【図 36】図 35 に示す液晶パネルの表示領域の線矢視断面図および非表示領域の線矢視断面図である。

【図 37 (a)】従来のアクティブマトリクス基板の構成を示す平面図である。

【図 37 (b)】図 37 (a) に示すアクティブマトリクス基板の断面図である。

30

【符号の説明】

【0049】

7 ドレイン引き出し電極

8 ドレイン電極

9 ソース電極

10 10x 10y 10z アクティブマトリクス基板

11 48 68 コンタクトホール

12 TFT (トランジスタ)

15 データ信号線

16 走査信号線

40

17 画素電極

18 保持容量配線

21 第1ゲート絶縁層

22 第2ゲート絶縁層

31 57 薄膜部

40 ゲート絶縁膜

44 表示領域

50 Cs 幹配線

51 フォトスペーサ

52 62 92 切り貫き部

50

5 3 6 3 7 1 9 3 第 1 の膜厚部
 5 4 6 4 9 4 第 2 の膜厚部
 5 5 非表示領域
 5 9 x ゲート引き出し配線
 6 1 フォトスペーサ
 P A 画素領域

【発明を実施するための最良の形態】

【0050】

本発明の実施の形態 1 について図 1 ~ 図 3 6 に基づいて説明すれば以下のとおりである。図 1 は、本実施の形態に係るアクティブマトリクス基板（表示領域・非表示領域）の概略構成を示す平面図であり、図 2 は図 1 に示す A 1 - A 2 線矢視断面図である。

10

【0051】

図 1 に示されるように、アクティブマトリクス基板 1 0 は、その表示領域 4 4 において、互いに直交するように図中左右方向に形成された走査信号線 1 6 および図中上下方向に形成されたデータ信号線 1 5 と、各信号線（1 5 ・ 1 6）の交点近傍に形成された T F T（Thin Film Transistor：薄膜トランジスタ）1 2 と、画素電極 1 7 と、図中左右方向に形成された保持容量配線（C s 配線）1 8 とを備える。以下、図中左右方向は走査信号線あるいは保持容量配線に沿う方向、図中上下方向はデータ信号線に沿う方向を意味する。

【0052】

20

T F T 1 2 は、そのソース電極 9 がデータ信号線 1 5 に接続され、そのドレイン電極 8 がドレイン引き出し配線 3 7、ドレイン引き出し電極 7、およびコンタクトホール 1 1 を介して画素電極 1 7 に接続される。なお、走査信号線 1 6 が T F T 1 2 のゲート電極を兼ねている。画素電極 1 7 は I T O 等の透明電極であり、アクティブマトリクス基板 1 0 下からの光（バックライト光）を透過させる。

【0053】

アクティブマトリクス基板 1 0 においては、走査信号線 1 6 に送られる走査信号（ゲート ON 電圧）によって T F T 1 2 が ON（ソース電極 9 とドレイン電極 8 とが導通状態）となり、この状態においてデータ信号線 1 5 に送られるデータ信号（信号電圧）がソース電極 9、ドレイン電極 8、ドレイン引き出し配線 3 7、ドレイン引き出し電極 7、およびコンタクトホール 1 1 を介して画素電極 1 7 に書き込まれる。

30

【0054】

保持容量配線 1 8 は各画素領域 P A を図中左右方向に横切っており、この保持容量配線 1 8 が保持容量の一方電極（保持容量下電極）として、ドレイン引き出し電極 7 が他方の電極（保持容量上電極）として機能する。なお、この保持容量は、例えば、画素電極 1 7 に次のデータ信号が入力されるまでの間、画素電極 1 7 に書き込まれた電位を保持するための容量 C として機能する。

【0055】

一方図 1 に示されるように、アクティブマトリクス基板 1 0 は、その非表示領域 5 5 において、走査信号線の端部 1 6 x と、保持容量配線（C s 配線）の端部 1 8 x と、図中上下方向に形成された C s 幹配線（共通配線）5 0 とを備える。ここで、各保持容量配線の端部 1 8 x はコンタクトホール 4 8 を介して C s 幹配線 5 0 に接続されており、該 C s 幹配線 5 0 を介して各保持容量配線 1 8 に所定の電位が与えられる。具体的には、非表示領域 5 5 において各保持容量配線の端部 1 8 x と C s 幹配線 5 0 とが直交しており、その交差部 P の中にコンタクトホール 4 8 が形成されている。

40

【0056】

ここで、上記交差部分およびその近傍の断面構造を図 2 に示す。同図に示すように、非表示領域では、基板 2 0 上に保持容量配線の端部 1 8 x と走査信号線の端部 1 6 x とが形成され、これらを覆うようにゲート絶縁膜 4 0 が設けられる。ゲート絶縁膜 4 0 は、保持容量配線の端部 1 8 x と重畳する領域の中に、コンタクトホール 4 8 の一部となる（コン

50

タクトホール４８の開口下に位置する）割り貫き部５２と、該割り貫き部５２を取り囲む第１の膜厚部５３とを備える。さらに、ゲート絶縁膜４０は、該第１の膜厚部５３を取り囲むように第２の膜厚部５４を備え、この第２の膜厚部５４は、例えば走査信号線の端部１６×と重なっている。ここで、第２の膜厚部５４は第１のゲート絶縁層２１と第２のゲート絶縁層２２とからなる一方で第１の膜厚部５３は第２のゲート絶縁層２２のみからなる。製造工程では、保持容量配線１８および走査信号線１６を覆うように第１のゲート絶縁層２１を形成した後にその一部（第１の膜厚部５３および割り貫き部５２に対応する箇所）をエッチング除去し、続いて第２のゲート絶縁層２２を形成し、さらに、第２のゲート絶縁層２２の割り貫き部５２に対応する部分をエッチング除去する。これにより、第１および第２の膜厚部５３・５４並びに割り貫き部５２が形成される。

10

【００５７】

ゲート絶縁膜４０上には、割り貫き部５２以外の部分にＣｓ幹配線５０が形成される。すなわち、Ｃｓ幹配線５０には、（ゲート絶縁膜の）割り貫き部５２と全体が重なるメタル抜き部４９が設けられる構成となっている。

【００５８】

さらに、Ｃｓ幹配線５０上には第１の層間絶縁膜２５が形成される。第１の層間絶縁膜２５にはコンタクトホール４８の一部となるホールが、Ｃｓ幹配線５０と重なるように設けられており、コンタクトホール４８内でＣｓ幹配線５０の一部が露出する構造となっている。そして、ゲート絶縁膜の割り貫き部５２およびメタル抜き部４９並びに第１の層間絶縁膜２５のホールを埋めるように接続電極３８（ＩＴＯ）が形成されており、この接続電極３８によって保持容量配線の端部１８×とＣｓ幹配線５０とが接続される。

20

【００５９】

以上の構成を平面的にみると、図１に示すように、第１の膜厚部５３は、全体が交差部Ｐ（Ｃｓ幹配線および保持容量配線の端部の交差部）と重畳しており、その外周（エッジ）は図中上下方向を長手方向とする長方形形状となっている。メタル抜き部４９は、その全体が第１の膜厚部５３のエッジ内におさまるような図中左右方向を長手方向とする長方形形状である。コンタクトホール４８は、その全体が第１の膜厚部５３のエッジ内におさまる、かつメタル抜き部４９と直角に交差するような図中上下方向を長手方向とする長方形形状となっている。このように、コンタクトホール４８とメタル抜き部４９とを直交させることで、両者間のズレマージンを大きくすることができる。

30

【００６０】

なお、Ｃｓ幹配線５０および保持容量配線の端部１８×を接続するコンタクトホール４８は図１のように１つである必要はなく、図９のように複数のコンタクトホール４８ｍとすることも可能である。

【００６１】

このように、非表示領域５５のゲート絶縁膜について、コンタクトホール４８の形成位置を薄く、その他の部分を厚くしておけば、Ｃｓ幹配線５０と他の配線（例えば、走査信号線の端部１６×）との短絡を確実に回避しながら、Ｃｓ幹配線５０と保持容量配線の端部１８×とを精度良く接続することができる。

【００６２】

本アクティブマトリクス基板１０の表示領域４４については以下のとおりである。すなわち、保持容量配線１８を覆うゲート絶縁膜上に、ＴＦＴ１２のドレイン電極８から引き出されたドレイン引き出し電極７および第１の層間絶縁膜がこの順に形成され、該第１の層間絶縁膜上に画素電極１７が形成される。

40

【００６３】

ドレイン引き出し電極７は、その全体が画素電極１７および保持容量配線１８と重畳する。ここで、各画素領域ＰＡに設けられるゲート絶縁膜は、ドレイン引き出し電極７と重畳する領域の中に、周囲より膜厚の小さくなった薄膜部３１を有している。薄膜部３１は、図２の第１の膜厚部５３と同じ構成であり、第２のゲート絶縁層２２のみからなる。なお、薄膜部３１の周囲のゲート絶縁膜は、第２の膜厚部と同じ構造（第１のゲート絶縁層

50

2 1 および第 2 のゲート絶縁層 2 2 からなる) となっている。平面的にみると、薄膜部 3 1 は左右方向を長手方向とする長方形形状であり、その全体が保持容量配線 1 8 およびドレイン引き出し電極 7 と重畳している。これにより、保持容量配線 1 8 およびドレイン引き出し電極 7 並びに薄膜部 3 1 の重なり部分で上記容量 C を支配的に決定できるようになるため、保持容量配線 1 8 の仕上がり具合が容量 C ばらつきに与える影響が小さくなる。さらに、各画素領域 P A には、その全体が薄膜部 3 1 およびドレイン引き出し電極 7 と重畳するコンタクトホール 1 1 が設けられ、このコンタクトホール 1 1 を介してドレイン引き出し電極 7 が画素電極 1 7 に接続される。

【 0 0 6 4 】

また、各画素領域 P A のゲート絶縁膜には、T F T 1 2 と重畳する部分にも周囲より膜厚の小さくなった薄膜部 5 7 が設けられる。薄膜部 5 7 は第 1 の膜厚部と同じ構成であり、第 2 のゲート絶縁層のみからなる。ここで、ソース電極 9 と薄膜部 5 7 との重畳面積が、ドレイン電極 8 と薄膜部 5 7 との重畳面積より小さくなるように構成されている。こうすれば、T F T 1 2 の特性を維持しつつ、修正が容易でない信号線間 (データ信号線 1 5 ・走査信号線間 1 6) 短絡の発生を抑制することが可能となる。

【 0 0 6 5 】

なお、第 1 ゲート絶縁層 2 1 としては、絶縁性の材料 (例えば、有機物を含む材料) を用いることが可能であるが、例えば、スピンオンガラス (S O G) 材料を用いることができる。S O G 材料とは、スピンコート法などの塗布法によってガラス膜 (シリカ膜) を形成し得る材料のことである。S O G 材料の中でも、例えば有機成分を含むスピンオンガラス材料 (いわゆる有機 S O G 材料) が好適である。有機 S O G 材料としては、特に、S i - O - C 結合を骨格とする S O G 材料や、S i - C 結合を骨格とする S O G 材料を好適に用いることができる。有機 S O G 材料は、比誘電率が低く、容易に厚い膜を形成することができる。すなわち、有機 S O G 材料を用いれば、第 1 ゲート絶縁層 2 1 の比誘電率を低くして第 1 ゲート絶縁層 2 1 を厚く形成することが容易になるとともに平坦化を行うことも可能になる。本実施の形態では、第 1 ゲート絶縁層 2 1 の厚さを、1 . 5 μ m ~ 2 . 0 μ m 程度としている。なお、有機物を含む材料としては上記 S O G 材料のほか、アクリル系樹脂材料、エポキシ系樹脂、ポリイミド系樹脂、ポリウレタン系樹脂、ポリシロキサン系樹脂、ノボラック系樹脂などがある。

【 0 0 6 6 】

なお、上記 S i - O - C 結合を有する S O G 材料としては、例えば、特開 2 0 0 1 - 9 8 2 2 4 号公報や特開平 6 - 2 4 0 4 5 5 号公報に開示されている材料や、I D W ' 0 3 予稿集第 6 1 7 頁に開示されている東レ・ダウコーニング・シリコン株式会社製 D D 1 1 0 0 を挙げることができる。また、S i - C 結合を骨格とする S O G 材料としては、例えば、特開平 1 0 - 1 0 2 0 0 3 号公報に開示されている材料を挙げることができる。

【 0 0 6 7 】

また、第 1 ゲート絶縁層 2 1 に、シリカフィラーを含む有機 S O G 材料を用いることもできる。この場合、有機 S O G 材料から形成された基材中にシリカフィラーを分散させた構成とすることが好ましい。こうすれば、基板 2 0 が大型化しても、第 1 ゲート絶縁層 2 1 を、クラックを発生させることなく形成することができる。なお、シリカフィラーの粒径は、例えば、1 0 n m ~ 3 0 n m であり、その混入比率は、2 0 体積 % ~ 8 0 体積 % である。シリカフィラーを含む有機 S O G 材料としては、例えば、触媒化学社製 L N T - 0 2 5 を用いることができる。

【 0 0 6 8 】

第 2 ゲート絶縁層 2 2 は、第 1 ゲート絶縁層 2 1 上に形成する絶縁性の膜である。本実施の形態では、第 2 ゲート絶縁層 2 2 は窒化シリコン (S i N x) からなる膜であり、その窒化シリコン膜の厚さは 3 0 0 n m ~ 5 0 0 n m (3 0 0 0 ~ 5 0 0 0) 程度となっている。

【 0 0 6 9 】

また、データ信号線 1 5 、ソース電極 9 、ドレイン電極 8 および C s 幹配線 5 0 等は、

例えば、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属またはこれら金属の合金からなる単層膜または積層膜とすることができる。これらの膜厚は、 $100\text{ nm} \sim 300\text{ nm}$ ($1000 \sim 3000$) の程度とすればよい。

【0070】

また、第1の層間絶縁膜25(チャネル保護膜)としては、窒化シリコン、酸化シリコン等の無機絶縁膜または、それらの積層膜等が用いられる。本実施の形態では $200\text{ nm} \sim 500\text{ nm}$ ($2000 \sim 5000$) 程度の膜厚の窒化シリコンを用いている。

【0071】

また、第1の層間絶縁膜25上に形成される画素電極17(表示領域)および接続電極38(非表示領域)は、例えば、ITO、IZO、酸化亜鉛、酸化スズ等の透明性を有する導電膜からなっており、膜厚は $100\text{ nm} \sim 200\text{ nm}$ ($1000 \sim 2000$) 程度である。

10

【0072】

以下に、本アクティブマトリクス基板の製造方法の一例を、図1・図2を用いて説明する。

【0073】

まず、透明絶縁性基板20上にチタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属またはこれら金属の合金をスパッタリング法等の方法にて成膜する。そして、この金属膜または合金膜をフォトリソ法等にて必要な形状にパターン形成することによって、保持容量配線18および走査信号線16(各TFTのゲート電極)が形成される。なお、非表示領域には保持容量配線の端部18xが形成される。

20

【0074】

次いで、スピンコート法を用いて、保持容量配線18および走査信号線16の上を覆うようにSOG材料等を塗布する。これにより、第1ゲート絶縁層21(平坦化膜)が形成される。そして、第1ゲート絶縁層21上にフォトリソを塗布した後に、フォトリソを用いて露光を行い、その後、現像を施す。次いで、ドライエッチングを行うことにより、第1ゲート絶縁層21を除去する。ドライエッチングは、例えば、四フッ化水素(CF_4)と酸素(O_2)との混合ガスを用いて行うことができる。このとき、四フッ化水素(CF_4)と酸素(O_2)との混合比率を調整することで、第1ゲート絶縁層除去部分のエッジ近傍を順テーパ形状にすることができる。

30

【0075】

このように第1ゲート絶縁層21をパターンングすることで、非表示領域の第1の膜厚部53と、表示領域の各薄膜部(保持容量配線18と重畳する薄膜部31およびTFT部の薄膜部57)を形成することができる。

【0076】

続いて、第2ゲート絶縁層22、半導体層(高抵抗半導体層および低抵抗半導体層)をプラズマCVD(化学的気相成長法)等によって連続して成膜した後に、フォトリソ法等によってパターン形成する。

【0077】

次いで、データ信号線15、ソース電極9、ドレイン電極8、ドレイン引き出し配線37、ドレイン引き出し電極7、加えて、非表示領域にCs幹配線50を形成する。これらは全て同一工程により形成することができる。具体的には、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属またはこれら金属の合金をスパッタリング法等の方法にて成膜し、この金属膜または合金膜をフォトリソ法等にて必要な形状にパターンングする。

40

【0078】

そして、アモルファスシリコン膜等の高抵抗半導体層(i層)、n+アモルファスシリコン膜等の低抵抗半導体層(n+層)に対して、データ信号線15、ソース電極9、およびドレイン電極8のパターンをマスクにし、ドライエッチングにてチャネルエッチングを行う。このプロセスにてi層の膜厚が最適化され、TFT12が形成される。すなわち、

50

データ信号線 15、ソース電極 8 およびドレイン電極 9 にて覆われていない半導体層がエッチング除去され、TFT 12 の能力に必要な i 層膜厚が残される。

【0079】

次いで、TFT 12 のチャンネルを保護する（チャンネルを覆う）第 1 の層間絶縁膜 25 を形成する。本実施の形態では、プラズマ CVD 法等を用いて、窒化シリコン、酸化シリコン等の無機絶縁膜を成膜した。

【0080】

さらに、表示領域ではコンタクトホール 11 の位置に基づいて第 1 の層間絶縁膜 25 をエッチングしてホールを形成するとともに、非表示領域ではコンタクトホール 48 の位置に基づいて第 1 の層間絶縁膜 25 および第 2 のゲート絶縁層 22 をエッチングしてホールを形成する。ここでは、例えば、感光性レジストをフォトリソグラフィ法（露光および現像）によりパターンニングし、エッチングを行う。

【0081】

ついで、第 1 の層間絶縁膜上および各絶縁層（25・22）のホール内に、ITO、IZO、酸化亜鉛、酸化スズ等の透明性を有する導電膜をスパッタリング法等の方法によって成膜し、これをフォトエッチング法等の方法にて必要な形状にパターンする。これにより、表示領域においては画素電極 17 が形成され、コンタクトホール 11 では画素電極 17 とドレイン引き出し電極 7 とが接続される。また、非表示領域においては接続電極 38 が形成され、コンタクトホール 48 にて Cs 幹配線 50 と保持容量配線の端部 18x とが接続される。

【0082】

本アクティブマトリクス基板は、図 3 のように構成することも可能である。図 3 に示されるように、アクティブマトリクス基板 10y は、非表示領域 55 において、図中左右方向に形成された走査信号線の端部 16x と、図中左右方向に形成されたゲート引き出し配線の端部 59x と、図中左右方向に形成された保持容量配線（Cs 配線）の端部 18x と、図中上下方向に形成された Cs 幹配線（共通配線）50 とを備える。なお、表示領域 44 の構成は図 1 と同様である。ここで、走査信号線の端部 16x はコンタクトホール 68 を介してゲート引き出し配線の端部 59x に接続されている。具体的には、非表示領域 55 において走査信号線の端部 16x とゲート引き出し配線の端部 59x とが重畳しており、その重畳部 P の中にコンタクトホール 68 が形成されている。

【0083】

ここで、上記重畳部 P およびその近傍の断面構造（図 3 の A3 - A4 断面図）を図 4 に示す。同図に示すように、基板 20 上には走査信号線の端部 16x が形成され、これを覆うようにゲート絶縁膜 40 が設けられる。ゲート絶縁膜 40 は、走査信号線の端部 16x と重畳する領域の中に、コンタクトホール 68 の一部となる（コンタクトホール 68 の開口下に位置する）割り貫き部 62 と、該割り貫き部 62 を取り囲む第 1 の膜厚部 63 とを備える。さらに、ゲート絶縁膜 40 は、該第 1 の膜厚部 63 を取り囲むように第 2 の膜厚部 64 を備え、この第 2 の膜厚部 64 は、例えば Cs 幹配線 50 と重なっている。ここで、第 2 の膜厚部 64 は第 1 のゲート絶縁層 21 および第 2 のゲート絶縁層 22 とからなる一方で第 1 の膜厚部 63 は第 2 のゲート絶縁層 22 のみからなる。製造工程では、保持容量配線 18 および走査信号線 16 を覆うように第 1 のゲート絶縁層 21 を形成した後にその一部（第 1 の膜厚部 63 および割り貫き部 62 に対応する箇所）をエッチング除去し、続いて第 2 のゲート絶縁層 22 を形成し、さらに、第 2 のゲート絶縁層 22 の割り貫き部 62 に対応する部分をエッチング除去する。これにより、第 1 および第 2 の膜厚部 63・64 並びに割り貫き部 62 が形成される。

【0084】

ゲート絶縁膜 40 上には、割り貫き部 62 以外の部分にゲート引き出し配線の端部 59x が形成される。すなわち、ゲート引き出し配線の端部 59x には、ゲート絶縁膜の割り貫き部 62 と全体が重なるメタル抜き部 69 が設けられる。

【0085】

10

20

30

40

50

ゲート引き出し配線の端部 5 9 x 上には第 1 の層間絶縁膜 2 5 が形成される。第 1 の層間絶縁膜 2 5 にはコンタクトホール 6 8 の一部となるホールが、ゲート引き出し配線の端部 5 9 x と重なるように設けられており、コンタクトホール内でゲート引き出し配線の端部 5 9 x の一部が露出するような構成となっている。そして、ゲート絶縁膜の剥り貫き部 6 2 およびメタル抜き部 6 9 並びに第 1 の層間絶縁膜 2 5 のホールを埋めるように接続電極 7 8 (ITO) が形成されており、この接続電極 7 8 によって走査信号線の端部 1 6 x とゲート引き出し配線の端部 5 9 x とが接続される。

【0086】

以上の構成を平面的にみると、図 3 に示すように、第 1 の膜厚部 6 3 は、全体が交差部 P (ゲート引き出し配線の端部と走査線信号線の端部との交差部) と重畳しており、その外周 (エッジ) は図中上下方向を長手方向とする長方形形状となっている。メタル抜き部 6 9 は、その全体が第 1 の膜厚部 6 3 のエッジ内におさまるような図中左右方向を長手方向とする長方形形状である。コンタクトホール 6 8 は、その全体が第 1 の膜厚部 6 3 のエッジ内におさまり、かつメタル抜き部 6 9 と直角に交差するような図中上下方向を長手方向とする長方形形状となっている。

【0087】

図 3 に示す本アクティブマトリクス基板 1 0 y とカラーフィルタ基板 (CF 基板) とを備える液晶パネルの構成を図 3 5 に示す。ここではカラーフィルタ基板の構成要素のうち、フォトスペーサのみを図示している。図 3 5 に示すように、液晶パネル 5 0 4 j では、表示領域 4 4 において、各走査信号線 1 6 と重なるように、フォトスペーサ 5 1 (第 1 のスペーサ) が配置されるとともに、非表示領域 5 5 において、各走査信号線の端部 1 6 x と重なるようにフォトスペーサ 6 1 (第 2 のスペーサ) が配置される。なお、図示していないが、フォトスペーサ 5 1 は、表示領域 4 4 の各走査信号線 1 6 と重なるように図中左右方向に間隔をおいて配置される。

【0088】

なお、フォトスペーサ 5 1 ・ 6 1 は柱状のスペーサであって、CF 基板側に設けられるが、アクティブマトリクス基板側に設けることもできる。

【0089】

図 3 6 に、図 3 5 の表示領域におけるフォトスペーサ 5 1 を含む線矢視断面図および非表示領域におけるフォトスペーサ 6 1 を含む線矢視断面図を示す。同図に示すように、表示領域のフォトスペーサ 5 1 下には、透明絶縁性基板 2 0 側から順に、走査信号線 1 6 、第 1 ゲート絶縁層 2 1 、第 2 ゲート絶縁層 2 2 、および第 1 の層間絶縁膜 2 5 が配され、非表示領域のフォトスペーサ 6 1 下には、透明絶縁性基板 2 0 側から順に、走査信号線の端部 1 6 x 、第 1 ゲート絶縁層 2 1 、第 2 ゲート絶縁層 2 2 、および第 1 の層間絶縁膜 2 5 が配される。

【0090】

図 3 5 の構成でも、非表示領域・表示領域間でフォトスペーサ下の構造が一致しているため、各フォトスペーサ 5 1 ・ 6 1 の高さ設定が容易になり、表示領域 4 4 および非表示領域 5 5 間のセルギャップの差を小さくすることができる。

【0091】

本アクティブマトリクス基板は、図 5 のように構成することも可能である。このアクティブマトリクス基板は、1 つのサブ画素 (R、G、B のいずれか 1 つに対応) に、輝度の異なる複数の領域を形成するマルチピクセル駆動に用いられる。

【0092】

図 5 に示すように、アクティブマトリクス基板 1 0 x は、その表示領域 4 4 において、互いに直交するように図中左右方向に形成された走査信号線 1 6 および図中上下方向に形成されたデータ信号線 1 5 と、各信号線 (1 5 ・ 1 6) の交点近傍に形成された第 1 および第 2 の TFT 1 2 a ・ 1 2 b と、第 1 および第 2 の画素電極 1 7 a ・ 1 7 b と、図中左右方向に形成された第 1 および第 2 の保持容量配線 (Cs 配線) 1 8 a ・ 1 8 b とを備える。1 つ画素領域 PA には、この第 1 および第 2 の TFT 1 2 a ・ 1 2 b と第 1 および第

10

20

30

40

50

2の画素電極17a・17bとが含まれる。

【0093】

第1のTFT12aは、そのソース電極9がデータ信号線15に接続され、そのドレイン電極8aがドレイン引き出し配線37a、ドレイン引き出し電極7a、およびコンタクトホール11aを介して第1の画素電極17aに接続される。同様に、第2のTFT12bは、そのソース電極9がデータ信号線15に接続され、そのドレイン電極8bがドレイン引き出し配線37b、ドレイン引き出し電極7b、およびコンタクトホール11bを介して第2の画素電極17bに接続される。なお、走査信号線16が第1および第2のTFT12a・12bのゲート電極を兼ねている。

【0094】

本アクティブマトリクス基板では、第1の保持容量配線18aはドレイン引き出し電極7aと重畳し、第2の保持容量配線18bは、ドレイン引き出し電極7bと重畳している。そして、ドレイン引き出し電極7aは容量C1の一方電極として機能し、第1の保持容量配線18aは該容量C1の他方電極として機能する。同様に、ドレイン引き出し電極7bは容量C2の一方電極として機能し、第2の保持容量配線18bは該容量C2の他方電極として機能する。これら容量C1・C2はそれぞれ、各画素電極電位の制御用容量および保持容量としての機能を兼ね備えている。

【0095】

すなわち、本アクティブマトリクス基板では、データ信号線15からのデータ（信号電位）が、各TFT（12a・12b）の共通のソース電極9と、ドレイン電極8a・8b等とを介して、第1および第2の画素電極17a・17bそれぞれに与えられるが、第1および第2の保持容量配線18a・18bには互いに逆位相の信号電圧が印加されており、第1および第2の画素電極17a・17bそれぞれが異なる電位に制御される。これにより、1つの画素領域内に明るい領域と暗い領域とを形成でき、面積階調によって中間調を表現することができる。この結果、斜め視角における白浮きを改善できる等、表示品位を高めることができる。

【0096】

一方、アクティブマトリクス基板10xは、その非表示領域55において、走査信号線の端部16xと、第1および第2の保持容量配線（Cs配線）の端部18A・18Bと、図中上下方向に形成された第1および第2のCs幹配線（共通配線）50a・50bとを備える。

【0097】

ここで、第1の保持容量配線の端部18Aはコンタクトホール48aを介して第1のCs幹配線50aに接続されており、該第1のCs幹配線50aを介して第1の保持容量配線18aに信号電位が与えられる。具体的には、非表示領域55において第1の保持容量配線の端部18Aと第1のCs幹配線50aとが交差しており、その交差部P1の中にコンタクトホール48aが形成されている。同様に、第2の保持容量配線の端部18Bはコンタクトホール48bを介して第2のCs幹配線50bに接続されており、該第2のCs幹配線50bを介して第2の保持容量配線18bに（第1の保持容量配線18aとは逆位相の）信号電位が与えられる。具体的には、非表示領域55において第2の保持容量配線の端部18Bと第2のCs幹配線50bとが交差しており、その交差部P2の中にコンタクトホール48bが形成されている。

【0098】

本アクティブマトリクス基板10xには、交差部P1と重畳する位置に、第1の膜厚部53a、メタル抜き部49a、接続電極38a、およびコンタクトホール48aが設けられる。第1の膜厚部53aはゲート絶縁膜が周囲より薄くなっている（第1ゲート絶縁層のみからなる）部分である。ゲート絶縁膜は、第1の膜厚部53aを取り囲むように膜厚の大きな第2の膜厚部（図示せず）を有しており、この第2の膜厚部は、例えば走査信号線の端部16xや第2のCs幹配線50bと重なっている。メタル抜き部49aは、第1のCs幹配線50aの一部を割り貫いた部分であり、ゲート絶縁膜が割り貫かれた部分と

10

20

30

40

50

重なる。

【0099】

ここで、第1の膜厚部53aは、全体が交差部P1（第1のCs幹配線50aと第1の保持容量配線の端部18Aとの交差部）と重畳しており、その外周（エッジ）は図中上下方向を長手方向とする長方形形状となっている。メタル抜き部49aは、その全体が第1の膜厚部53aのエッジ内におさまるような図中左右方向を長手方向とする長方形形状である。コンタクトホール48aは、その全体が第1の膜厚部53aのエッジ内におさまり、かつメタル抜き部49aと直角に交差するような図中上下方向を長手方向とする長方形形状となっている。なお、接続電極38a（ITO）は、メタル抜き部49aおよびコンタクトホール48aと重畳するように形成され、第1のCs幹配線50aと第1の保持容量配線の端部18Aとを接続している。

10

【0100】

本アクティブマトリクス基板10xには、交差部P2と重畳する位置に、第1の膜厚部53b、メタル抜き部49b、接続電極38b、およびコンタクトホール48bが設けられる。第1の膜厚部53bはゲート絶縁膜が周囲より薄くなっている（第1ゲート絶縁層のみからなる）部分である。ゲート絶縁膜は、第1の膜厚部53bを取り囲むように膜厚の大きな第2の膜厚部（図示せず）を有しており、この第2の膜厚部は、例えば走査信号線の端部16xや第2のCs幹配線50aと重なっている。

【0101】

メタル抜き部49bは、第2のCs幹配線50bの一部を切り貫いた部分であり、ゲート絶縁膜が切り貫かれた部と重なる。ここで、第1の膜厚部53bは、全体が交差部P2（第2のCs幹配線50bと第2の保持容量配線の端部18Bとの交差部）と重畳しており、その外周（エッジ）は図中上下方向を長手方向とする長方形形状となっている。メタル抜き部49bは、その全体が第1の膜厚部53bのエッジ内におさまるような図中左右方向を長手方向とする長方形形状である。コンタクトホール48bは、その全体が第1の膜厚部53bのエッジ内におさまり、かつメタル抜き部49bと直角に交差するような図中上下方向を長手方向とする長方形形状となっている。なお、接続電極38b（ITO）は、メタル抜き部49bおよびコンタクトホール48bと重畳するように形成され、第2のCs幹配線50bと第2の保持容量配線の端部18Bとを接続している。

20

【0102】

また、表示領域44の構成は以下のとおりである。すなわち、ドレイン引き出し電極7aは、その全体が第1の画素電極17aおよび第1の保持容量配線18aと重畳する。ここで、各画素領域PAに設けられるゲート絶縁膜は、ドレイン引き出し電極7aと重畳する領域の中に、周囲より膜厚の小さくなった薄膜部31aを有している。薄膜部31aは、第1の膜厚部53a・53b（図5参照）と同じ構成であり、第2のゲート絶縁層22のみからなる。なお、薄膜部31aの周囲のゲート絶縁膜は、第2の膜厚部と同じ構造（第1のゲート絶縁層21および第2のゲート絶縁層22からなる）となっている。

30

【0103】

平面的にみると、薄膜部31aは左右方向を長手方向とする長方形形状であり、その全体が第1の保持容量配線18aおよびドレイン引き出し電極7aと重畳している。これにより、第1の保持容量配線18aおよびドレイン引き出し電極7a並びに薄膜部31aの重なり部分で上記容量C1を支配的に決定できるようになる。さらに、各画素領域PAには、全体が薄膜部31aと重畳するコンタクトホール11aが設けられ、このコンタクトホール11aを介してドレイン引き出し電極7aが第1の画素電極17aに接続される。

40

【0104】

また、ドレイン引き出し電極7bは、その全体が第2の画素電極17bおよび第2の保持容量配線18bと重畳する。ここで、各画素領域PAに設けられるゲート絶縁膜は、ドレイン引き出し電極7bと重畳する領域の中に、周囲より膜厚の小さくなった薄膜部31bを有している。薄膜部31bは、第1の膜厚部53a・53b（図5参照）と同じ構成であり、第2のゲート絶縁層22のみからなる。なお、薄膜部31bの周囲のゲート絶縁

50

膜は、第2の膜厚部と同じ構造となっている。平面的にみると、薄膜部31bは左右方向を長手方向とする長方形形状であり、その全体が第2の保持容量配線18bおよびドレイン引き出し電極7bと重畳している。これにより、第2の保持容量配線18bおよびドレイン引き出し電極7b並びに薄膜部31bの重なり部分で上記容量C2を支配的に決定できるようになる。さらに、各画素領域には、全体が薄膜部31bと重畳するコンタクトホール11bが設けられ、このコンタクトホール11bを介してドレイン引き出し電極7bが第2の画素電極17bに接続される。

【0105】

なお、アクティブマトリクス基板10xがMVAの液晶パネルに適用される場合には、第1および第2の画素電極17a・17bに、例えば横V字形状（V字を90度回転させた形状）のスリットが形成される。

【0106】

図15は、図5の各部の動作を示すタイミングチャートである。ここで、Vgは走査信号線16の電圧、Vsはデータ信号線15の電圧（ソース電圧）、Vcs1は第1の保持容量配線18aの電圧、Vcs2は第2の保持容量配線18bの電圧、Vlc1は第1の画素電極17aの電圧、Vlc2は第2の画素電極17bの電圧である。液晶表示装置においては、液晶が分極しないよう、一般にフレーム反転、ライン反転、ドット反転といった交流駆動を行う。すなわち、nフレーム目にソース電圧の中央値Vscに対してプラス極性のソース電圧（Vsp）を与え、次の（n+1）フレーム目ではVscに対してマイナス極性のソース電圧（Vsn）を与え、かつフレームごとにドット反転を行う。また、第1の保持容量配線18aの電圧および第2の保持容量配線18bの電圧をそれぞれ振幅電圧Vadで振幅させるとともに、両者の位相を180度ずらす。すなわち、T2でVgが「L」となった（各TF T12a・12bがオフした）直後に、Vcs1が「H」、Vcs2が「L」となるように両者を制御する。

【0107】

また、図16のように、Vcs1を、T2でVgが「L」となった（各TF T12a・12bがオフした）直後のT3で「High」になったまま（あるいは「Low」になったまま）の波形とし、Vcs2を、T3から1水平期間（1H）後のT4で「Low」になったまま（あるいは「High」になったまま）の波形とすることもできる。すなわち、各トランジスタがオフされた後に、Vcs1を突き上げて該フレームではこの突き上げたままの状態を維持するとともに、Vcs1の突き上げから1H期間ずらしてVcs2を突き下げて該フレームではこの突き下げたままの状態を維持するような電位制御を行うか、あるいは、各トランジスタがオフされた後に、Vcs1を突き下げて該フレームではこの突き下げたままの状態を維持するとともに、Vcs1の突き下げから1H期間ずらしてVcs2を突き上げて該フレームではこの突き上げたままの状態を維持するような電位制御を行う。こうすれば、Vcs1およびVcs2波形のなまりがドレイン実効電位に与える影響が小さくなり、輝度ムラの低減に有効である。

【0108】

なお、図5に示すアクティブマトリクス基板は各保持容量配線を上下（データ信号線に沿った方向）に隣接する画素同士で共有する構成であるが、各保持容量配線を上下に隣接する画素同士で共有しない構成では、図17に示すように、Vcs1を、T2でVgが「L」となった（各TF T12a・12bがオフした）直後のT3で「High」になったまま（あるいは「Low」になったまま）の波形とし、同様に、Vcs2を、T2でVgが「L」となった直後のT3で「Low」になったまま（あるいは「High」になったまま）の波形とすることもできる。すなわち、各トランジスタがオフされた後に、Vcs1を突き上げて該フレームではこの突き上げたままの状態を維持するとともに、Vcs1の突き上げと同期してVcs2を突き下げて該フレームではこの突き下げたままの状態を維持するような電位制御を行うか、あるいは、各トランジスタがオフされた後に、Vcs1を突き下げて該フレームではこの突き下げたままの状態を維持するとともに、Vcs1の突き下げと同期してVcs2を突き上げて該フレームではこの突き上げたままの状態を

10

20

30

40

50

維持するような電位制御を行ってもよい。この場合も、 V_{cs1} および V_{cs2} 波形のなまりがドレイン実効電位に与える影響が小さくなり、輝度ムラの低減に有効である。

【0109】

本アクティブマトリクス基板10xを、図18のように変形することも可能である。すなわち、第1の膜厚部（ゲート絶縁膜が薄い部分）を、第1および第2のCs幹配線50a・50bにおける、隣接する2本の走査信号線で挟まれる領域にある部分をできるだけ多く含むように形成する。

【0110】

図18に示すアクティブマトリクス基板では、第1の膜厚部71aの外周は、交差部P1を含む図中左右方向を長手方向とする長方形形状である。ここで、左右方向に延びる一10
辺は第1の保持容量配線の端部18Aを挟む2本の走査信号線の一方に近接し、第1のCs幹配線50aおよび第2のCs幹配線50bを横切るとともに、左右方向に延びるもう一辺は上記2本の走査信号線の他方に近接し、第1のCs幹配線50aおよび第2のCs幹配線50bを横切る。なお、メタル抜き部49aは、その全体が交差部P1内におさまるような図中左右方向を長手方向とする長方形形状である。コンタクトホール48aは、その全体が交差部P1内におさまり、かつメタル抜き部49aと直角に交差するような図中上下方向を長手方向とする長方形形状となっている。

【0111】

一方、図18に示す第1の膜厚部71b（ゲート絶縁膜が厚い部分）の外周は、交差部P2および交差部P3（第1のCs幹配線50aと第2の保持容量配線の端部18Bとの20
交差部）を含む図中左右方向を長手方向とする長方形形状である。ここで、左右方向に延びる一辺は第1の保持容量配線の端部18Bを挟む2本の走査信号線の一方に近接し、第1のCs幹配線50aおよび第2のCs幹配線50bを横切るとともに、左右方向に延びるもう一辺は上記2本の走査信号線の他方に近接し、第1のCs幹配線50aおよび第2のCs幹配線50bを横切る。ただし、交差部P3にあたる部分は第2の膜厚部36（ゲート絶縁膜が厚い部分）となっている。なお、メタル抜き部49bは、その全体が交差部P2内におさまるような図中左右方向を長手方向とする長方形形状である。コンタクトホール48bは、その全体が交差部P2内におさまり、かつメタル抜き部49bと直角に交差するような図中上下方向を長手方向とする長方形形状となっている。

【0112】

図18のようなアクティブマトリクス基板では、第1のCs幹配線50aの電位が対向基板（CF基板、図示せず）に形成される共通電極のそれと異なるために両者間の寄生容量によって第1のCs幹配線50a（ひいては、第1の保持容量配線18a）の電位波形が鈍ってしまう場合があるが、上記構成のように、第1の膜厚部71a（ゲート絶縁膜が30
薄い部分）を、第1および第2のCs幹配線50a・50bにおける、隣接する2本の走査信号線で挟まれる領域にある部分をできるだけ多く含むように広く形成することで、第1のCs幹配線50aのより多くの部分の位置を（ガラス基板側に）下げ、対向基板（CF）との距離を広げて上記寄生容量を低減することができる。これにより、各Cs幹配線の電位波形をシャープにすることができる。第1の膜厚部71bについても同様のことがいえ、さらに、交差部P3にあたる部分が第2の膜厚部36（ゲート絶縁膜が厚い部分）40
となっているため、第1のCs幹配線50aと第2の保持容量配線の端部18Bとの短絡の発生も防止することができる。

【0113】

図18に示す本アクティブマトリクス基板とカラーフィルタ基板（適宜CF基板と記す）とを備える液晶パネルの構成を図19に示す。ここではCF基板の構成要素のうち、フォトスペーサのみを図示している。図19に示すように、液晶パネル504aでは、表示領域44において、各走査信号線16と重なるように、フォトスペーサ51（第1のスペーサ）が配置されるとともに、非表示領域55において、各走査信号線の端部16xと重なるようにフォトスペーサ61（第2のスペーサ）が配置される。なお、図示していないが、フォトスペーサ51は、表示領域44の各走査信号線16と重なるように図中左右方50

向に間隔をおいて配置される。

【 0 1 1 4 】

図 2 0 に、図 1 9 の表示領域の線矢視断面図および非表示領域の線矢視断面図を示す。同図に示すように、表示領域のフォトスペーサ 5 1 下には、透明絶縁性基板 2 0 側から順に、走査信号線 1 6、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配され、非表示領域のフォトスペーサ 6 1 下には、透明絶縁性基板 2 0 側から順に、走査信号線の端部 1 6 x、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配される。

【 0 1 1 5 】

このように、非表示領域・表示領域間でフォトスペーサ下の構造（特に、ゲート絶縁膜 4 0 の構造）を一致させることで各フォトスペーサ 5 1・6 1 の高さ設定が容易になり、表示領域 4 4 および非表示領域 5 5 間のセルギャップの差を小さくすることができる。これにより、表示領域 4 4 および非表示領域 5 5 の境界近傍における輝度ムラの発生を抑制することができる。

【 0 1 1 6 】

なお、液晶層の配向を垂直配向とする所謂 V A モードの液晶表示装置においては、表示領域のセルギャップ対して非表示領域のセルギャップが $-0.4 \mu\text{m}$ から $+0.2 \mu\text{m}$ 、好ましくは $-0.2 \mu\text{m}$ から $+0.1 \mu\text{m}$ であればよい。すなわち、C F 基板側のカラーフィルタ層やブラックマトリクス厚みのばらつき、あるいはフォトスペーサの高さのばらつき、あるいはアクティブマトリクス基板の厚みのばらつき等があっても、表示領域と非表示領域とで上記セルギャップの差が上記数値範囲内であればよい。なお、マイナス側の範囲が広いのは、非表示領域のセルギャップがその内側にある表示領域のセルギャップより小さい場合は、表示領域のセルギャップより大きい場合に比して上記輝度ムラが視認されにくいからである。

【 0 1 1 7 】

なお、非表示領域を十分小さく設計できる場合、図 2 1 および図 2 2（図 2 1 における表示領域の線矢視断面図および非表示領域の線矢視断面図）に示すように、液晶パネル 5 0 4 b のシール 6 7 内にビーズ状スペーサ 7 6 を含ませておくことで、非表示領域 5 5 のセルギャップを保持することができる。この場合、非表示領域 5 5 のフォトスペーサ 6 1 をフォトスペーサ 5 1 よりも低めに形成することもできる（フォトスペーサ 6 1 は、液晶パネルに外部から圧力が加わったときに、非表示領域のセルギャップが一定値以下にならないようにする機能を果たす）。

【 0 1 1 8 】

本実施の形態に係る液晶パネルは図 2 3 のように構成することもできる。図 2 3 に示すように、液晶パネル 5 0 4 c では、表示領域 4 4 において、走査信号線 1 6 と重なるようにフォトスペーサ 5 1（第 1 のスペーサ）が配置される一方、非表示領域 5 5 において、各金属配線（走査信号線の端部 1 6 x や各保持容量配線の端部 1 8 A・1 8 B）と重ならない位置にフォトスペーサ 6 1（第 2 のスペーサ）が配置される。図 2 4 に、図 2 3 における表示領域の線矢視断面図および非表示領域の線矢視断面図を示す。同図に示すように、表示領域のフォトスペーサ 5 1 下には、透明絶縁性基板 2 0 側から順に、走査信号線 1 6、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配され、非表示領域のフォトスペーサ 6 1 下には、透明絶縁性基板 2 0 側から順に、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配される。

【 0 1 1 9 】

この場合、非表示領域・表示領域間でフォトスペーサ下の構造は一致しないものの、ゲート絶縁膜 4 0（第 1 ゲート絶縁層 2 1 および第 2 ゲート絶縁層 2 2）の構造は一致する。ここで、第 1 ゲート絶縁層 2 1 は平坦化膜（S O G 膜等）であるため、フォトスペーサ 5 1 下において透明絶縁性基板 2 0 上に形成される各膜の総膜厚と、フォトスペーサ 6 1 下において構造透明絶縁性基板 2 0 上に形成される各膜の総膜厚とはほとんど変わらない。したがって、図 2 3・2 4 に示す構成においても、各フォトスペーサ 5 1・6 1 の高さ

設定が容易になり、表示領域 4 4 および非表示領域 5 5 間のセルギャップの差を小さくすることができる。これにより、表示領域 4 4 および非表示領域 5 5 の境界近傍における輝度ムラの発生を抑制することができる。

【 0 1 2 0 】

なお、表示領域 4 4 側のフォトスペーサ 5 1 も金属配線（走査信号線等）上に設ける必要はないが、各画素電極 1 7 a ・ 1 7 b と重ならない位置に配することが望ましい。各画素電極 1 7 a ・ 1 7 b と重なる位置にフォトスペーサ 5 1 を配すると、フォトスペーサ 5 1 によって液晶配向が乱れるおそれがあるからである。

【 0 1 2 1 】

本実施の形態に係る液晶パネルは図 2 9 のように構成することもできる。図 2 9 に示すように、液晶パネル 5 0 4 f では、表示領域 4 4 において、第 1 の保持容量配線 1 8 a と重なるように、フォトスペーサ 5 1 （第 1 のスペーサ）が配置されるとともに、非表示領域 5 5 において、第 1 の保持容量配線の端部 1 8 A と重なるようにフォトスペーサ 6 1 （第 2 のスペーサ）が配置される。

10

【 0 1 2 2 】

図 3 0 に、図 2 9 の表示領域の線矢視断面図および非表示領域の線矢視断面図を示す。同図に示すように、表示領域のフォトスペーサ 5 1 下には、透明絶縁性基板 2 0 側から順に、第 1 の保持容量配線 1 8 a、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配され、非表示領域のフォトスペーサ 6 1 下には、透明絶縁性基板 2 0 側から順に、第 1 の保持容量配線の端部 1 8 A、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配される。

20

【 0 1 2 3 】

図 2 9 の構成でも、非表示領域・表示領域間でフォトスペーサ下の構造が一致しているため、各フォトスペーサ 5 1 ・ 6 1 の高さ設定が容易になり、表示領域 4 4 および非表示領域 5 5 間のセルギャップの差を小さくすることができる。

【 0 1 2 4 】

本実施の形態に係る液晶パネルは図 3 1 のように構成することもできる。図 3 1 に示すように、液晶パネル 5 0 4 g では、表示領域 4 4 において、走査信号線 1 6 と重なるように、フォトスペーサ 5 1 （第 1 のスペーサ）が配置されるとともに、非表示領域 5 5 において、第 1 の保持容量配線の端部 1 8 A と重なるようにフォトスペーサ 6 1 （第 2 のスペーサ）が配置される。

30

【 0 1 2 5 】

図 3 2 に、図 3 1 の表示領域の線矢視断面図および非表示領域の線矢視断面図を示す。同図に示すように、表示領域のフォトスペーサ 5 1 下には、透明絶縁性基板 2 0 側から順に、走査信号線 1 6、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配され、非表示領域のフォトスペーサ 6 1 下には、透明絶縁性基板 2 0 側から順に、第 1 の保持容量配線の端部 1 8 A、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、および第 1 の層間絶縁膜 2 5 が配される。

【 0 1 2 6 】

図 3 1 の構成でも、非表示領域・表示領域間でフォトスペーサ下の構造が一致しているため、各フォトスペーサ 5 1 ・ 6 1 の高さ設定が容易になり、表示領域 4 4 および非表示領域 5 5 間のセルギャップの差を小さくすることができる。

40

【 0 1 2 7 】

本実施の形態に係る液晶パネルは図 2 5 のように構成することもできる。図 2 5 に示すように、液晶パネル 5 0 4 d では、表示領域 4 4 において、走査信号線 1 6 とデータ信号線 1 5 との交差部分と重なるようにフォトスペーサ 5 1 （第 1 のスペーサ）が配置され、非表示領域 5 5 において、第 1 の Cs 幹配線 5 0 a と各走査信号線の端部 1 6 x との交差部分と重なるようにフォトスペーサ 6 1 （第 2 のスペーサ）が配置される。図 2 6 に、図 2 5 における表示領域の線矢視断面図および非表示領域の線矢視断面図を示す。図 2 6 に示すように、表示領域のフォトスペーサ 5 1 下には、透明絶縁性基板 2 0 側から順に、走

50

査信号線 16、第1ゲート絶縁層 21、第2ゲート絶縁層 22、データ信号線 15、および第1の層間絶縁膜 25が配され、非表示領域のフォトスペーサ 61下には、透明絶縁性基板 20側から順に、走査信号線の端部 16x、第1ゲート絶縁層 21、第2ゲート絶縁層 22、第1のCs幹配線 50a、および第1の層間絶縁膜 25が配される。

【0128】

図25の構成でも、非表示領域・表示領域間でフォトスペーサ下の構造が一致しているため、各フォトスペーサ 51・61の高さ設定が容易になり、表示領域 44および非表示領域 55間のセルギャップの差を小さくすることができる。これにより、表示領域 44および非表示領域 55の境界近傍における輝度ムラの発生を抑制することができる。これにより、表示領域 44および非表示領域 55の境界近傍における輝度ムラの発生を抑制することができる。

10

【0129】

加えて、非表示領域 55においては第1のCs幹配線 50aの膜厚分だけフォトスペーサ 61の高さを小さくでき、表示領域 44においてはデータ信号線 15の膜厚分だけフォトスペーサ 61の高さを小さくできる。したがって、フォトスペーサを露光・現像する時間を短縮することができ、スループットの向上につながる。また、フォトスペーサを形成するための材料も削減することができる。なお、第1のCs幹配線 50aとデータ信号線 15とは同一工程で形成され、同じ層(ゲート絶縁膜 40上)に配されている。

【0130】

本実施の形態に係る液晶パネルは図27のように構成することもできる。図27に示すように、液晶パネル 504eでは、表示領域 44において、走査信号線 16あるいは第2の保持容量配線 18bとデータ信号線 15との交差部分と重なるようにフォトスペーサ 51(第1のスペーサ)が配置され、非表示領域 55において、走査信号線 16の端部 16xあるいは第2の保持容量配線の端部 18Bと第1のCs幹配線 50aとの交差部分と重なるようにフォトスペーサ 61(第2のスペーサ)が配置される。図28に、図27における表示領域の線矢視断面図および非表示領域の線矢視断面図を示す。図28に示すように、表示領域のフォトスペーサ 51下には、透明絶縁性基板 20側から順に、走査信号線 16、第1ゲート絶縁層 21、第2ゲート絶縁層 22、データ信号線 15、および第1の層間絶縁膜 25が配され、非表示領域のフォトスペーサ 61下には、透明絶縁性基板 20側から順に、第2の保持容量配線の端部 18B、第1ゲート絶縁層 21、第2ゲート絶縁層 22、第1のCs幹配線 50a、および第1の層間絶縁膜 25が配される。

20

30

【0131】

図27の構成でも、非表示領域・表示領域間でフォトスペーサ下の構造が一致しているため、各フォトスペーサ 51・61の高さ設定が容易になり、表示領域 44および非表示領域 55間のセルギャップの差を小さくすることができる。これにより、表示領域 44および非表示領域 55の境界近傍における輝度ムラの発生を抑制することができる。これにより、表示領域 44および非表示領域 55の境界近傍における輝度ムラの発生を抑制することができる。

【0132】

加えて、第2の保持容量配線の端部 18Bと第1のCs幹配線 50aとの交差部分(P3)にフォトスペーサ 61が配されているため、フォトスペーサ 61の比誘電率を(液晶層内の)液晶材料の平均比誘電率よりも低くすれば、上記交差部分 P3における第1のCs幹配線 50aおよびCF基板間の寄生容量を抑制することができる。

40

【0133】

上記したように、第1のCs幹配線 50aと第2の保持容量配線の端部 18Bとの短絡を防止するために交差部 P3を第2の膜厚部 36(ゲート絶縁膜が厚い部分)にすると、第1のCs幹配線 50aおよびCF基板間の距離が縮まり、両者間の寄生容量は増加する。そこで、この交差部分 P3上に、液晶材料の平均比誘電率よりも低い比誘電率をもつフォトスペーサ 61を配することで、この寄生容量を低減することができる。一般的な垂直配向用液晶の平均比誘電率($\epsilon_{||}$ と $\epsilon_{\perp}$ の平均)は6.0程度であるため、例えば、フォ

50

トスペーサ 61 に比誘電率 4.3 前後のアクリル系感光性樹脂を用いれば、寄生容量低減効果が得られる。なお、寄生容量低減の観点からは、フォトスペーサ 61 はアクティブマトリクス基板と当接しなくてもよく、また、フォトスペーサ 61 が交差部 P3 の面積と同等の底面積を有することが好ましい。なお、交差部 P3 上に配されるフォトスペーサ 61 には、比誘電率 3.5 ~ 4.0 程度のノボラック系樹脂、比誘電率 3 ~ 5 のウレタン系、比誘電率 3 前後のポリエステル系樹脂、比誘電率 2 ~ 3 程度のポリオレフィン系樹脂等を用いることができる。

【0134】

本アクティブマトリクス基板は、図 6 のように構成することも可能である。図 6 は、本実施の形態に係るアクティブマトリクス基板（表示領域・非表示領域）の概略構成を示す。図 6 に示されるように、アクティブマトリクス基板 10z は、その非表示領域 55 において、走査信号線の端部 16x と、保持容量配線（Cs 配線）の端部 18x と、図中上下方向に形成された Cs 幹配線（共通配線）50 とを備える。ここで、各保持容量配線の端部 18x はコンタクトホール 98 を介して Cs 幹配線 50 に接続されており、該 Cs 幹配線 50 を介して各保持容量配線 18 に所定の電位が与えられる。具体的には、非表示領域 55 において各保持容量配線の端部 18x と Cs 幹配線 50 とが交差しており、その交差部 P の中にコンタクトホール 98 が形成されている。

【0135】

ここで、上記交差部 P およびその近傍の断面構造（図 6 の B1 - B2 断面図）を図 7 に示す。同図に示すように、基板 20 上には、保持容量配線の端部 18x が形成されるとともにこれを覆うようにゲート絶縁膜 40 が設けられる。ゲート絶縁膜 40 は、保持容量配線の端部 18x と重畳する領域の中に、コンタクトホール 98 の一部である切り貫き部 92 と、該切り貫き部 92 を取り囲む第 1 の膜厚部 93 とを備える。さらに、ゲート絶縁膜 40 は、該第 1 の膜厚部 93 を取り囲むように第 2 の膜厚部 94 を備える。ここで、第 1 および第 2 の膜厚部 93・94 の境界 K が、保持容量配線の端部 18x のエッジより距離 d だけ外側に位置し、第 2 の膜厚部 94 は、例えば走査信号線の端部 16x（図 6 参照）と重なっている。ここで、第 2 の膜厚部 94 は第 1 のゲート絶縁層 21 と第 2 のゲート絶縁層 22 とからなる一方で第 1 の膜厚部 93 は第 2 のゲート絶縁層 22 のみからなる。製造工程では、保持容量配線 18 および走査信号線 16 を覆うように第 1 のゲート絶縁層 21 を形成した後にその一部（第 1 の膜厚部 93 および切り貫き部 92 に対応する箇所）をエッチング除去し、続いて第 2 のゲート絶縁層 22 を形成し、さらに、第 2 のゲート絶縁層 22 の切り貫き部 92 に対応する部分をエッチング除去する。これにより、第 1 および第 2 の膜厚部 93・94 並びに切り貫き部 92 が形成される。

【0136】

ゲート絶縁膜 40 上には、切り貫き部 92 以外の部分に Cs 幹配線 50 が形成される。すなわち、Cs 幹配線 50 には、（ゲート絶縁膜の）切り貫き部 92 と全体が重なるメタル抜き部 79 が設けられる構成となっている。

【0137】

Cs 幹配線 50 上には第 1 の層間絶縁膜 25 および第 2 の層間絶縁膜 26 が形成される。第 1 の層間絶縁膜 25 および第 2 の層間絶縁膜 26 にはコンタクトホール 98 の一部となるホールが、Cs 幹配線 50 と重なるように設けられており、コンタクトホール内で Cs 幹配線 50 の一部が露出するような構成となっている。そして、ゲート絶縁膜の切り貫き部 92、メタル抜き部 79、第 1 の層間絶縁膜 25 のホール、および第 2 の層間絶縁膜 26 のホールを埋めるように接続電極 95（ITO）が形成されており、この接続電極 95 によって保持容量配線の端部 18x と Cs 幹配線 50 とが接続される。

【0138】

以上の構成を平面的にみると、図 6 に示すように、該第 1 の膜厚部 93 の外周（エッジ）は図中左右方向を長手方向とする長方形形状となっており、交差部 P（Cs 幹配線および保持容量配線の端部の交差部）全体が第 1 の膜厚部 93 の外周内に位置している。メタル抜き部 79 は、その全体が第 1 の膜厚部 93 のエッジ内におさまるような図中左右方向

を長手方向とする長方形形状である。コンタクトホール 9 8 は、その全体が第 1 の膜厚部 9 3 のエッジ内におさまリ、かつメタル抜き部 7 9 と直角に交差するような図中上下方向を長手方向とする長方形形状となっている。

【0139】

本アクティブマトリクス基板 1 0 z の表示領域 4 4 について図 6、図 7 および図 8 (図 6 の B 3 - B 4 断面図) を用いて説明すれば以下のとおりである。すなわち、T F T 1 2 のドレイン電極 8 に接続するドレイン引き出し電極 7 全体が画素電極 1 7 および保持容量配線 1 8 と重畳しており、各画素領域のゲート絶縁膜は、ドレイン引き出し電極 7 と重畳する領域の中に、膜厚の大きな厚膜部 8 1 と、厚膜部 8 1 を取り囲む、膜厚の小さな薄膜部 9 1 とを有している。厚膜部 8 1 は、図 7 の第 2 の膜厚部 9 4 と同じ構成を有し、第 1 および第 2 のゲート絶縁層からなる。薄膜部 9 1 は、図 7 の第 1 の膜厚部 9 3 と同じ構成であり、第 2 のゲート絶縁層のみからなる。なお、薄膜部 9 1 の周囲は第 2 の膜厚部 9 4 と同じ(第 1 のゲート絶縁層 2 1 および第 2 のゲート絶縁層 2 2 からなる)構造となる。平面的にみると、薄膜部 9 1 の外周は左右方向を長手方向とする長方形形状であり、その外周全体が保持容量配線 1 8 およびドレイン引き出し電極 7 と重畳する。これにより、保持容量配線 1 8 およびドレイン引き出し電極 7 並びに薄膜部 9 1 の重なり部分で容量を支配的に決定できるようになる。薄膜部 9 1 の内側には、左右方向を長手方向とする長方形形状の厚膜部 8 1 が形成される。さらに、各画素領域には、その全体が厚膜部 8 1 に重畳するコンタクトホール 8 3 が形成され、このコンタクトホール 8 3 を介してドレイン引き出し電極 7 が画素電極 1 7 に接続されている。

【0140】

また、各画素領域のゲート絶縁膜には、T F T 1 2 と重畳する部分にも膜厚の小さくなった薄膜部 9 6 が設けられる。薄膜部 9 6 も第 1 の膜厚部 9 3 と同じ構成であり、第 2 のゲート絶縁層のみからなる。ここで、ソース電極 9 と薄膜部 9 6 との重畳面積が、ドレイン電極 8 と薄膜部 9 6 との重畳面積より小さくなるように構成されている。

【0141】

ここで、第 1 および第 2 の膜厚部 9 3・9 4 の境界 K と保持容量配線の端部 1 8 x のエッジとの距離 d が小さい場合、コンタクトホール 9 8 (非表示領域) 近傍における第 2 の層間絶縁膜 2 6 の厚み T 1 (図 7 参照) とコンタクトホール 8 3 (表示領域) 近傍における第 2 の層間絶縁膜 2 6 の厚み T 2 (図 8 参照) との差(膜厚差)が大きくなってしまふ。これを図 1 0 のグラフに示す。図 1 0 のグラフは、図 7・8 において、第 1 のゲート絶縁層 2 1 (S O G 膜) が $1.5 \mu\text{m}$ 、第 2 のゲート絶縁層 2 2 が $0.4 \mu\text{m}$ 、保持容量配線 (1 8・1 8 x) の膜厚が $0.3 \mu\text{m}$ 、第 1 の層間絶縁膜 2 5 の膜厚が $0.3 \mu\text{m}$ 、第 2 の層間絶縁膜 2 6 の膜厚が $2.5 \mu\text{m}$ であり、アクリル系感光性樹脂を用いた第 2 の層間絶縁膜 2 6 の粘度が 7.5 c p (センチポアズ) である場合に、上記距離 d と上記膜厚差の関係を調べたものである。図 1 0 のグラフより、上記距離 d を $60 \mu\text{m}$ (好ましくは $70 \mu\text{m}$) 以上とすれば、上記膜厚差が、露光合わせ込み可能な範囲 ($0.1 \sim 0.2 \mu\text{m}$) におさまることがわかる。

【0142】

図 6 に示す本アクティブマトリクス基板 1 0 z とカラーフィルタ基板 (C F 基板) とを備える液晶パネルの構成を図 3 3 に示す。図 3 3 に示すように、液晶パネル 5 0 4 h では、表示領域 4 4 において、各走査信号線 1 6 と重なるように、フォトスペーサ 5 1 (第 1 のスペーサ) が配置されるとともに、非表示領域 5 5 において、各走査信号線の端部 1 6 x と重なるようにフォトスペーサ 6 1 (第 2 のスペーサ) が配置される。なお、図示していないが、フォトスペーサ 5 1 は、表示領域 4 4 の各走査信号線 1 6 と重なるように図中左右方向に間隔をおいて配置される。

【0143】

図 3 4 に、図 3 3 の表示領域の線矢視断面図および非表示領域の線矢視断面図を示す。同図に示すように、表示領域のフォトスペーサ 5 1 下には、透明絶縁性基板 2 0 側から順に、走査信号線 1 6、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、第 1 の層間絶縁膜

25、および第2の層間絶縁膜26が配され、非表示領域のフォトスペーサ61下には、透明絶縁性基板20側から順に、走査信号線の端部16x、第1ゲート絶縁層21、第2ゲート絶縁層22、第1の層間絶縁膜25、および第2の層間絶縁膜26が配される。

【0144】

図33の構成でも、非表示領域・表示領域間でフォトスペーサ下の構造が一致しているため、各フォトスペーサ51・61の高さ設定が容易になり、表示領域44および非表示領域55間のセルギャップの差を小さくすることができる。

【0145】

加えて、有機物を含む層間絶縁膜(第2の層間絶縁膜26)は、SiNxやSiO₂といった無機膜に比べ弾性がある。よって、表示領域と非表示領域フォトスペーサ51・61がCF基板側に形成され、かつフォトスペーサがアクティブマトリクス基板と接触するような構成においては、有機物を含む層間絶縁膜(第2の層間絶縁膜26)が配置されていると、その弾性変形によって、CF基板側のカラーフィルタ層やブラックマトリクスの厚みばらつき、あるいはスペーサ高さのばらつき、あるいはアクティブマトリクス基板の膜厚ばらつきが吸収されるという効果もある。なお、有機物を含む層間絶縁膜(第2の層間絶縁膜26)には、アクリル系樹脂、エポキシ系樹脂、ポリイミド系樹脂、ポリウレタン系樹脂、ポリシロキサン系樹脂、ノボラック系樹脂等を用いることができる。

【0146】

図11は、本アクティブマトリクス基板を備える液晶パネルの具体的構成を示す断面図である。同図に示すように、本液晶パネル504は、バックライト光源側から順に、偏光板41、本アクティブマトリクス基板10(10x~10z)、配向膜82、液晶層43、カラーフィルタ基板(CF基板)84、および偏光板85を備える。カラーフィルタ基板84は、液晶層43側から順に、フォトスペーサ(図示せず)、配向膜85、共通(対向)電極86、カラーフィルタ層87(ブラックマトリクス99を含む)、ガラス基板88を備える。

【0147】

なお、図11のようなMVAの液晶パネルでは、この共通(対向)電極86に液晶分子配向制御用突起(リブ)86xが設けられている。液晶分子配向制御用突起86xは、例えば、感光性樹脂等により形成される。リブ86xの平面形状(基板面垂直方向から見たときの形状)としては、一定の周期でジグザクに屈曲した帯状(例えば、V字を90度回転させた横V字形状)が挙げられる。また、CF基板84側のリブ86xに対応して、アクティブマトリクス基板10側の画素電極には、一定の周期でジグザクに屈曲した帯状(例えば、V字を90度回転させた横V字形状)のスリットが形成される。すなわち、本アクティブマトリクス基板を用いてMVAの液晶パネルを構成する場合、図1・3・5等に表示される画素電極17(第1および第2の画素電極17a・17b)に上記のようなスリットが形成されることになる。

【0148】

続いて、カラーフィルタ基板(CF基板)の製造方法について説明する。上記のように、カラーフィルタ基板は、ガラス基板上に、3原色(赤、緑、青)のカラーフィルタ(着色層)およびブラックマトリクス(BM)などからなるカラーフィルタ層、対向電極(共通電極)、垂直配向膜、リブ(配向制御用突起)、およびフォトスペーサを有する。

【0149】

まず、透明基板上に、スピンコートによりカーボンの微粒子を分散したネガ型のアクリル系感光性樹脂を塗布した後、乾燥を行い、黑色感光性樹脂層を形成する。続いて、フォトマスクを介して黑色感光性樹脂層を露光した後、現像を行って、ブラックマトリクス(BM)を形成する。このとき第1着色層(例えば赤色層)、第2着色層(例えば緑色層)、および第3着色層(例えば青色層)が形成される領域に、それぞれ第1着色層用の開口部、第2着色層用の開口部、第3着色層用の開口部(それぞれの開口部は各画素電極に対応)が形成されるようにBMを形成する。

【0150】

10

20

30

40

50

次に、スピコートにより顔料を分散したネガ型のアクリル系感光性樹脂を塗布した後、乾燥を行い、フォトマスクを用いて露光および現像を行い、赤色層を形成する。その後、第2色層用（例えば緑色層）、および第3色層用（例えば青色層）についても同様に形成し、カラーフィルタが完成する。

【0151】

さらに、ITOなどの透明電極からなる対向電極をスパッタリングにより形成し、その後、スピコートによりポジ型のフェノールノボラック系感光性樹脂を塗布した後、乾燥を行い、フォトマスクを用いて露光および現像を行い配向制御用突起を形成する。

【0152】

そして、ネガ型のアクリル系の感光性樹脂を塗布して乾燥させた後に、フォトマスクを用いて露光および現像することによってフォトスペーサを形成する。

【0153】

以上のようにして、カラーフィルタ基板が完成する。

【0154】

次に、液晶パネル化する際の、アクティブマトリクス基板とカラーフィルタ基板との間に液晶を封入する方法を説明しておく。液晶の封入方法については、基板周辺に液晶注入のため注入口を設けておいて真空で注入口を液晶に浸し、大気開放することによって液晶を注入した後UV硬化樹脂などで注入口を封止する、真空注入法などの方法で行ってもよい。しかしながら、垂直配向の液晶パネルでは、水平配向パネルに比べ注入時間が非常に長くなることから、以下に示す液晶滴下貼り合わせ法を用いることが好ましい。まず、アクティブマトリクス基板の周囲にUV硬化型シール樹脂を塗布し、カラーフィルタ基板に滴下法により液晶の滴下を行う。液晶滴下法により液晶によって所望のセルギャップとなるよう最適な液晶量をシールの内側部分に規則的に滴下する。次に、上記のようにシール描画および液晶滴下を行ったカラーフィルタ基板とアクティブマトリクス基板とを貼り合わせ装置内に導入した後に該貼り合わせ装置内の雰囲気を用いて1Paまで減圧し、この減圧下において両基板の貼り合わせを行う。その後、装置内の雰囲気を大気圧にすることにより、フォトスペーサの頂上部がアクティブマトリクス基板に接触し、所望のセルギャップが得られる。ついでUV照射によってシール樹脂を仮硬化した後、シール樹脂の最終硬化を行うためにベークを行う。この時点でシール樹脂の内側に液晶が行き渡り液晶がセル内に充填された状態となる。そして、ベーク完了後にパネル単位への分断を行い、偏光板を貼り付ける。以上により、図11に示すような液晶パネルが完成する。

【0155】

次に、本実施形態に係る液晶表示装置について説明する。

【0156】

図12は、本液晶表示装置509の概略構成を示すブロック図である。図12に示すように、液晶表示装置509は、Y/C分離回路500、ビデオクロマ回路501、A/Dコンバータ502、液晶コントローラ503、本アクティブマトリクス基板を有する液晶パネル504、バックライト駆動回路505、バックライト506、マイコン507、および階調回路508を備えている。

【0157】

液晶表示装置509で表示する画像信号や映像信号は、Y/C分離回路500に入力され、輝度信号および色信号に分離される。これら輝度信号および色信号は、ビデオクロマ回路501にて光の3原色であるR・G・Bに対応するアナログRGB信号に変換される。さらに、このアナログRGB信号は、A/Dコンバータ502にてデジタルRGB信号に変換され、液晶コントローラ503に入力される。

【0158】

この液晶コントローラ503に入力されたデジタルRGB信号は、液晶コントローラ503から液晶パネル504に入力される。液晶パネル504には、液晶コントローラ503から所定のタイミングでデジタルRGB信号が入力されると共に、階調回路508からRGB各々の階調電圧が供給される。また、バックライト駆動回路505によりバックラ

10

20

30

40

50

イト 506 を駆動させ、液晶パネル 504 に光を照射する。これにより、液晶パネル 504 は画像や映像を表示する。また、上記各処理を含め、液晶表示装置 509 全体の制御はマイコン 507 によって行われる。

【0159】

上記映像信号としては、テレビジョン放送に基づく映像信号、カメラにより撮像された映像信号、インターネット回線を介して供給される映像信号など、様々な映像信号を挙げることができる。

【0160】

また、本発明の液晶表示装置 509 は、図 13 に示すように、テレビジョン放送を受信して映像信号を出力するチューナ部 600 と接続することにより、チューナ部 600 から出力された映像信号に基づいて映像（画像）表示を行うことが可能になる。この場合、液晶表示装置 509 とチューナ部 600 とでテレビジョン受信機 601 となる。

【0161】

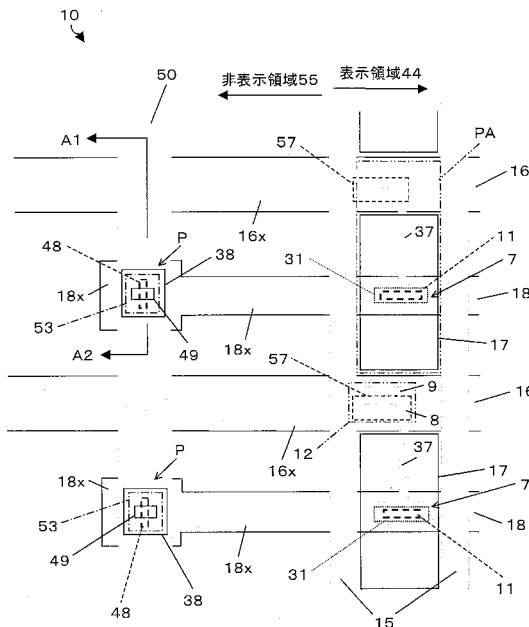
上記液晶表示装置をテレビジョン受信機 601 とするとき、例えば、図 14 に示すように、液晶表示装置 509 を第 1 筐体 801 と第 2 筐体 806 とで包み込むようにして挟持した構成となっている。第 1 筐体 801 は、液晶表示装置 509 で表示される映像を透過させる開口部 801a が形成されている。また、第 2 筐体 806 は、液晶表示装置 509 の背面側を覆うものであり、該液晶表示装置 509 を操作するための操作用回路 805 が設けられるとともに、下方に支持用部材 808 が取り付けられている。

【産業上の利用可能性】

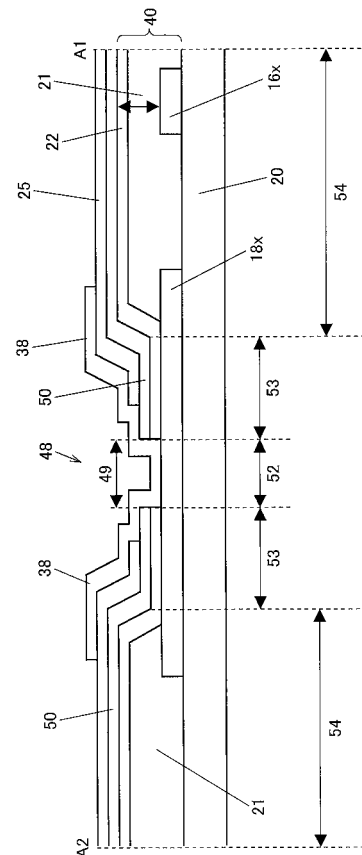
【0162】

本発明のアクティブマトリクス基板は、例えば液晶テレビに好適である。

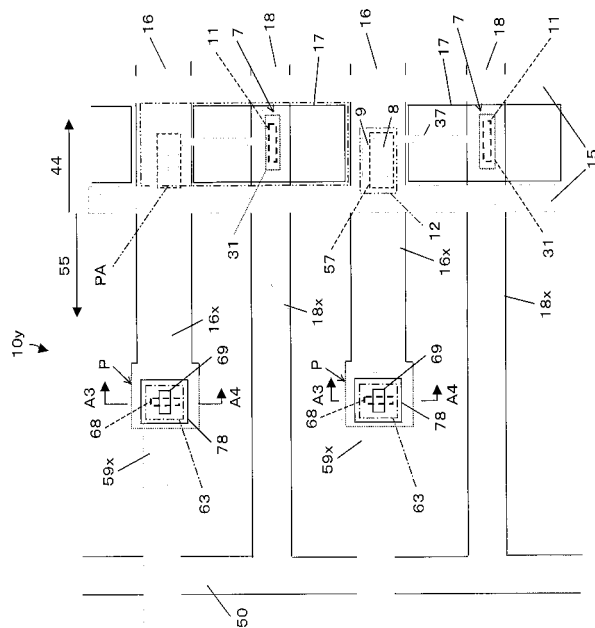
【図 1】



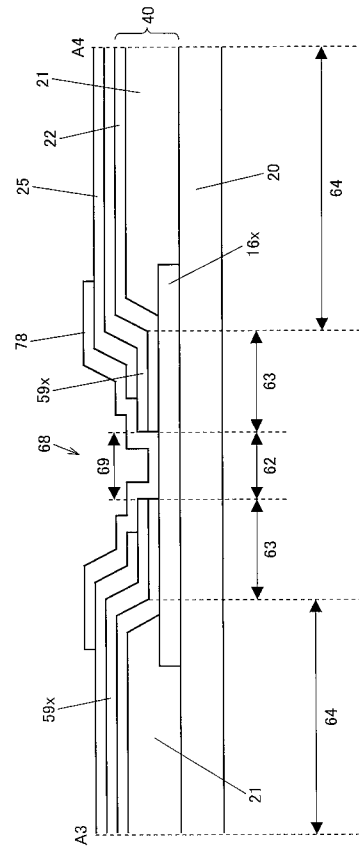
【図 2】



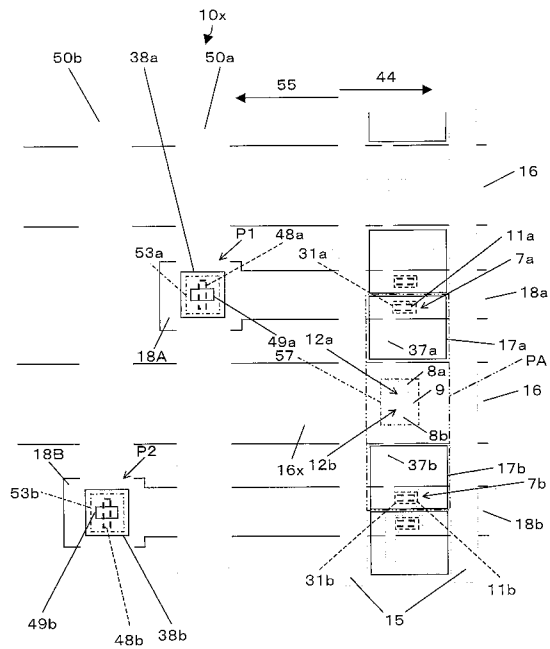
【図 3】



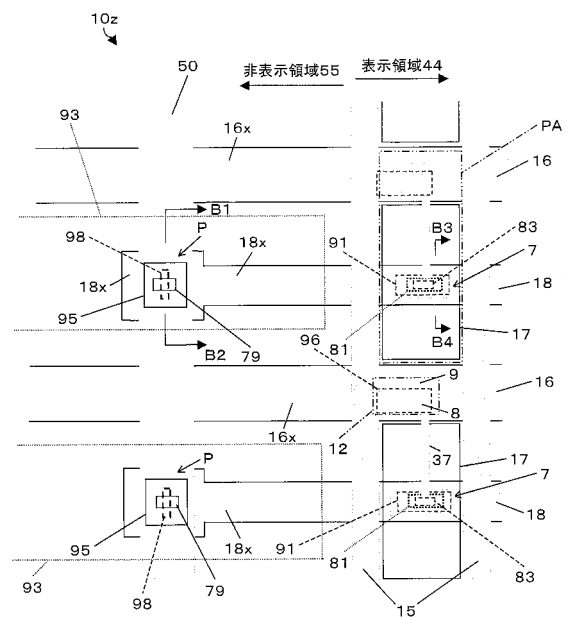
【図 4】



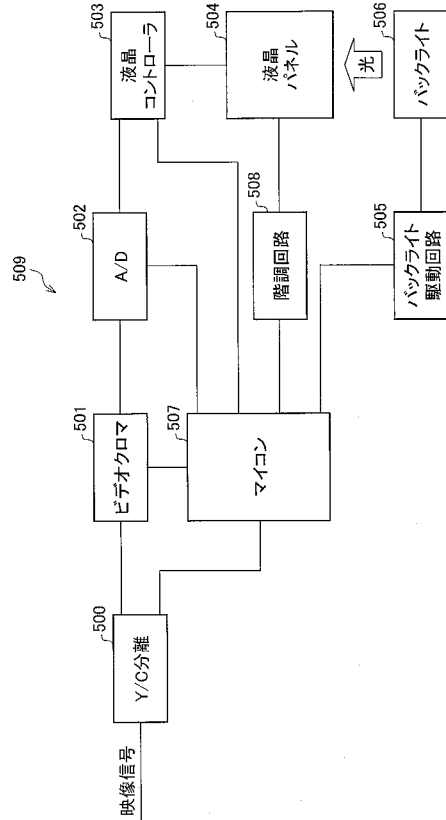
【図 5】



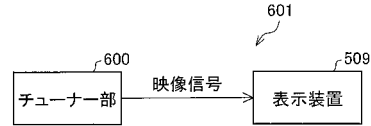
【図 6】



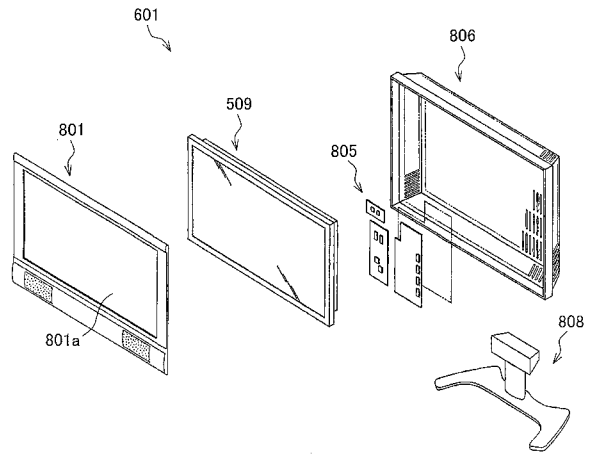
【図 1 2】



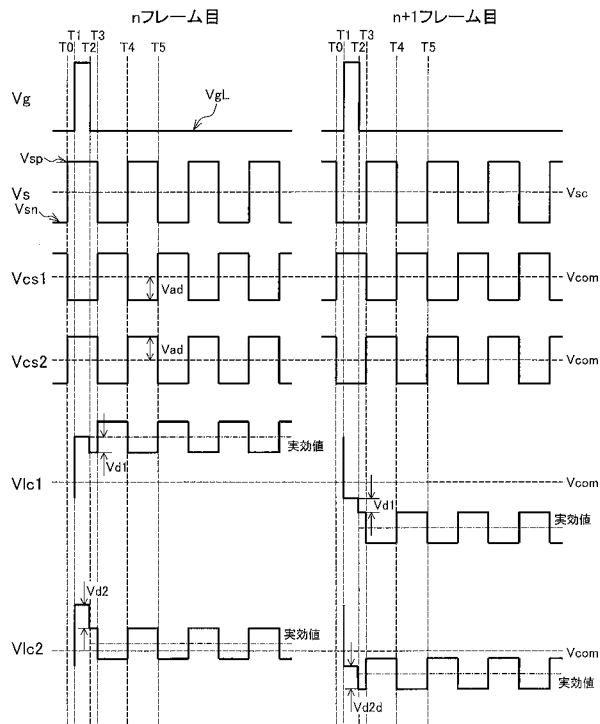
【図 1 3】



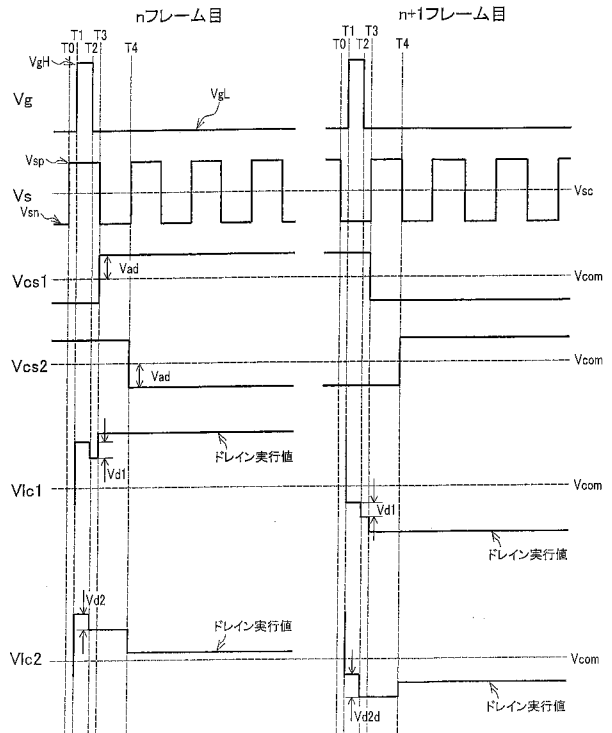
【図 1 4】



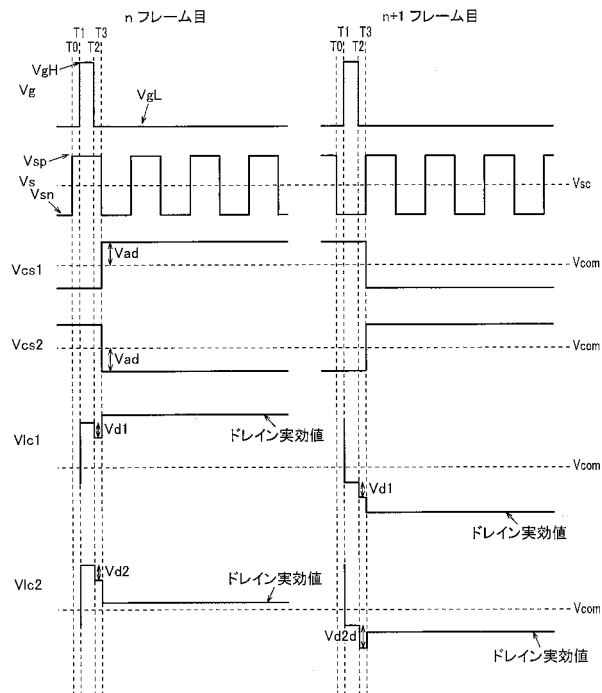
【図 1 5】



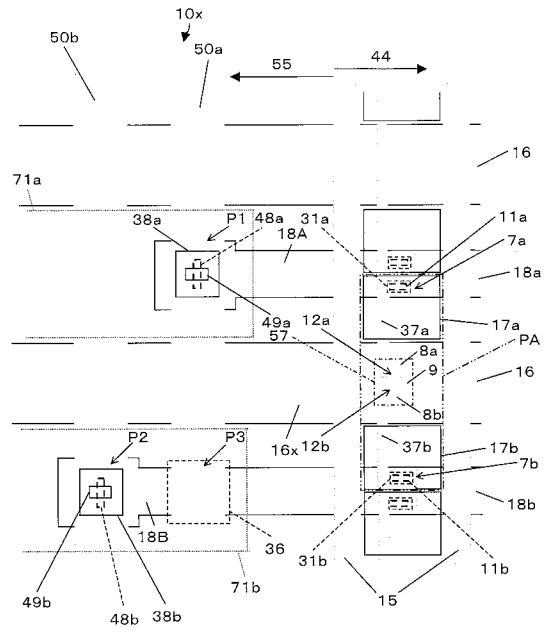
【図 1 6】



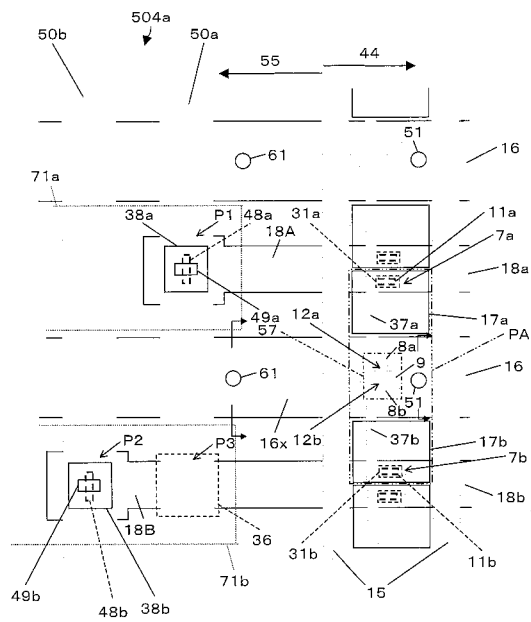
【図 17】



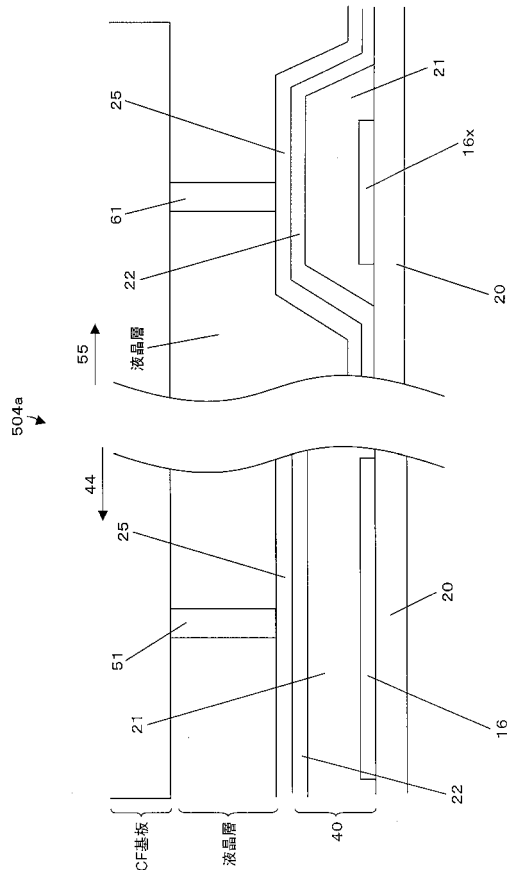
【図 18】



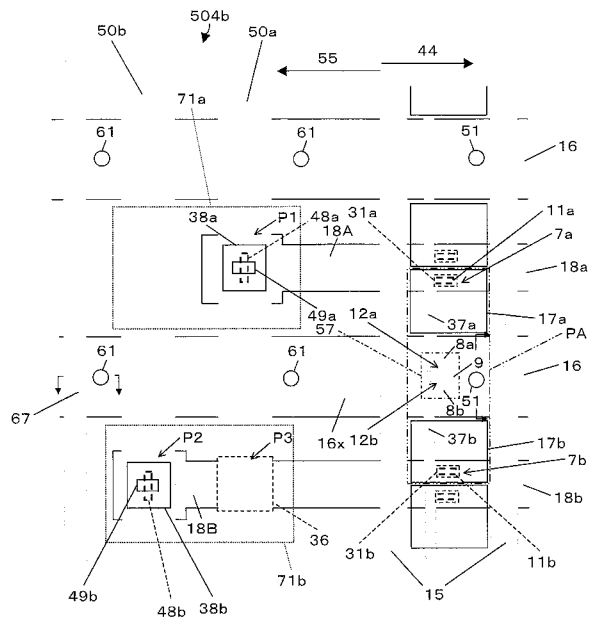
【図 19】



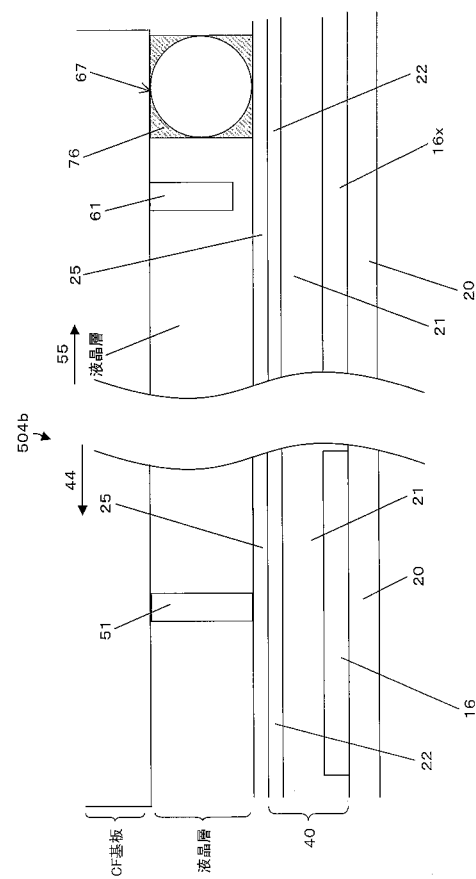
【図 20】



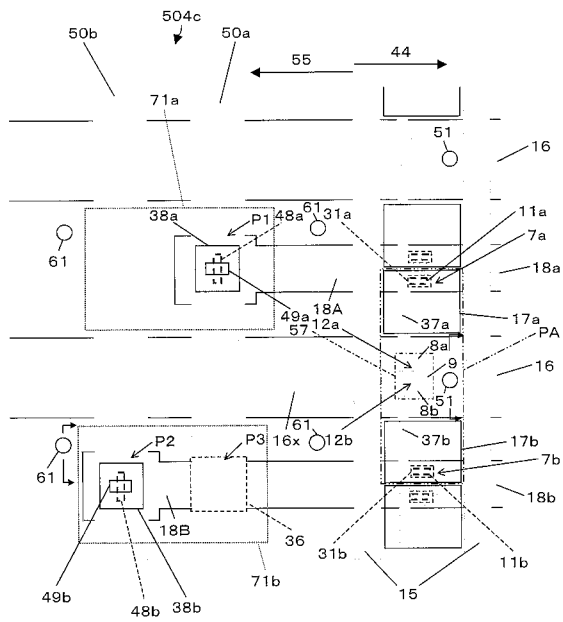
【図 2 1】



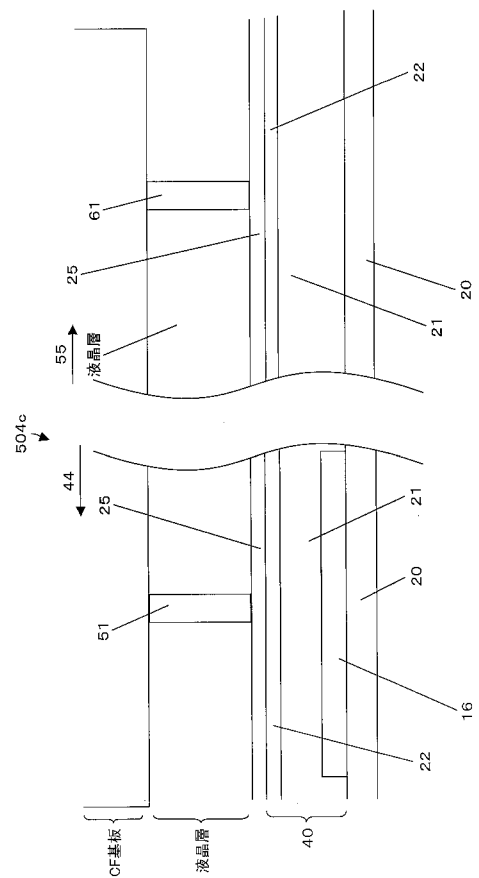
【図 2 2】



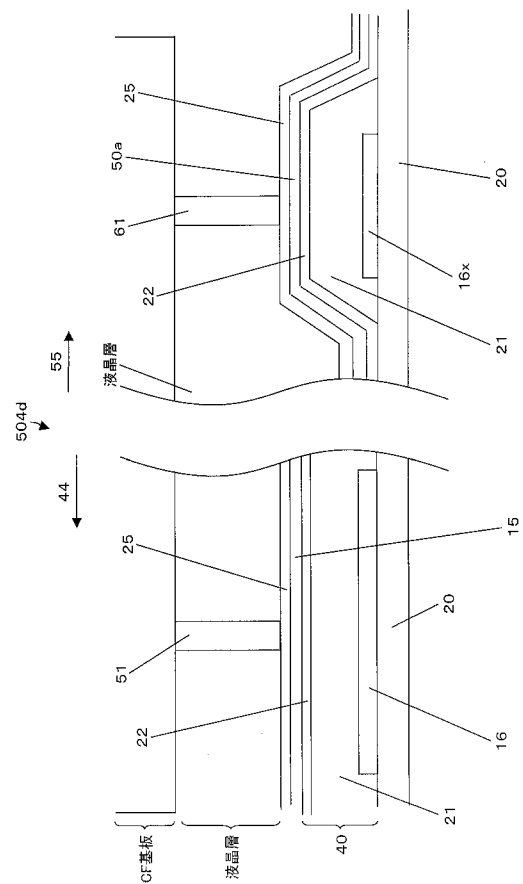
【図 2 3】



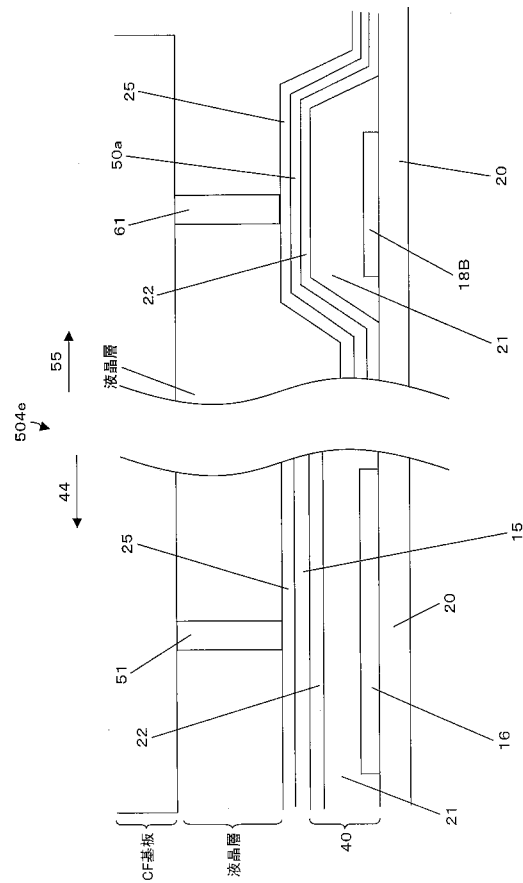
【図 2 4】



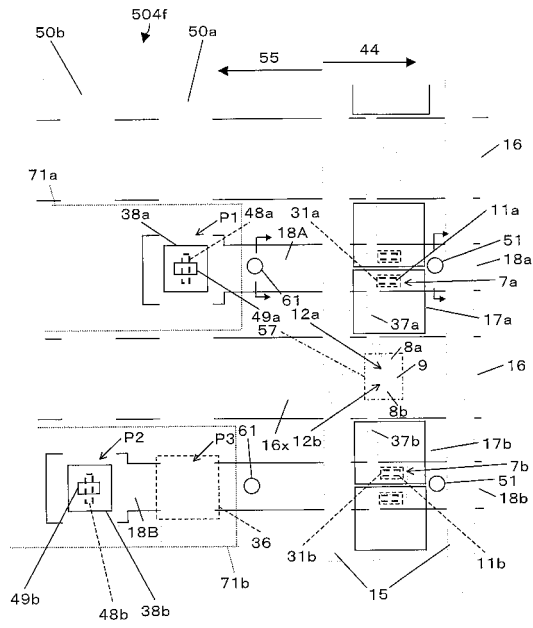
【 図 2 6 】



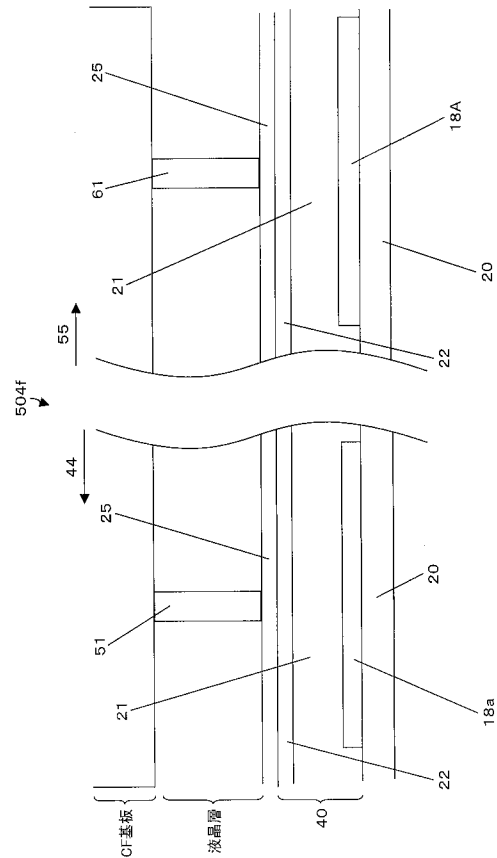
【 図 2 8 】



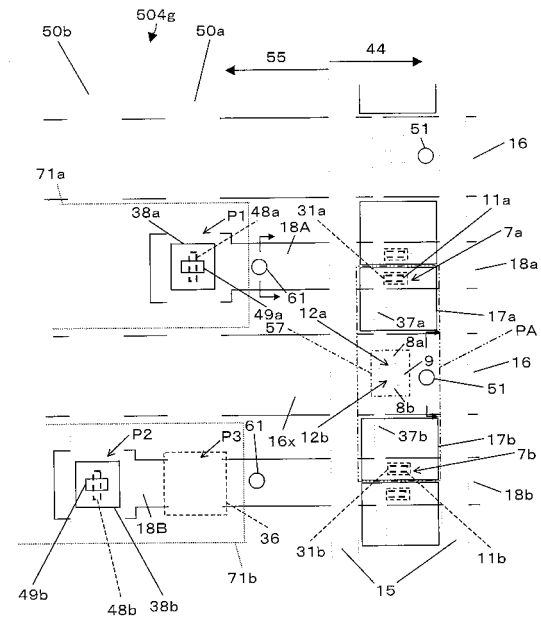
【図 29】



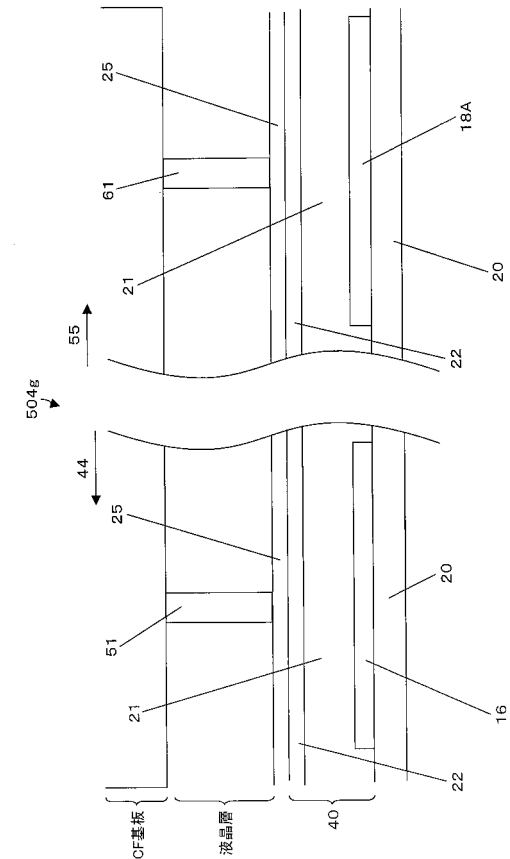
【図 30】



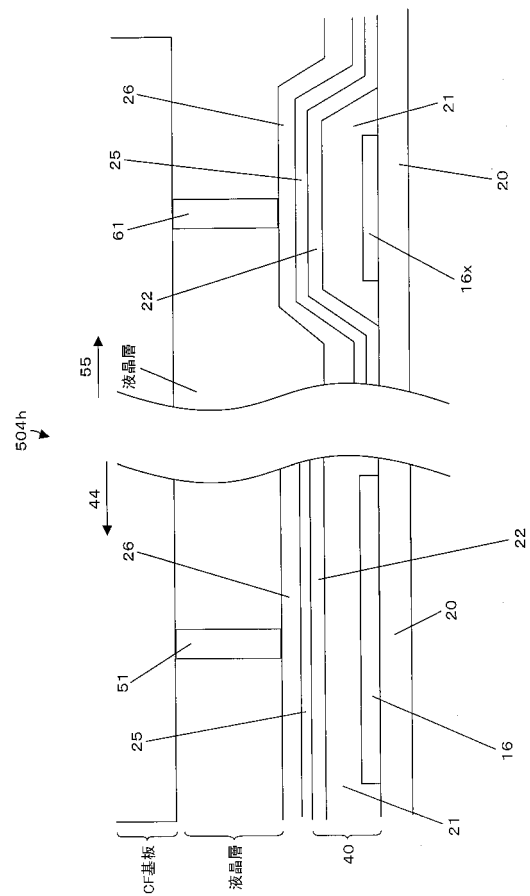
【図 31】



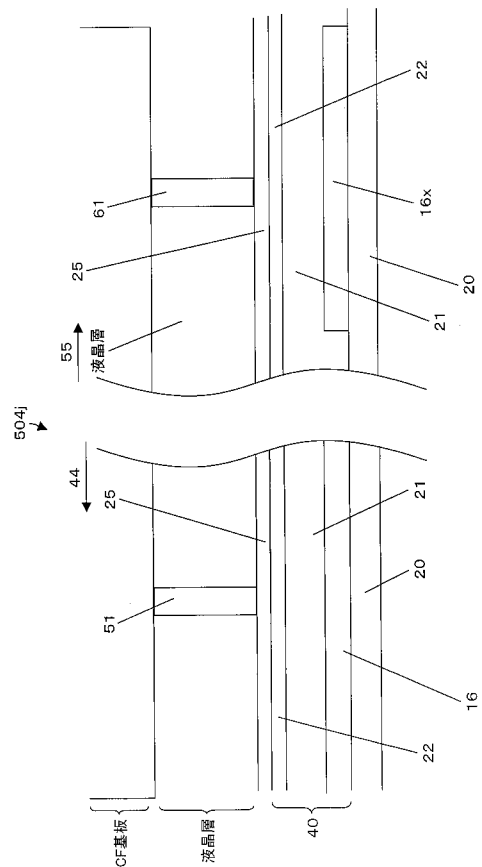
【図 32】



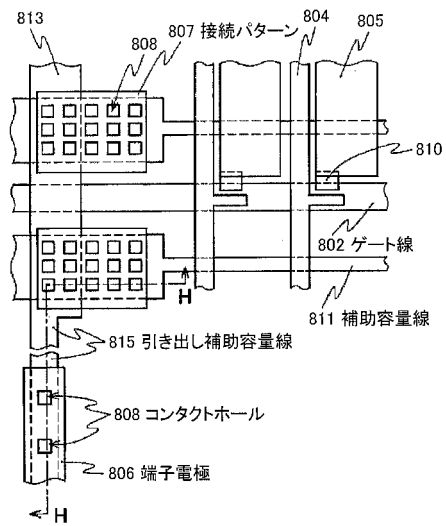
【 図 3 4 】



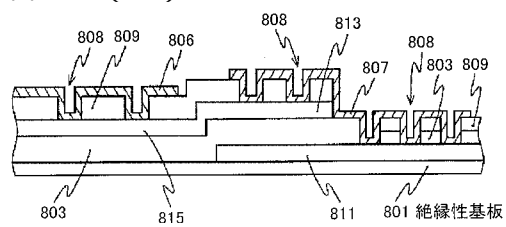
【 図 3 6 】



【 図 3 7 (a) 】



【 図 3 7 (b) 】



フロントページの続き

- (56)参考文献 特開 2 0 0 2 - 0 0 6 7 7 3 (J P , A)
特開 2 0 0 4 - 3 1 0 0 9 9 (J P , A)
特開 2 0 0 6 - 0 1 8 2 8 1 (J P , A)
特開平 1 0 - 1 8 6 4 0 8 (J P , A)
米国特許第 0 6 0 7 8 3 6 6 (U S , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1345
G02F 1/1339
G02F 1/1343
G02F 1/1368
G09F 9/30

专利名称(译)	有源矩阵基板，液晶面板，显示装置，电视接收器		
公开(公告)号	JP4907659B2	公开(公告)日	2012-04-04
申请号	JP2008525797	申请日	2007-03-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英 八木敏文		
发明人	津幡 俊英 八木 敏文		
IPC分类号	G02F1/1345 G02F1/1343 G02F1/1368 G02F1/1339 G09F9/30		
CPC分类号	G02F1/136286 G02F1/1345 G02F1/13458		
FI分类号	G02F1/1345 G02F1/1343 G02F1/1368 G02F1/1339.500 G09F9/30		
优先权	2006197319 2006-07-19 JP 2006332592 2006-12-08 JP		
其他公开文献	JPWO2008010334A1		
外部链接	Espacenet		

摘要(译)

存储电容器布线（18）和Cs主布线（50）通过设置在非显示区域（55）中的接触孔（48）连接；以及存储电容器布线扫描信号线（16）与主布线（50）和非显示区域（55）交叉，位于存储电容配线（18）和Cs主配线（50）之间绝缘层具有用于形成接触孔（48）的中空部分，与中空部分接触的第一膜厚部分（53），至少存储电容器线（18）和Cs主线（50）并且，第二膜厚部分位于交叉部分，并且膜厚度大于第一膜厚部分（53）的膜厚。由此，可以实现有源矩阵基板，其中保持电容布线（18）和Cs主布线（50）以高精度连接，并且Cs主布线（50）和扫描信号线（16）之间的短路几乎不发生你可以做到。

【图 2】

