

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4822406号
(P4822406)

(45) 発行日 平成23年11月24日 (2011.11.24)

(24) 登録日 平成23年9月16日 (2011.9.16)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 (2006.01)

G O 2 F 1/133 (2006.01)

G O 9 G 3/36

G O 9 G 3/20 6 1 1 C

G O 9 G 3/20 6 2 3 V

G O 9 G 3/20 6 4 2 J

G O 9 G 3/20 6 2 1 A

請求項の数 9 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2005-277311 (P2005-277311)	(73) 特許権者	302062931
(22) 出願日	平成17年9月26日 (2005. 9. 26)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-86584 (P2007-86584A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成19年4月5日 (2007. 4. 5)	(74) 代理人	100089071
審査請求日	平成20年9月3日 (2008. 9. 3)		弁理士 玉村 静世
		(72) 発明者	岡村 和浩
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		審査官	一宮 誠
			最終頁に続く

(54) 【発明の名称】 表示制御駆動装置および表示システム

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線と該走査線と交差するように配置された複数の信号線とを含むカラー表示パネルの前記信号線に対応して複数の外部端子から電圧信号を出力する駆動回路を備え、

前記駆動回路は所定のタイミング信号に従って各色ごとに時分割で前記外部端子から前記電圧信号を出力し、

前記外部端子は複数のグループに分割され、

前記時分割による電圧信号の出力タイミングは前記グループ間で相違可能にされ、

表示モードを設定するためのレジスタを備え、前記レジスタに第1の値が設定された場合には前記時分割による電圧信号の出力タイミングが前記グループ間で同一とされ、前記レジスタに第2の値が設定された場合には前記時分割による電圧信号の出力タイミングが前記グループ間で互いに相違され、かつ相違される出力タイミングが周期的に変化するように制御されていることを特徴とする表示制御駆動装置。

【請求項 2】

前記カラー表示パネルの表示領域の一部に表示を行なう機能を備え、該機能が有効化された場合に、表示が行なわれるべき領域の走査期間において前記走査線の選択タイミングを与える同期信号の周期が伸ばされて、前記時分割による電圧信号の出力タイミングが前記グループ間で互いに相違されることを特徴とする請求項1に記載の表示制御駆動装置。

【請求項 3】

前記外部端子は2つのグループに分割され、前記2つのグループのうちひとつは前記カ

ラー表示パネルの中心線の一方の側に配置されている前記信号線に前記電圧信号を供給するための前記外部端子を含み、前記２つのグループのうち他のひとは前記中心線の他方の側に配置されている前記信号線に前記電圧信号を供給するための前記外部端子を含むことを特徴とする請求項１～２のいずれかに記載の表示制御駆動装置。

【請求項４】

前記駆動回路の前段に表示されるべき画像データを保持するラッチ回路が設けられ、該ラッチ回路から前記駆動回路へ転送される画像データが、互いにタイミングが異なるクロック信号に同期して転送されることにより前記時分割による電圧信号の出力タイミングが前記グループ間でずれるようにされていることを特徴とする請求項１～３のいずれかに記載の表示制御駆動装置。

10

【請求項５】

前記カラー表示パネルの１水平期間に対応した信号に応じて、複数水平期間ごとに前記出力順序が変化するように構成されていることを特徴とする請求項１～４のいずれかに記載の表示制御駆動装置。

【請求項６】

前記カラー表示パネルの１画面の表示期間を示すフレーム周期信号に応じて、１フレーム周期または複数フレーム周期ごとに前記出力順序が変化するように構成されていることを特徴とする請求項１～４のいずれかに記載の表示制御駆動装置。

【請求項７】

前記カラー表示パネルはカラー液晶パネルであり、前記出力順序は液晶パネルの画素を交流駆動するための周期を与えるべく生成される交流化信号に応じて周期的に変化するように構成されていることを特徴とする請求項１～６のいずれかに記載の表示制御駆動装置。

20

【請求項８】

前記レジスタに設定される表示モードの１つは前記カラー表示パネルの表示領域の一部に表示を行なうモードであり、前記レジスタに該表示モードを指定する値が設定された場合に、前記表示領域の一部以外の領域の走査期間中は１水平期間を示す信号の周期が短縮され、前記表示領域の一部の走査期間中は１水平期間を示す信号の周期が伸ばされ、前記所定のタイミング信号は前記１水平期間を示す信号に応じて生成されることを特徴とする請求項１に記載の表示制御駆動装置。

30

【請求項９】

請求項１～８のいずれかに記載の表示制御駆動装置と、複数の走査線と該走査線と交差するように配置された複数の信号線とを含み前記表示制御駆動装置の前記駆動回路から出力される前記電圧信号を入力端子に受け表示を行なうカラー表示パネルとを備えた表示システムであって、

前記カラー表示パネルは、

前記複数の走査線を順次駆動する走査線駆動回路と、前記入力端子と前記複数の信号線との間に設けられ前記駆動回路から出力される前記電圧信号を前記複数の信号線のいずれかに選択的に供給するスイッチ手段とを備え、前記走査線駆動装置のタイミング制御信号および前記スイッチ手段のタイミング制御信号が前記表示制御駆動装置から前記カラー表示パネルに供給されることを特徴とする表示システム。

40

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、表示パネルを駆動する表示制御駆動装置さらには半導体集積回路化された表示制御駆動装置の駆動信号の出力方式に適用して有効な技術に関し、例えばＬＴＰＳ（低温ポリシリコン）液晶パネルを駆動する液晶表示制御駆動装置およびそれを用いた液晶表示システムに利用して有効な技術に関する。

【背景技術】

【０００２】

50

近年、携帯電話器やPDA（パーソナル・デジタル・アシスタント）などの携帯用電子機器の表示装置としては、一般に複数の表示画素がマトリックス状に2次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された表示制御装置（液晶コントローラ）や液晶パネルを駆動する液晶ドライバもしくはドライバを内蔵した表示制御駆動装置（液晶コントローラドライバ）が搭載されている。

【0003】

液晶ドライバは、ソース線への印加タイミングを与えるべく入力されたライン出力信号に同期して液晶パネルの駆動信号を出力する。従来の液晶ドライバにおいては、全ての出力端子から同一のタイミングで駆動信号が出力されるため、液晶パネルを駆動するための電流が集中し、瞬間的に大電流が流れ、この大電流によって電源ラインや信号ラインにスパイク状のノイズが発生したり、電源電圧が低下したりするという課題がある。

10

【0004】

一般に、電子機器は、電波環境が複雑化するにつれ、機器単体だけでなく、構成されるシステムでのEMI（電気磁気障害）を考慮する必要があるが、上記従来の液晶ドライバを用いた液晶ディスプレイ装置においては、液晶パネルのソース線を同時に駆動するため、瞬間的に大電流が流れて電源ラインや信号ラインにスパイク状のノイズが発生することによって、EMIが生じるおそれがある。このEMIの低減を図るためにも、液晶パネルを駆動するための電流が集中するのを防止する必要がある。そこで、複数のソース出力を例えば右半分と左半分のように2のグループに分割して、それぞれ出力タイミングをずらすことによって電流の集中を回避して、EMIの発生を抑制するようにしたソースドライバに関する発明が提案されている（特許文献1）。

20

【0005】

一方、近年、液晶パネルには低温ポリシリコンを使用したLTPS液晶パネルと呼ばれるものがある。液晶パネルはガラス基板を使用するため製造プロセスにおいて高温の工程を用いることができない。LTPS液晶パネルは、アモルファスシリコンをレーザーアニール等により多結晶化してポリシリコンに変質させたもので、アモルファスシリコンに比べてトランジスタの高速動作が可能であるという利点がある。

【0006】

ところで、カラー液晶パネルはR（赤）、G（緑）、B（青）の3原色の画素を備えており、各画素には画素電極と該画素電極を充放電するTFT（薄膜トランジスタ）からなるスイッチ素子が設けられ、同一列の画素のスイッチ素子のソースは画像信号を伝達する共通の配線（ソース線あるいはデータ線と呼ばれる）に接続されている。

30

【0007】

従来のカラー液晶パネルはソース線毎に外部端子が設けられているため、パネルの大きさすなわち表示ドット数が大きくなるほど外部端子数が多くなる。液晶パネルはこのパネルを駆動する半導体集積回路化された表示制御駆動装置に比べると大きいため、パネルの大型化に伴って外部端子数が増加してもそれほど問題はないが、半導体集積回路化される表示制御駆動装置は外部端子数の増加によってチップ面積およびパッケージの容積が大きくなるため、できるだけ外部端子数は少なくしたいという要望がある。

40

【0008】

LTPS液晶パネルは、トランジスタが高速動作可能であるため、液晶パネル側にトランジスタからなるセレクトを設けて3色の画素の信号を共通の外部端子から時分割で入力させるように構成することができる。このように3色の画素の信号を共通の外部端子から時分割で入力させるようにした液晶コントローラドライバに関する発明としては、例えば特許文献2に開示されているものがある。

【特許文献1】特開2003-233358号公報

【特許文献2】特開2004-029540号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 9 】

前記特許文献 1 に記載の発明においては、グループ化した単位でソース線を駆動する場合、例えば右半分のソース線を駆動したのち左半分のソース線を駆動するというように、タイミングはずれるものの分割したソース線間の駆動順序は固定されたままである。そのため、EMI 対策としてはある程度の効果が得られるものの、グループ化したソース線間の駆動順序が同じままであると、ソース線に印加された電圧はゲート線の信号によってオン、オフされる T F T (薄膜トランジスタ) を介して画素電極に印加されるため、ゲート線の電圧が立ち下がることによってソース線の電圧が画素電極に印加されなくなる。その結果、左右のソース線で実効電圧が僅かではあるがずれてしまい、それによって液晶パネルの表示画質が低下するおそれがある。

10

【 0 0 1 0 】

また、前記特許文献 2 に記載の L T P S 液晶パネル用のドライバにおいては、同一ラインの同一色の画素の駆動信号は同一のタイミングで変化させるようにしている。そのため、ピーク電流による E M I の発生が十分に抑制されていないという課題がある。そこで、L T P S 液晶パネル用のドライバに特許文献 1 に記載の発明を適用し、同一ラインの同一色の画素の駆動信号を複数のグループに分けグループごとにタイミングをずらして駆動する方式が考えられる。

【 0 0 1 1 】

しかしながら、L T P S 液晶パネル用のドライバにおいて、3 色の画素の信号を共通の外部端子から時分割で入力させるようにする場合、1 水平期間を 3 分割して各期間ごとに別の画素の信号を入力すると、各画素電極を充電するのに割り当てられる時間が 1 / 3 に減少する。その上、さらに各色の画素の駆動信号を複数のグループに分けてタイミングをずらして駆動すると、各画素電極を充電するのに割り当てられる時間がさらに減少する。そのため、液晶表示制御駆動装置側のドライバないしはアンプの駆動力を高くする必要があり、ピーク電流を有効に減らすことができないという課題がある。

20

【 0 0 1 2 】

この発明の目的は、ピーク電流を減らして E M I の発生を抑制することができる表示制御駆動装置 (液晶コントローラドライバ、液晶駆動用半導体集積回路) を提供することにある。

【 0 0 1 3 】

この発明の他の目的は、ピーク電流を減らして電源供給能力を下げコストダウンを図ることができる表示制御駆動装置を提供することにある。

30

【 0 0 1 4 】

この発明のさらに他の目的は、ピーク電流を減らして E M I の発生を抑制しつつ高画質の表示駆動を行なうことができる表示モードを有する使い勝手の良い表示制御駆動装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 5 】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

40

すなわち、表示画像データを受けてカラー液晶パネルの信号線に印加されるべき画像信号を生成し、1 ラインの同一色の画素の駆動信号をまとめて出力する液晶表示制御駆動装置において、同一色の画素の画像信号を複数のグループに分ける。そして、実質的なフレーム周期を落とすことができる期間においては、1 水平期間に対応した周期を有するラインクロックの周期を延ばし、画像信号の出力タイミングを上記グループごとに僅かずつずらすとともに、各グループの出力順序を周期的に変化させるようにしたものである。

【 0 0 1 6 】

上記した手段によれば、画像信号の出力タイミングが各グループごとに僅かずつずれて

50

いるため、電流が集中して表示パネルに流れるのを防止することができ、それによってEMIを低減させることができる。また、1水平期間を示すラインクロックの周期を延ばして、画像信号の出力タイミングを上記グループごとに僅かずつずらすため、各画素電極を充電するのに割り当てられる時間が減少することがないので、液晶表示制御駆動装置側のドライバないしはアンプの駆動力を高くする必要もなく、ピーク電流を減らすことができる。その結果、EMIの発生を抑制することができるとともに、内部電源回路の電源供給能力を下げコストダウンを図ることができる。

【0017】

さらに、各グループの出力順序が周期的に変化されることによって、平均すると各画素電極に画像信号が印加される時間が同じになり、それによって実効電圧が均一になり表示画質の低下を回避することができるようになる。これにより、EMI対策のため表示パネルの複数の信号線（ソース線）を複数のグループに分けてグループ間で時間差をおいて駆動するようにした場合においても表示画質を低下させることのない表示制御駆動装置（液晶コントローラドライバ）を得ることができる。

【0018】

ここで、上記実質的なフレーム周期を落とすことができる期間としては、例えば表示画面の一部の領域に表示（以下、パーシャル表示と称する）を行なうことで消費電力を低減させるような制御が可能なモードを有する液晶表示制御駆動装置におけるパーシャル表示モード設定期間がある。

【0019】

また、望ましくは、グループ化した画像信号の出力順序を周期的に変化させる切替え回路を設け、該切替え回路の制御信号は液晶パネルの画素を交流駆動するための周期を与える交流化信号に基づいて生成し、該交流化信号の周期に応じて各グループの出力アンプの出力順序を変化させるようにする。交流化信号は液晶ドライバに必ず必要とされる信号である。そのため、切替え回路の制御信号を交流化信号に基づいて生成することによって、入力信号数や端子数を増加させたりシステム構成を大きく変更したりすることなく液晶パネルに流れる電流の集中を回避してEMIの発生を抑制することができ、かつ高画質の表示駆動を行なうことができる液晶表示制御駆動装置を得ることができる。

【0020】

さらに、同一ライン、同一色の画像信号を複数のグループに分け、画像信号の出力タイミングを各グループのごとに僅かずつずらすとともに、各グループ出力順序を周期的に変化させ、かつこのような時間差出力制御の機能を、有効にしたり無効にしたり設定するためのレジスタを設けるようにする。

【0021】

液晶パネルを使用するシステムによってはライン出力タイミングの周期が短く画素電極の充電時間が十分に取れないものがあり、そのような液晶パネルは時間差出力制御の機能を有効にすると表示画質が低下するおそれがある。上記した手段によれば、使用する液晶パネルの特性に応じて時間差出力制御の機能を発現させたりその機能が発現しないようにしたりすることができる使い勝手の良い液晶表示制御駆動装置を得ることができる。出力アンプを複数のグループに分ける方法としては左右に2分してグループ化する方法が望ましいが、奇数番目の出力アンプと偶数番目の出力アンプをそれぞれグループ化する方法であってもよい。

【発明の効果】

【0022】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本出願の発明に従うと、ピーク電流を減らしてEMIの発生を抑制しつつ高画質の表示駆動を行なうことができる表示制御駆動装置（液晶コントローラドライバ、液晶駆動用半導体集積回路）を実現することができる。

【発明を実施するための最良の形態】

【 0 0 2 3 】

以下、本発明の好適な実施例を図面に基づいて説明する。

図 1 は、本発明を適用した液晶コントローラドライバ 2 0 0 の一実施例を示す。特に制限されるものでないが、図 1 に示されている各回路ブロックは、公知の半導体製造技術により単結晶シリコンのような 1 個の半導体チップ上に半導体集積回路として構成される。

【 0 0 2 4 】

この実施例の液晶コントローラドライバ 2 0 0 は、外部からの発振信号もしくは外部端子に接続された振動子からの発振信号に基づいてチップ内部の基準クロック信号 C K 0 を生成する発振回路 2 0 1、生成された基準クロック信号 C K 0 に基づいてチップ内部の各種タイミング制御信号や周期や位相の異なる複数のクロック信号を発生するタイミング制御回路 2 1 0 を備える。

10

【 0 0 2 5 】

また、液晶コントローラドライバ 2 0 0 は、外部のマイクロプロセッサもしくはマイクロコンピュータ（以下、マイコンと略す）からの指令に基づいてチップ内部全体を制御する制御部 2 2 0、システムバスを介してマイコンとの間でレジスタへの設定データや画像データなどのデータの送受信を行なうシステム・インタフェース 2 0 3 を備える。さらに、液晶コントローラドライバ 2 0 0 は、外部の不揮発性メモリ（E E P R O M）に対してシリアルにデータの書き込みや読み出しを行なうための制御信号 S C S やクロック信号 S C L 等を生成する E E P R O M 制御回路 2 0 5 を備えている。

【 0 0 2 6 】

20

また、この実施例の液晶コントローラドライバ 2 0 0 には、表示データをビットマップ方式で記憶する表示メモリとしての表示 R A M（Random Access Memory）2 3 0、該表示 R A M 2 3 0 に対するアドレスを生成するアドレスカウンタ 2 3 1 を備える。さらに、表示 R A M 2 3 0 へ書き込むライトデータを保持するライトデータラッチ回路 2 3 2、表示 R A M 2 3 0 から読み出されたデータを保持するリードデータラッチ回路 2 3 3 を備える。ライトデータラッチ回路 2 3 2 と前記システム・インタフェース 2 0 3 との間には、システム・インタフェース 2 0 3 に入力された 1 2 ビットあるいは 1 6 ビット、1 8 ビットのようなライトデータを一旦保持し、表示 R A M 2 3 0 のリード・ライト単位に適した 2 4 ビットのようなデータとして表示 R A M 2 3 0 へ渡すバッファ用ラッチ回路 2 3 4 が設けられている。

30

【 0 0 2 7 】

前記制御部 2 2 0 には、この液晶コントローラドライバ 2 0 0 の動作モードなどチップ全体の動作状態を制御するためのコントロールレジスタ 2 2 2 や、該コントロールレジスタ 2 2 2 の参照のためのインデックス情報を記憶するインデックスレジスタ 2 2 1 などが設けられている。コントロールレジスタ 2 2 2 には、図 4 のモードレジスタ 2 2 2 a が含まれる。そして、外部のマイコンがインデックスレジスタ 2 2 1 に書き込みを行なうことで実行するインストラクションを指定すると、制御部 2 2 0 が指定されたインストラクションに対応した制御信号を生成し出力する制御方式を採用している。制御部 2 2 0 の制御方式として、外部のマイコンからコマンドコードを受けると、このコマンドをデコードして制御信号を生成する方式を採用しても良い。

40

【 0 0 2 8 】

このように構成された制御部 2 2 0 による制御によって、液晶コントローラドライバ 2 0 0 は、マイコンからの指令およびデータに基づいて液晶パネルに表示を行なう際に、表示データを表示 R A M 2 3 0 に順次書き込んでいく描画処理を行う。これと共に、表示 R A M 2 3 0 から周期的に表示データを読み出す読出し処理を行なって液晶パネルのソース線に印加する電圧信号（画像信号、ソース線駆動信号）を生成して出力する。表示 R A M 2 3 0 の後段には、表示のために読み出された画像データをラッチする第 1 ラッチ回路 2 4 1、液晶の劣化を防止する交流駆動のためのデータに変換する M 交流化回路 2 4 2、第 2 ラッチ回路 2 4 3、画像データに応じて液晶パネルのソース線に印加すべき電圧信号を生成して出力するソース線駆動回路 2 4 4 などが設けられている。

50

【 0 0 2 9 】

さらに、この実施例の液晶コントローラドライバ200には、カラー表示や階調表示に適した波形信号を生成するのに必要な階調電圧を生成する階調電圧生成回路245、液晶パネルの γ 特性に合わせた階調電圧を設定する γ 調整回路246、外部の液晶パネルの動作を制御するのに必要な制御信号やクロック信号を生成するパネルインタフェース回路247等が設けられている。ソース線駆動回路244は、上記階調電圧生成回路245から供給される複数の階調電圧の中から表示画像データに応じた電圧を選択して液晶パネルのソース線に印加される電圧信号S1～S240を出力する。

【 0 0 3 0 】

なお、この実施例の液晶コントローラドライバ200は、液晶パネルの構成に応じてソース線駆動回路244から各画素のRGBの駆動信号を共通の端子から時分割で出力するように構成されている。これとともに、液晶パネルに対していずれの色の画素駆動信号を出力しているかまた出力している期間を示すRGB指定信号MP_R, MP_G, MP_Bとおよびそれらの反転信号/M_P_R, /M_P_G, /M_P_Bと1ラインの期間に相当するクロックCLK等を前記パネルインタフェース回路247により生成して出力するように構成されている。

10

【 0 0 3 1 】

また、液晶コントローラドライバ200は、外部から供給される例えば3.3Vや2.5Vのような電圧IOVCCに基づいて1.5Vのような内部回路の動作に必要な内部電源電圧Vddを生成する電圧レギュレータ251、該レギュレータに必要な基準電圧を生成する基準電圧生成回路252、階調電圧生成回路245やパネルインタフェース回路247に必要な電圧を生成する液晶駆動レベル発生回路253等が設けられている。

20

【 0 0 3 2 】

この実施例の液晶コントローラドライバ200により駆動する液晶パネルは、表示画素がマトリックス状に配列されたドットマトリックス方式のカラー低温ポリシリコン(LTPS)TFT液晶パネルであり、1画素は赤、青、緑の3ドットで構成されている。図2にLTPS液晶パネルの概略構成が示されている。

【 0 0 3 3 】

液晶パネル100は、特に制限されるものでないが、この実施例では、各ライン(行)毎に赤色(R)、緑色(G)、青色(B)の各色の画素が順に繰返し配置され、列方向には同一色の画素が並ぶように配置されている。各画素は、TFTからなるスイッチ素子SWと、画素電極ELとから構成され、画素電極と液晶を挟んで対抗する共通電極との間に形成される画素容量に対して画像信号に応じた電荷が蓄積される。

30

【 0 0 3 4 】

図2において、GL1～GL320は同一ラインの画素のスイッチ素子のゲートが共通に接続されたゲート線で、各ゲート線は1フレーム周期に1回ずつ選択レベルにされ、選択レベルのゲート線に接続されているスイッチ素子がオン状態にされ、その他すべてオフ状態にされる。また、SL1～SL720は同一列の画素のスイッチ素子のソースが共通に接続されたソース線で、このソース線を介して各画素に画像信号が伝達され画素電極に画像信号に応じた電荷が充電される。

40

【 0 0 3 5 】

この実施例の液晶パネル100には、ソース線SL1～SL720の数の1/3の数のセグメント端子T1～T240が設けられ、各セグメント端子T1～T240にはそれぞれ3個で1組のRGB選択用スイッチ素子Q1～Q3, Q4～Q6, ..., Q718～Q720を介してRGBの各画素列に対応した3本のソース線群SL1～SL3, SL4～SL6, ..., SL718～SL720の中の1つが接続可能に構成されている。

【 0 0 3 6 】

RGB選択用スイッチ素子Q1～Q3, Q4～Q6, ..., Q718～Q720は、液晶コントローラドライバ200のパネルインタフェース回路247から出力されるRGB指定信号MP_R, MP_G, MP_Bとそれらの反転信号/M_P_R, /M_P_G, /

50

M P __ B によって順次オン、オフ制御される。R G B 指定信号が差動の信号であるのは、選択用スイッチ素子 Q 1 ~ Q 3 , Q 4 ~ Q 6 , ... , Q 7 1 8 ~ Q 7 2 0 として、それぞれ P チャネル M O S F E T と N チャネル M O S F E T を並列に結合したトランスマッションゲートを使用しているためである。図 2 においては、紙面の都合で、一方の M O S F E T と一方の信号のみが示されている。

【 0 0 3 7 】

また、この実施例の液晶パネル 1 0 0 には、ゲート線 G L 1 ~ G L 3 2 0 に対応してこれらを駆動するゲートドライバ D R V 1 ~ D R V 3 2 0 がそれぞれ設けられているとともに、ゲート線 G L 1 ~ G L 3 2 0 と直交する方向に沿ってシフトレジスタ 1 2 0 が設けられている。さらに、液晶パネル 1 0 0 には、液晶コントローラドライバ 2 0 0 から供給される 1 フレーム期間を示す信号 F L M やシフトレジスタ S F R のシフト方向を示す制御信号 U D 等に基づいてパネル内部の制御信号を生成する制御回路 1 1 0 が設けられている。

【 0 0 3 8 】

上記シフトレジスタ 1 2 0 を構成する各段のフリップフロップの出力は、上記ゲートドライバ D R V 1 ~ D R V 3 2 0 の入力端子に供給されており、シフトレジスタ 1 2 0 が液晶コントローラドライバ 2 0 0 から出力されるイネーブル信号 G E N が有意なレベルにされると前記ラインクロック L C K 1 によって 1 フレーム周期をかけて " 1 " を一巡させる。これにより、各ゲート線が 1 フレーム周期に 1 回ずつ選択レベルにされる。

【 0 0 3 9 】

また、1 本のゲート線が選択レベルにされている 1 水平期間に R G B 指定信号 M P __ R , M P __ G , M P __ B が順にハイレベルに変化される。すると、液晶コントローラドライバ 2 0 0 から供給される画像信号がスイッチ素子 Q 1 ~ Q 7 2 0 により 3 本一組のソース線の中から 1 本のソース線に画像信号が伝達される。また、液晶コントローラドライバ 2 0 0 からは、図 3 に示すように、ラインクロック L C K 1 に同期して 1 水平期間内に R G B の各画像信号 S 1 ~ S 2 4 0 がそれぞれ時分割で出力される。これにより、液晶パネルでは、R G B の各画素順に選択ゲート線に接続されている画素の電極に画像信号が印加されて画素容量が充電されるようになる。

【 0 0 4 0 】

さらに、本実施例の液晶コントローラドライバ 2 0 0 においては、コントロールレジスタ 2 2 2 内に、ラインクロック L C K 1 の周期を伸ばして実質的なフレーム周期を遅くしても良い表示モードを設定するためのモードレジスタ 2 2 2 a が設けられている。この実施例では、かかるモードの例として表示画面（液晶パネル）の一部の領域に表示を行なうパーシャル表示を想定している。

【 0 0 4 1 】

図 4 には、上記モードレジスタ 2 2 2 a に「 1 」が設定された場合に、ラインクロックの周期を伸ばすとともに、ソース線駆動回路 2 4 4 から出力される画像信号 S 1 ~ S 2 4 0 の出力タイミングを変化させるための具体的な回路の一例が示されている。

【 0 0 4 2 】

図 4 において、2 1 1 は発振回路 2 0 1 により生成された基準クロック信号 C K 0 を分周する分周回路、2 1 2 は分周回路 2 1 1 により分周されたクロックの中から所定の周波数のクロックを選択するセレクタである。2 1 3 は遅延回路や論理ゲート回路などから成り上記セレクタ 2 1 2 により選択されたクロックに基づいてラインクロック L C K 0 や画像信号 S 1 ~ S 2 4 0 の出力タイミングを与えるクロック C K 1 , C K 2 を生成するパルス生成回路である。また、2 1 4 はクロック C K 1 , C K 2 を適宜選択してソース線駆動回路 2 4 4 の前段のラッチ回路 2 4 3 へ供給するクロック選択切替回路、2 1 5 はラインクロック L C K 0 を分周して上記クロック選択切替回路 2 1 4 の制御信号 S C S を生成する分周回路であり、これらの回路は図 1 のタイミング発生回 2 1 0 内に設けられている。

【 0 0 4 3 】

クロック C K 2 はクロック C K 1 よりも位相が少し遅れている信号である。図 4 には示されていないが、分周回路 2 1 1 により分周されたクロックをさらに分周してフレーム同

10

20

30

40

50

期信号 F L M を生成する回路や分周回路 2 1 1 等により取り出されたクロックに基づいて表示 R A M 2 3 0 やラッチ回路 2 4 1、M 交流化回路 2 4 2 などに対するタイミング信号を生成する回路が設けられている。

【 0 0 4 4 】

この実施例では、モードレジスタ 2 2 2 a にフレーム周期を伸ばしても良い表示モードが設定されていると、該レジスタの出力をイネーブル信号 E N として、クロック選択切替回路 2 1 4 が分周回路 2 1 5 からの制御信号 S C S により所定の周期でクロック C K 1、C K 2 をスルーまたは交差させてラッチ回路 2 4 3 へ供給する。所定の周期は分周回路 2 1 5 の分周比によって決定される。図 4 の実施例のように分周回路 2 1 5 がシリーズに接続された 3 個のフリップフロップからなる場合、所定の周期はラインクロック L C K 0 の 4 周期に相当する時間となる。

10

【 0 0 4 5 】

ラッチ回路 2 4 3 は 2 4 0 個の画像データを保持可能であり、そのうち半数ずつデータ出力タイミングを変えられるように構成されている。具体的には、モードレジスタ 2 2 2 a が通常モードに設定されている場合、イネーブル信号 E N がロウレベルとされ、クロック選択切替回路 2 1 4 はクロック C K 1 をラッチ回路 2 4 3 の 2 つのグループに共通に供給する。これにより、ラッチ回路 2 4 3 は 2 4 0 個の画像データを同時にソース線駆動回路 2 4 4 へ出力し、ソース線駆動回路 2 4 4 の出力信号は 2 4 0 本同時に変化することとなる。

【 0 0 4 6 】

20

一方、モードレジスタ 2 2 2 a にフレーム周期を伸ばしても良い表示モードが設定されると、イネーブル信号 E N がハイレベルにされ、クロック選択切替回路 2 1 4 が所定の周期でクロック C K 1、C K 2 をスルーまたは交差させてラッチ回路 2 4 3 へ供給する。これにより、ラッチ回路 2 4 3 は、2 4 0 個の画像データのうち半数（左側半分 S 1 ~ S 1 2 0）を先ずクロック C K 1 に同期して出力し、続いて残りの半数の画像データ（右側半分 S 1 2 1 ~ S 2 4 0）をクロック C K 2 に同期して出力する。これをラインクロック L C K 0 の 4 周期の間続けるつまり 4 ライン分の画像データ（2 4 0 × 3 × 4）を出力すると、クロック C K 1、C K 2 が交差されてラッチ回路 2 4 3 へ供給される。

【 0 0 4 7 】

すると、ラッチ回路 2 4 3 は、左右の画像データの出力順を逆にして、先ず 2 4 0 個の画像データのうち右側半分（S 1 2 1 ~ S 2 4 0）をクロック C K 1 に同期して出力し、続いて左側半分の画像データ（S 1 ~ S 1 2 0）をクロック C K 2 に同期して出力する。これをラインクロック L C K 0 の 4 周期の間続けると再びデータの出力順を入れ替えて半数ずつ出力する。そして、ラッチ回路 2 4 3 から出力された画像データに応じた駆動信号がソース線駆動回路 2 4 4 により生成されて出力されるため、ソース線駆動信号の出力タイミングも半数ずつずれることになる。

30

【 0 0 4 8 】

このように、画像データの出力タイミングを半数ずつずらすとともに、クロック C K 1、C K 2 に同期して液晶パネル側の R G B 選択用スイッチ Q 1 ~ Q 7 2 0 の制御パルス M P __ R、M P __ G、M P __ B を順に出力することによって、図 5 のように、ソース線 S L ~ S L 1 2 0 の立ち上げタイミングを半数ずつずらすことができる。これによって、液晶パネル全体に流れる電流のピークを抑えることができる。さらに、分周回路 2 1 5 からの信号と交流化信号 M とを組み合わせ、クロック選択切替回路 2 1 4 における切替えタイミングを制御するように構成してもよい。これにより、表示領域の所定の部分のみが遅延したソース信号で駆動されるのを回避して、タイミングをずらすことによる画質の低下を防止することができる。

40

【 0 0 4 9 】

なお、フレーム周期を伸ばしても良いモードでのみ出力タイミングをずらしているのは、通常モードでは、1 水平期間の周期が短いため、クロック C K 1 と C K 2 の時間のずれを大きくすると画素の充電時間が充分にとれなくなるためである。以下、その理由を説

50

明する。前述したように、ソース線駆動信号は、液晶パネル側において、ラインごとにRGB選択用スイッチQ1～Q720を介して各ソース線SL1～SL720に順次取り込まれる。そして、ソース線の電圧が画素電極に印加されるのは、パネルの信号入力端子T1～T240とソース線S1～S720とがRGB選択用スイッチQ1～Q720により接続されゲートドライバDRV1～DRV320によって画素のスイッチがオン状態にされている期間だけである。

【0050】

したがって、RGB選択用スイッチQ1～Q720がオフされるとソース線への駆動信号の印加が終了し、画素のスイッチがオフされると画素容量の充電が終了する。つまり、ソース線駆動信号の出力タイミングを半数だけ遅らせると、RGB選択用スイッチQ1～Q720の切替えとゲート線のレベル変化は1ラインごとに同時であるため、充電時間が短くなることにより表示画質が低下するおそれがある。一方、画素の充電時間を十分に確保するため、クロックCK1とCK2の時間のずれを小さくするとピーク電流を十分に抑えることができない。

【0051】

そこで、本実施例では、フレーム周期を伸ばしても良いモードでのみ出力タイミングをずらすようにしている。ただし、1ラインの半分の画素同士で充電時間の差異が生じるのは回避できないので、数10フレームわたるような長い時間では、画面の右半分と左半分とで実効電圧が異なって表示画質が低下するおそれがある。しかるに、本実施例では、ラインクロックLCCK0の4周期ごとに半数のデータの出力順を入れ替えるようにしているため、複数フレームにわたるような長い時間においては各画素に印加される実効電圧が平均化され表示画質の低下を抑えることができる。ところで、ラッチ回路243が前段の交流化回路242から出力される画像データをラッチするタイミングは、表示モードのいかににかかわらず240個同時であり、そのラッチタイミング与える信号はパルス生成回路213において1水平期間を示す信号(ラインクロックLCCK0)に同期して生成される。

【0052】

さらに、本実施例の液晶コントローラドライバは、モードレジスタ222aに、低消費電力化のため図6に示すような表示領域FLDの一部の領域PDTに表示を行なうパーシャル表示モードが設定されていると、図7に示されているように、走査ラインがパーシャル表示開始位置PSPに来るまではラインクロックLCCK0の周波数を高める。つまり、セクタ212を切り替えて分周回路211から周波数の高いクロックφ1をパルス生成回路213へ供給させてラインクロックLCCK0を生成させる。そして、走査ラインがパーシャル表示開始位置PSPに来ると、セクタ212を切り替えて分周回路211から周波数の低いクロックφ3をパルス生成回路213へ供給させてラインクロックLCCK0の周波数を低くする。つまり、ラインクロックLCCK0の周期を長くするようになっている。

【0053】

そして、走査ラインがパーシャル表示終了位置PEPに来ると、セクタ212を切り替えて分周回路211から再び周波数の高いクロックφ1をパルス生成回路213へ供給させてラインクロックLCCK0の周波数を高くする。なお、通常モードでは、セクタ212によりφ1とφ3の中間の周波数のクロックφ2が選択されてパルス生成回路213へ供給され続け、図7の期間T1のように、1フレーム周期の間ずっと同一周波数のラインクロックLCCK0が生成される。これにより、パーシャル表示モードの1フレームの期間と通常モードの1フレームの期間はほぼ同じ長さにされる。

【0054】

ここで、パーシャル表示開始位置PSPと終了位置PEPは、モード開始前に予め所定のレジスタに設定しておくようにすることができる。図6において、BPはバックポーチ、FPはフロントポーチであり、フレーム周期はバックポーチBPと表示領域FLDとフロントポーチFPの長さによって変えることができる。また、パーシャル表示の際には、

10

20

30

40

50

パネル上のゲートドライバによるゲート選択時間も伸ばす必要があるため、シフトレジスタ120に供給されるラインクロックLCK1の周期もタイミング発生回路210内のラインクロックLCK0の周期と同様に伸ばされる。また、パーシャル表示の際のラインクロックLCK0、LCK1の周期を設定するため、例えばコントロールレジスタ222内にラインクロックLCK0を生成する分周器(図示略)の分周比を設定できるように構成される。

【0055】

図8には、本発明に係る液晶表示制御駆動装置(液晶コントローラドライバ)を備えた携帯電話器の全体構成を示すブロック図が示されている。

この実施例の携帯電話器は、表示部としての液晶パネル100、送受信用のアンテナ120、音声出力用のスピーカ130、音声入力用のマイクロホン140、CCD(チャージ・カップルド・デバイス)やMOSセンサなどからなる固体撮像素子150を備える。また、前記固体撮像素子150からの画像信号を処理するDSPなどからなる画像信号処理回路260、本発明に係る液晶コントローラドライバ200、スピーカ130やマイクロホン140の信号の入出力を行なう音声インタフェース261、アンテナ120との間の信号の入出力を行なう高周波インタフェース262を備える。さらに、音声信号や送受信信号に係る信号処理等を行なうベースバンド部270、MPEG方式等に従った動画処理等マルチメディア処理機能や解像度調整機能、ジャヴァ高速処理機能等を有するマイクロプロセッサなどからなる動画処理回路(アプリケーションプロセッサ)280、電源用IC281およびデータ記憶用のメモリ282等を備える。アプリケーションプロセッサ280は、固体撮像素子150からの画像信号の他、高周波インタフェース262を介して他の携帯電話器から受信した動画データも処理する機能を有する。

【0056】

一点鎖線Aで囲まれた部分のICや部品はプリント配線基板のような1枚の基板上に搭載される。これまで液晶コントローラドライバ200は同じ基板上に実装されることが多かったが、最近では携帯電話などの携帯端末の小型・薄型化のため、液晶コントローラドライバ200及び電源用IC281は液晶パネル100のガラス上にCOG(Chip on Glass)実装されることが増えている。画像信号処理回路260と液晶コントローラドライバ200とベースバンド部270とアプリケーションプロセッサ280およびメモリ282はシステムバス291を介して接続され、液晶コントローラドライバ200とアプリケーションプロセッサ280およびメモリ282はさらに表示データバス292に接続されている。

【0057】

なお、上記ベースバンド部270は、例えばDSPなどからなり音声信号処理を行なう音声信号処理回路271、カスタム機能(ユーザ論理)を提供するASIC272、ベースバンド信号の生成や表示制御、システム全体の制御等を行なうデータ処理装置としてのマイクロプロセッサもしくはマイコン273等により構成される。

【0058】

所定のブロック単位で一括消去可能なフラッシュメモリ283は、表示制御を含む携帯電話器システム全体の制御プログラムや制御データが記憶される。メモリ282は、さまざまな画像処理を行った画像データ等が保存されるフレームバッファ等として用いられ、通常SRAMやSDRAMが用いられる。液晶コントローラドライバ200に接続されたEEPROMには、使用する液晶パネルのγ特性、フレーム周波数などの仕様が格納される。

【0059】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、実質的なフレーム周波数を下げることができる表示モードの例として、液晶パネルの表示画面の一部に表示を行なうパーシャル表示モードをあげたが、それに限定されるものでなく、表示画面の全体に表示を行なう場合

であってもシステムによってはフレーム周波数を下げることができる場合があれば、そのような場合にも適用することができる。

【 0 0 6 0 】

また、前記実施例では、画素データを保持するラッチ回路 2 4 3 からソース線駆動回路 2 4 4 へデータを転送するタイミングを 1 ラインの半分ずつずらすようにした場合を説明したが、回路形式によってはソース線駆動回路 2 4 4 から液晶パネルへ出力するタイミングを 1 ラインの半分ずつずらすように構成することも可能である。

【 0 0 6 1 】

さらに、前記実施例では、1 ラインの同一色の右半分と左半分のソース線に対応した画像データの転送タイミングをずらすようにしたが、1 ラインのうち同一色の奇数番目のソース線のデータと偶数番目のソース線のデータとに分けてタイミングをずらすように構成することも可能である。さらに、実施例では、同一色のソース線を 2 つのグループに分けて出力タイミングをずらすようにしているが、周期的に余裕があれば、3 つ以上のグループに分けて出力タイミングをずらすようにしてもよい。

【 0 0 6 2 】

また、前記実施例では、ラインクロック L C K 0 を分周してクロック選択切替回路 2 1 4 の制御信号 S C S を生成する分周回路 2 1 5 を設けて複数ラインごとにタイミングを遅くするグループを切り替えているが、分周回路 2 1 5 にフレーム周期を示す信号 (F L M 等) を入れて複数フレームごとにタイミングを遅くするグループを切り替えてもよい。また、前記実施例では、ラッチ回路 2 4 3 へ供給する出力タイミングを与えるクロック C K 1 , C K 2 を切り替えて、画像データの転送タイミングをずらすようにしているが、ラッチ回路 2 4 3 の出力側にソース線の半分の数の遅延回路を設けて、該遅延回路を通過させる画像データを、制御信号 S C S で切り替えるように構成しても良い。この場合、クロック C K 1 , C K 2 は不要となる。

【 0 0 6 3 】

さらに、前記実施例では、実質的なフレーム周波数を下げることができる表示モードを設定するためのレジスタを設けて、このレジスタへの設定が行なわれた場合に出力タイミングをずらすようにしているが、モードレジスタの代わりにフレーム周期を監視する回路を液晶コントローラドライバ内に設ける。そして、実質的なフレーム周波数を下げたときとみなせるような場合に自動的に出力タイミングをずらすように構成することも可能である。また、フレーム周期の長さに応じて出力タイミングをずらすグループの数を変えるようにしても良い。つまり、フレーム周期が長いほどグループの数を多くすることができる。

【産業上の利用可能性】

【 0 0 6 4 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である L T P S カラー液晶パネルを駆動する液晶コントローラドライバに適用したものについて説明したが、本発明はそれに限定されるものでなく、L T P S 以外の液晶パネルや有機 E L 表示パネルを駆動する液晶コントローラドライバにも適用することができる。また、本発明の液晶コントローラドライバは、携帯電話機用液晶ディスプレイを駆動する場合は勿論のこと、ノートパソコンや P D A の液晶モニタを駆動する液晶コントローラドライバにも適用することができる。

【図面の簡単な説明】

【 0 0 6 5 】

【図 1】本発明を適用した液晶コントローラドライバの概略構成を示すブロック図である。

【図 2】本発明を適用した液晶コントローラドライバにより駆動される L T P S 液晶パネルの構成例を示す回路構成図である。

【図 3】本発明を適用した液晶コントローラドライバから出力される通常モードでのソース線駆動信号の出力タイミングを示すタイミングチャートである。

【図 4】本発明を適用した液晶コントローラドライバにおけるタイミング発生回路内の要

10

20

30

40

50

部の回路構成例を示すブロック図である。

【図5】本発明を適用した液晶コントローラドライバから出力される実質的なフレーム周期が遅いモードでのソース線駆動信号の出力タイミングを示すタイミングチャートである。

【図6】実施例の液晶コントローラドライバを適用したシステムにおいてパーシャル表示を行なう場合の表示画面と表示エリアとの関係を示す説明図である。

【図7】実施例の液晶ドライバにおいて、パーシャル表示モードでのゲートイネーブル信号とラインクロックとの関係を示すタイミングチャートである。

【図8】本発明の液晶コントローラドライバを使用した携帯電話機のシステム構成例を示すブロック図である。

10

【符号の説明】

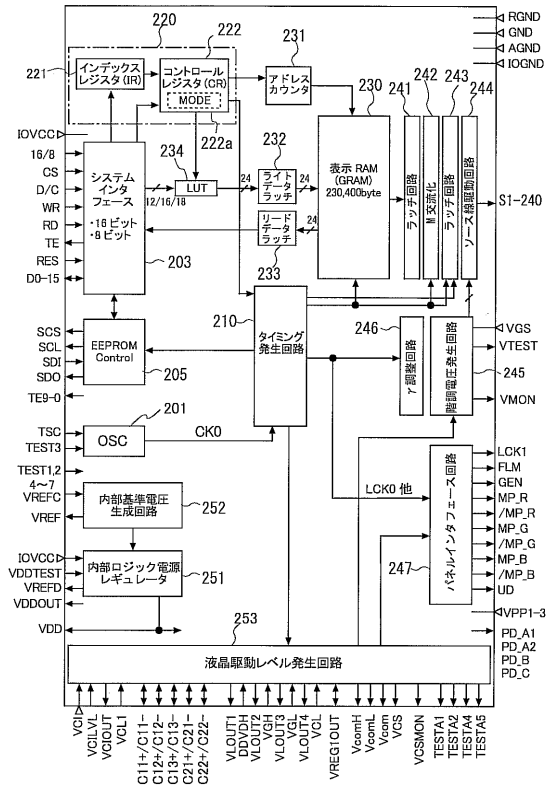
【0066】

- 100 液晶パネル
- 200 液晶表示制御駆動装置（液晶コントローラドライバIC）
- 201 発振回路
- 210 タイミング発生回路
- 211 分周回路
- 214 クロック選択切替回路
- 220 制御部
- 222 コントロールレジスタ
- 222a モードレジスタ
- 230 表示RAM
- 241, 243 表示画像データラッチ回路
- 244 ソース線駆動回路
- 245 階調電圧生成回路
- S1～S240 ソース線駆動信号
- SL1～SL240 液晶パネルのソース線
- CK0 基準クロック信号
- LCK0, LCK1 1水平期間を示すラインクロック
- FLM 1フレーム期間を示すクロック

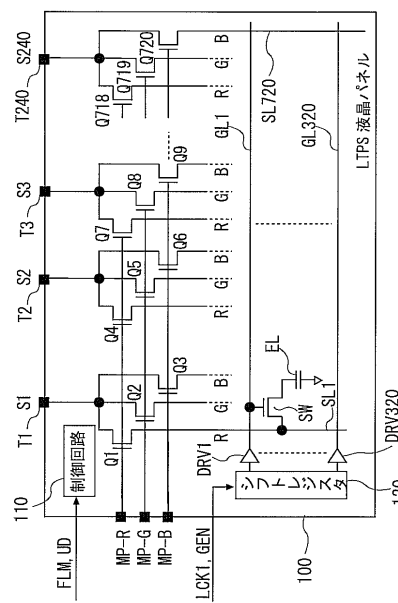
20

30

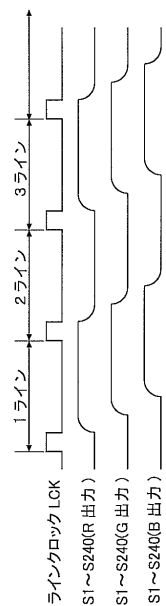
【図 1】



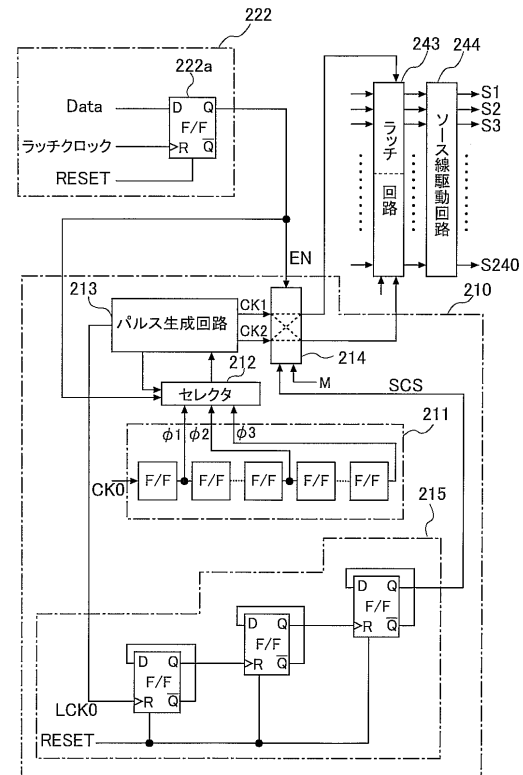
【図 2】



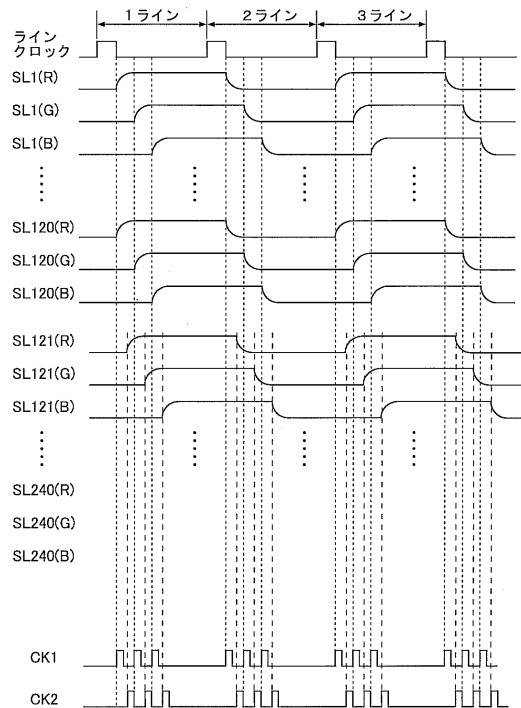
【図 3】



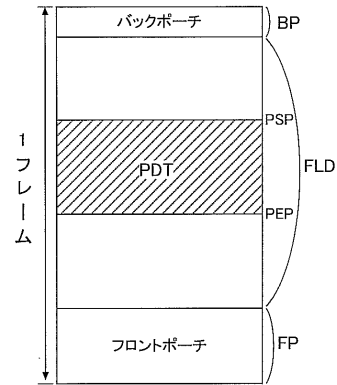
【図 4】



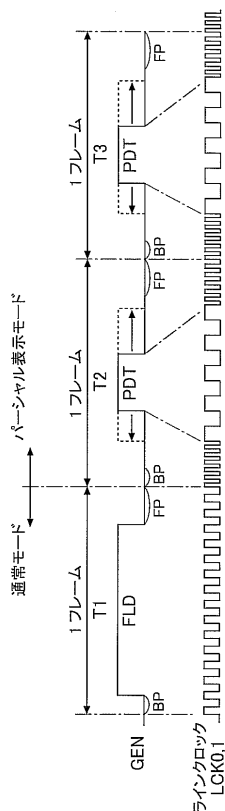
【 図 5 】



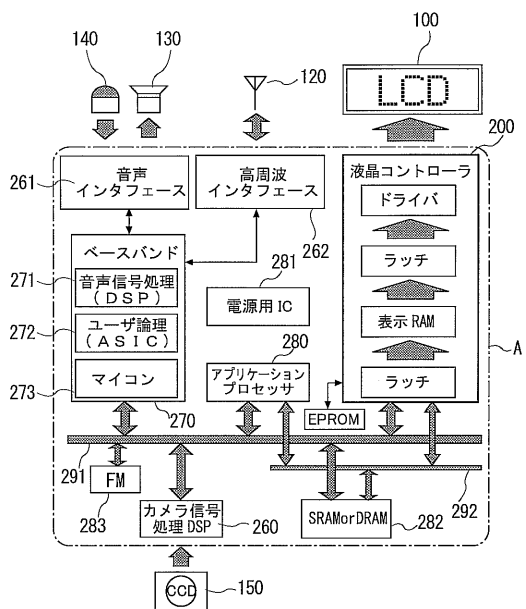
【 図 6 】



【圖 7】



【圖 8】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 6 0 E
G 0 9 G	3/20	6 6 0 Q
G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 1 2 J
G 0 2 F	1/133	5 5 0

(56)参考文献 特開 2 0 0 5 - 0 9 2 1 7 6 (J P , A)

特開 2 0 0 7 - 0 1 7 5 6 4 (J P , A)

特開 2 0 0 7 - 0 2 5 6 3 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	显示控制驱动装置和显示系统		
公开(公告)号	JP4822406B2	公开(公告)日	2011-11-24
申请号	JP2005277311	申请日	2005-09-26
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	岡村和浩		
发明人	岡村 和浩		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G5/363 G09G3/3666 G09G5/18 G09G2300/0408 G09G2310/0297 G09G2310/08 G09G2330/025 G09G2330/06		
FI分类号	G09G3/36 G09G3/20.611.C G09G3/20.623.V G09G3/20.642.J G09G3/20.621.A G09G3/20.631.V G09G3/20.660.E G09G3/20.660.Q G09G3/20.612.L G09G3/20.623.G G09G3/20.622.A G09G3/20.623.R G09G3/20.612.J G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NC22 2H093/NC25 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC35 2H093/ND05 2H093/ND32 2H093/ND37 2H093/ND39 2H093/ND60 2H193/ZA04 2H193/ZD34 5C006/AA22 5C006/AB01 5C006/AC11 5C006/AC24 5C006/AF34 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF51 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC23 5C006/BF02 5C006/BF04 5C006/BF15 5C006/EC02 5C006/FA32 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD12 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04		
审查员(译)	一宮誠		
其他公开文献	JP2007086584A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够降低峰值电流并抑制EMI发生的显示驱动装置（用于液晶驱动的液晶驱动器和半导体集成电路）。
ŽSOLUTION：在用于接收显示图像数据的液晶显示控制驱动装置（200）中，产生要施加到彩色液晶面板（100）的信号线（SL1-SL720）的图像信号，并输出驱动信号。在一行的相同颜色的像素中，相同颜色的像素的图像信号被分成多个组。然后，在可以降低实际帧周期的时段中，延长具有对应于一个水平周期的周期的行时钟的周期，对于每个组，图像信号的输出定时一点一点地移位，并且各组的输出顺序是循环变化的。
Ž

【 图 1 】

