

(19) 日本国特許庁 (JP)

## (12) 特 許 公 報 (B2)

(11) 特許番号

特許第4762251号  
(P4762251)

(45) 発行日 平成23年8月31日 (2011. 8. 31)

(24) 登録日 平成23年6月17日 (2011. 6. 17)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)  
 G09G 3/20 (2006.01)  
 G02F 1/133 (2006.01)  
 G11C 19/00 (2006.01)

G09G 3/36  
 G09G 3/20 611A  
 G09G 3/20 623B  
 G09G 3/20 621K  
 G09G 3/20 623H

請求項の数 7 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2007-545170 (P2007-545170)  
 (86) (22) 出願日 平成18年9月25日 (2006. 9. 25)  
 (86) 国際出願番号 PCT/JP2006/318957  
 (87) 国際公開番号 W02007/058018  
 (87) 国際公開日 平成19年5月24日 (2007. 5. 24)  
 審査請求日 平成20年5月7日 (2008. 5. 7)  
 (31) 優先権主張番号 特願2005-331483 (P2005-331483)  
 (32) 優先日 平成17年11月16日 (2005. 11. 16)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100104695  
 弁理士 島田 明宏  
 (72) 発明者 鷲尾 一  
 大阪府大阪市阿倍野区長池町2番2号  
 シャープ株式会社内  
 (72) 発明者 マイケル ジェームス ブラウンロー  
 イギリス国 オックスフォードシャー, オ  
 ーエックス14, 4ジェイイー, ド  
 ライトン, ヒリアットフィールズ 1  
 1

審査官 森口 忠紀

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

パーシャル表示機能を有する液晶表示装置であって、

行方向および列方向に配置された複数の表示素子と、同じ行に配置された表示素子に共通して接続される複数の走査信号線と、同じ列に配置された表示素子に共通して接続される複数のデータ信号線とを含む画素アレイと、

前記走査信号線を選択的に活性化する走査信号線駆動回路と、

与えられた映像信号に基づき、前記データ信号線を駆動するデータ信号線駆動回路とを備え、

前記データ信号線駆動回路は、

各前記データ信号線についてサンプリング信号を出力するシフトレジスタと、

各前記データ信号線に対応して設けられ、第1および第2の出力端子を有し、前記シフトレジスタから出力されたサンプリング信号を、通常表示モードでは少なくとも前記第1の出力端子から出力し、パーシャル表示モードでは前記第2の出力端子から出力する選択回路と、

各前記データ信号線に対応して設けられ、前記第1の出力端子から出力されたサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加する第1のサンプリング部と、

各前記データ信号線に対応して設けられ、前記第2の出力端子から出力されたサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加する第2の

10

20

サンプリング部とを含み、

前記第 2 のサンプリング部は、前記第 1 のサンプリング部よりも低速で動作する回路構成を有することを特徴とする、液晶表示装置。

【請求項 2】

前記第 1 のサンプリング部は、

前記第 1 の出力端子から出力されたサンプリング信号が入力される第 1 のバッファ部と、

前記第 1 のバッファ部から出力されたサンプリング信号に基づき、前記映像信号を前記データ信号線に印加するか否かを切り換える第 1 のサンプリングスイッチとを含み、

前記第 2 のサンプリング部は、

前記第 2 の出力端子から出力されたサンプリング信号が入力される第 2 のバッファ部と、

前記第 2 のバッファ部から出力されたサンプリング信号に基づき、前記映像信号を前記データ信号線に印加するか否かを切り換える第 2 のサンプリングスイッチとを含み、

前記第 2 のバッファ部の駆動能力は、前記第 1 のバッファ部よりも低く、

前記第 2 のサンプリングスイッチのオン抵抗は、前記第 1 のサンプリングスイッチよりも大きいことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 のバッファ部は、前記第 1 のバッファ部よりもチャンネル幅が狭いトランジスタで構成されており、

前記第 2 のサンプリングスイッチは、前記第 1 のサンプリングスイッチよりもチャンネル幅が狭いトランジスタで構成されていることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記選択回路は、通常表示モードでは、前記シフトレジスタから出力されたサンプリング信号を前記第 2 の出力端子から出力せず、前記第 1 の出力端子から出力することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記選択回路は、通常表示モードでは、前記シフトレジスタから出力されたサンプリング信号を前記第 1 および第 2 の出力端子から出力することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記走査信号線駆動回路は、通常表示モードでは、活性化する走査信号線を第 1 のライン時間ごとに切り換え、パーシャル表示モードにおける表示期間では、活性化する走査信号線を前記第 1 のライン時間よりも長い第 2 のライン時間ごとに切り換え、

前記シフトレジスタは、通常表示モードでは第 1 のサンプリング周期で動作し、パーシャル表示モードにおける表示期間では、前記第 1 のサンプリング周期よりも長い第 2 のサンプリング周期で動作することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 7】

行方向および列方向に配置された複数の表示素子と、同じ行に配置された表示素子に共通して接続される複数の走査信号線と、同じ列に配置された表示素子に共通して接続される複数のデータ信号線とを含む画素アレイを有する液晶表示装置の駆動方法であって、

前記走査信号線を選択的に活性化するステップと、

与えられた映像信号に基づき、前記データ信号線を駆動するステップとを備え、

前記データ信号線を駆動するステップは、

各前記データ信号線についてサンプリング信号を生成するステップと、

各前記データ信号線について、生成したサンプリング信号を、通常表示モードでは少なくとも第 1 のサンプリング信号として出力し、パーシャル表示モードでは第 2 のサンプリング信号として出力するステップと、

各前記データ信号線に対応して設けられた第 1 のサンプリング部を用いて、前記第 1

10

20

30

40

50

のサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加するステップと、

各前記データ信号線に対応して設けられた第2のサンプリング部を用いて、前記第2のサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加するステップとを含み、

前記第2のサンプリング部は、前記第1のサンプリング部よりも低速で動作する回路構成を有することを特徴とする、液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置およびその駆動方法に関し、特に、パーシャル表示機能を有する液晶表示装置およびその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の中には、画面の一部に表示を行う（以下、パーシャル表示という）機能を有するものがある。パーシャル表示は、例えば携帯電話において、待ち受け中に電波の受信状態や時刻などを画面の一部に表示するとき使用される（図10を参照）。パーシャル表示を行うときには、設定された表示領域内の表示素子には映像信号が書き込まれるが、非表示領域内の表示素子には映像信号が書き込まれない。このようなパーシャル表示を行うことにより、表示素子の駆動頻度を減らし、液晶表示装置の消費電力を低減することができる。パーシャル表示については、例えば特許文献1および2に開示されている。

【0003】

図11は、パーシャル表示機能を有する従来の液晶表示装置の構成を示す図である。図11において、画素アレイ84は、 $(m \times n)$ 個の表示素子P、 $n$ 本の走査信号線G1～Gn、および、 $m$ 本のデータ信号線S1～Smを含んでいる。走査信号線駆動回路82は、表示制御部81から出力された制御信号（GSP、GEN、GCK1、GCK2）に基づき、走査信号線G1～Gnを順に選択的に活性化する。データ信号線駆動回路83は、表示制御部81から出力された制御信号（SSP、SCK、SCKB）および映像信号VDに基づき、データ信号線S1～Smを駆動する。

【0004】

パーシャル表示を行うときには、表示制御部81は、非表示期間（非表示領域に対応した期間）では、ゲートイネーブル信号GENをローレベルに制御する。走査信号線駆動回路82は、ゲートイネーブル信号GENがローレベルのときには、いずれの走査信号線も活性化しない。したがって、ゲートイネーブル信号GENがローレベルである間、映像信号VDはいずれの表示素子Pにも書き込まれない。

【0005】

図12は、データ信号線駆動回路83の詳細な構成を示す図である。データ信号線駆動回路83は、データ信号線S1～Smのそれぞれに対応して、フリップフロップ91およびサンプリング部92を含んでいる。フリップフロップ91は、直列に接続され、シフトレジスタを形成する。シフトレジスタの出力信号が、データ信号線S1～Smについてのサンプリング信号SMP1～SMPmとなる。

【0006】

サンプリング部92は、複数のインバータ93およびサンプリングスイッチ94を含んでいる。インバータ93は、駆動能力が小さいものから順に直列に接続される。サンプリングスイッチ94の制御端子には、インバータ93を通過したサンプリング信号SMP1～SMPmが与えられる。サンプリングスイッチ94は、制御端子に与えられたサンプリング信号に基づき、映像信号VDをデータ信号線S1～Smに印加するか否かを切り換える。なお、サンプリング部92にインバータ93を設ける理由は、フリップフロップ91の駆動能力ではサンプリングスイッチ94を所望の速度でスイッチングさせることができないからである。

10

20

30

40

50

【特許文献 1】日本国特開平 1 1 - 1 8 4 4 3 4 号公報

【特許文献 2】日本国特開 2 0 0 2 - 9 9 2 6 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

上述したパーシャル表示は、主に、消費電力に対する要求が厳しい電子機器（例えば、携帯電話）で行われる。このため、液晶表示装置の消費電力も、可能な限り低減する必要がある。ところが一方では、液晶表示装置に含まれる表示素子の個数は増加し続けている。表示素子の個数が増加すると、（ 1 ）サンプリング部の個数が増加する、（ 2 ）サンプリング部がより高速に動作する、などの理由により液晶表示装置の消費電力は増加する。

10

【 0 0 0 8 】

ところで、パーシャル表示機能を有する液晶表示装置を使用する場合、一般に、画面全体に表示を行う時間よりも、パーシャル表示を行う時間のほうがはるかに長い。したがって、液晶表示装置の消費電力を低減するためには、パーシャル表示を行うときの消費電力を低減することが効果的である。また、液晶表示装置のデータ信号線駆動回路では、シフトレジスタとサンプリングスイッチとの間に設けられるバッファ回路（図 1 2では、インバータ 9 3）が多くの電力を消費することが知られている。

【 0 0 0 9 】

それ故に、本発明は、パーシャル表示を行うときの液晶表示装置の消費電力を低減することを目的とする。

20

【課題を解決するための手段】

【 0 0 1 0 】

本発明の第 1 の局面は、パーシャル表示機能を有する液晶表示装置であって、  
行方向および列方向に配置された複数の表示素子と、同じ行に配置された表示素子に共通して接続される複数の走査信号線と、同じ列に配置された表示素子に共通して接続される複数のデータ信号線とを含む画素アレイと、

前記走査信号線を選択的に活性化する走査信号線駆動回路と、

与えられた映像信号に基づき、前記データ信号線を駆動するデータ信号線駆動回路とを備え、

30

前記データ信号線駆動回路は、

各前記データ信号線についてサンプリング信号を出力するシフトレジスタと、

各前記データ信号線に対応して設けられ、第 1 および第 2 の出力端子を有し、前記シフトレジスタから出力されたサンプリング信号を、通常表示モードでは少なくとも前記第 1 の出力端子から出力し、パーシャル表示モードでは前記第 2 の出力端子から出力する選択回路と、

各前記データ信号線に対応して設けられ、前記第 1 の出力端子から出力されたサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加する第 1 のサンプリング部と、

各前記データ信号線に対応して設けられ、前記第 2 の出力端子から出力されたサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加する第 2 のサンプリング部とを含み、

40

前記第 2 のサンプリング部は、前記第 1 のサンプリング部よりも低速で動作する回路構成を有することを特徴とする。

【 0 0 1 2 】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記第 1 のサンプリング部は、

前記第 1 の出力端子から出力されたサンプリング信号が入力される第 1 のバッファ部と、

前記第 1 のバッファ部から出力されたサンプリング信号に基づき、前記映像信号を前

50

記データ信号線に印加するか否かを切り換える第 1 のサンプリングスイッチとを含み、  
前記第 2 のサンプリング部は、

前記第 2 の出力端子から出力されたサンプリング信号が入力される第 2 のバッファ部と、

前記第 2 のバッファ部から出力されたサンプリング信号に基づき、前記映像信号を前記データ信号線に印加するか否かを切り換える第 2 のサンプリングスイッチとを含み、

前記第 2 のバッファ部の駆動能力は、前記第 1 のバッファ部よりも低く、

前記第 2 のサンプリングスイッチのオン抵抗は、前記第 1 のサンプリングスイッチよりも大きいことを特徴とする。

【0013】

本発明の第 3 の局面は、本発明の第 2 の局面において、

前記第 2 のバッファ部は、前記第 1 のバッファ部よりもチャンネル幅が狭いトランジスタで構成されており、

前記第 2 のサンプリングスイッチは、前記第 1 のサンプリングスイッチよりもチャンネル幅が狭いトランジスタで構成されていることを特徴とする。

【0014】

本発明の第 4 の局面は、本発明の第 1 の局面において、

前記選択回路は、通常表示モードでは、前記シフトレジスタから出力されたサンプリング信号を前記第 2 の出力端子から出力せず、前記第 1 の出力端子から出力することを特徴とする。

【0015】

本発明の第 5 の局面は、本発明の第 1 の局面において、

前記選択回路は、通常表示モードでは、前記シフトレジスタから出力されたサンプリング信号を前記第 1 および第 2 の出力端子から出力することを特徴とする。

【0016】

本発明の第 6 の局面は、本発明の第 1 の局面において、

前記走査信号線駆動回路は、通常表示モードでは、活性化する走査信号線を第 1 のライン時間ごとに切り換え、パーシャル表示モードにおける表示期間では、活性化する走査信号線を前記第 1 のライン時間よりも長い第 2 のライン時間ごとに切り換え、

前記シフトレジスタは、通常表示モードでは第 1 のサンプリング周期で動作し、パーシャル表示モードにおける表示期間では、前記第 1 のサンプリング周期よりも長い第 2 のサンプリング周期で動作することを特徴とする。

【0017】

本発明の第 7 の局面は、行方向および列方向に配置された複数の表示素子と、同じ行に配置された表示素子に共通して接続される複数の走査信号線と、同じ列に配置された表示素子に共通して接続される複数のデータ信号線とを含む画素アレイを有する液晶表示装置の駆動方法であって、

前記走査信号線を選択的に活性化するステップと、

与えられた映像信号に基づき、前記データ信号線を駆動するステップとを備え、

前記データ信号線を駆動するステップは、

各前記データ信号線についてサンプリング信号を生成するステップと、

各前記データ信号線について、生成したサンプリング信号を、通常表示モードでは少なくとも第 1 のサンプリング信号として出力し、パーシャル表示モードでは第 2 のサンプリング信号として出力するステップと、

各前記データ信号線に対応して設けられた第 1 のサンプリング部を用いて、前記第 1 のサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加するステップと、

各前記データ信号線に対応して設けられた第 2 のサンプリング部を用いて、前記第 2 のサンプリング信号に基づき前記映像信号をサンプリングし、前記データ信号線に印加するステップとを含み、

10

20

30

40

50

前記第 2 のサンプリング部は、前記第 1 のサンプリング部よりも低速で動作する回路構成を有することを特徴とする。

【発明の効果】

【0018】

本発明の第 1 または第 7 の局面によれば、通常表示モードでは、第 1 のサンプリング部（あるいは、第 1 および第 2 のサンプリング部）を用いたサンプリングが行われ、パーシャル表示モードでは、第 1 のサンプリング部よりも低速で動作する第 2 のサンプリング部を用いたサンプリングが行われる。これにより、従来の液晶表示装置と比べて、パーシャル表示を行うときの消費電力を低減することができる。

【0020】

本発明の第 2 の局面によれば、第 1 のサンプリング部と第 2 のサンプリング部との間で、バッファ部およびサンプリングスイッチの特性に差を持たせることにより、第 1 のサンプリング部よりも低速で動作する第 2 のサンプリング部を備えた液晶表示装置を得ることができる。

【0021】

本発明の第 3 の局面によれば、第 1 のサンプリング部と第 2 のサンプリング部との間で、バッファ部およびサンプリングスイッチを構成するトランジスタのチャネル幅に違いを持たせることにより、第 1 のサンプリング部よりも低速で動作する第 2 のサンプリング部を備えた液晶表示装置を得ることができる。

【0022】

本発明の第 4 の局面によれば、第 1 のサンプリング部と第 2 のサンプリング部とは常に排他的に動作するので、液晶表示装置の設計や評価などを容易に行うことができる。

【0023】

本発明の第 5 の局面によれば、通常表示モードでは 2 つのサンプリング部が並列に動作するので、第 1 のサンプリング部の能力を低く設計することができる。

【0024】

本発明の第 6 の局面によれば、パーシャル表示モードにおける表示期間では、1 ライン時間およびサンプリング周期が通常表示モードのときよりも長くなり、映像信号は通常表示モードのときよりも遅い速度で変化する。したがって、第 2 のサンプリング部が動作するパーシャル表示モードでも、正しいサンプリング動作を保証することができる。

【図面の簡単な説明】

【0025】

【図 1】本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。

【図 2】図 1 に示す液晶表示装置に含まれるデータ信号線駆動回路の詳細な構成を示す図である。

【図 3 A】図 2 に示すデータ信号線駆動回路に含まれる選択回路の第 1 構成例の回路図である。

【図 3 B】図 3 A に示す選択回路の真理値表を示す図である。

【図 4 A】図 2 に示すデータ信号線駆動回路に含まれる選択回路の第 2 構成例の回路図である。

【図 4 B】図 4 A に示す選択回路の真理値表を示す図である。

【図 5 A】図 2 に示すデータ信号線駆動回路に含まれる選択回路の第 3 構成例の回路図である。

【図 5 B】図 5 A に示す選択回路の真理値表を示す図である。

【図 6】図 3 A または図 4 A に示す選択回路を含むデータ信号線駆動回路のタイミングチャートである。

【図 7】図 5 A に示す選択回路を含むデータ信号線駆動回路のタイミングチャートである。

【図 8】図 2 に示すデータ信号線駆動回路に含まれる第 1 および第 2 のサンプリング部の動作状況を示すテーブルである。

10

20

30

40

50

【図 9】図 1 に示す液晶表示装置に含まれる表示制御部の出力信号のタイミングチャートである。

【図 10】パーシャル表示による表示画面の例を示す図である。

【図 11】従来の液晶表示装置の構成を示すブロック図である。

【図 12】従来の液晶表示装置に含まれるデータ信号線駆動回路の詳細な構成を示す図である。

【符号の説明】

【0026】

10 ... 液晶表示装置

11 ... 表示制御部

12 ... 走査信号線駆動回路

13 ... データ信号線駆動回路

14 ... 画素アレイ

21 ... フリップフロップ

22 ... 選択回路

23 ... 第 1 のサンプリング部

24 ... 第 2 のサンプリング部

31、41 ... インバータ

32、42 ... サンプリングスイッチ

【発明を実施するための最良の形態】

【0027】

図 1 は、本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。図 1 に示す液晶表示装置 10 は、表示制御部 11、走査信号線駆動回路 12、データ信号線駆動回路 13、および、画素アレイ 14 を備えている。液晶表示装置 10 には、通常表示モードかパーシャル表示モードかを示すモード選択信号 MSEL が供給される。液晶表示装置 10 は、通常表示モードでは画面全体に表示を行い、パーシャル表示モードでは画面の一部に表示を行う。

【0028】

画素アレイ 14 は、 $(m \times n)$  個の表示素子 P、 $n$  本の走査信号線 G1 ~ Gn、および、 $m$  本のデータ信号線 S1 ~ Sm を含んでいる。 $(m \times n)$  個の表示素子 P は、行方向に  $m$  個ずつ、列方向に  $n$  個ずつ配置される。走査信号線 G1 ~ Gn は、同じ行に配置された表示素子 P に共通して接続される。データ信号線 S1 ~ Sm は、同じ列に配置された表示素子 P に共通して接続される。

【0029】

画素アレイ 14 は、液晶パネル上に形成される。液晶パネルには、走査信号線駆動回路 12 およびデータ信号線駆動回路 13 の全部または一部が、モノリシックに形成される。また、液晶パネルに表示制御部 11 の一部をモノリシックに形成してもよい。

【0030】

表示制御部 11 は、走査信号線駆動回路 12 およびデータ信号線駆動回路 13 に対して制御信号を出力すると共に、データ信号線駆動回路 13 に対して映像信号 VD を出力する。より詳細には、表示制御部 11 は、走査信号線駆動回路 12 に対して、ゲートスタートパルス GSP、ゲートクロック GCK1、GCK2、および、ゲートイネーブル信号 GEN を出力すると共に、データ信号線駆動回路 13 に対して、ソーススタートパルス SSP、ソースクロック SCK、SCKB (SCK の否定信号)、パーシャル表示制御信号 PATCTL、および、映像信号 VD を出力する。

【0031】

ゲートスタートパルス GSP は、1 フレームの先頭を示す信号であり、1 フレーム時間に 1 回の割合で所定の時間だけ所定のレベル (以下、ハイレベルとする) となる。ゲートクロック GCK1、GCK2 は、1 ラインの先頭を示す信号であり、それぞれ、2 ライン時間に 1 回の割合で所定の方向 (以下、立ち上がり方向とする) に変化する。ゲートイネ

10

20

30

40

50

ーブル信号  $G E N$  は、表示を行うか否かを 1 ラインごとに示す信号であり、通常表示モード、および、パーシャル表示モードにおける表示期間（表示領域に対応した期間）では所定の値（以下、ハイレベルとする）となる。

#### 【 0 0 3 2 】

以下、映像信号  $V D$  が変化する周期を「サイクル」という。ソーススタートパルス  $S S P$  は、1 ラインの先頭を示す信号であり、1 ライン時間に 1 サイクルだけ所定のレベル（以下、ハイレベルとする）となる。ソースクロック  $S C K$  は、2 サイクルの周期を有するクロック信号である。パーシャル表示制御信号  $P A T C T L$  は、モード選択信号  $M S E L$  と同じ信号である。映像信号  $V D$  は、ソースクロック  $S C K$  の立ち上がり立ち下がり同期して変化する。

10

#### 【 0 0 3 3 】

走査信号線駆動回路 1 2 は、表示制御部 1 1 から出力された制御信号に基づき、走査信号線  $G 1 \sim G n$  を順に選択的に活性化する。より詳細には、走査信号線駆動回路 1 2 は、ゲートスタートパルス  $G S P$  が出力された直後の 1 ライン時間では、走査信号線  $G 1$  に所定の電位を印加することにより、走査信号線  $G 1$  を活性化する。その後、走査信号線駆動回路 1 2 は、ゲートクロック  $G C K 1$  または  $G C K 2$  が立ち上がるたびに、活性化する走査信号線を  $G 2$ 、 $G 3$ 、...、 $G n$  の順に切り換える。ただし、ゲートイネーブル信号  $G E N$  がローレベルのときには、走査信号線駆動回路 1 2 はいずれの走査信号線も活性化しない。

#### 【 0 0 3 4 】

データ信号線駆動回路 1 3 は、表示制御部 1 1 から出力された制御信号および映像信号  $V D$  に基づき、データ信号線  $S 1 \sim S m$  を駆動する。データ信号線駆動回路 1 3 は、以下に示す回路構成を有する。

20

#### 【 0 0 3 5 】

図 2 は、データ信号線駆動回路 1 3 の詳細な構成を示す図である。データ信号線駆動回路 1 3 は、データ信号線  $S 1 \sim S m$  のそれぞれに対応して、フリップフロップ 2 1、選択回路 2 2、第 1 のサンプリング部 2 3、および、第 2 のサンプリング部 2 4 を含んでいる。なお、図面を簡略化するために、図 2 にはデータ信号線  $S 1 \sim S 4$  に対応した回路のみが描かれている。

#### 【 0 0 3 6 】

データ信号線駆動回路 1 3 には、全部で  $m$  個のフリップフロップ 2 1 が含まれる。 $m$  個のフリップフロップ 2 1 は、前段の出力が次段の入力となるように直列に接続され、 $m$  段のシフトレジスタを形成する。シフトレジスタには、クロック入力としてソースクロック  $S C K$ 、 $S C K B$  が与えられ、シリアルデータ入力としてソーススタートパルス  $S S P$  が与えられる。フリップフロップ 2 1 は、ソースクロック  $S C K$  または  $S C K B$  が変化したときに、前段のフリップフロップ 2 1 の出力信号（または、ソーススタートパルス  $S S P$ ）を記憶する。

30

#### 【 0 0 3 7 】

以下、 $i$  番目（ $i$  は 1 以上  $m$  以下の整数）のフリップフロップ 2 1 の出力信号をサンプリング信号  $Q i$  という。サンプリング信号  $Q 1$  は、1 ライン時間のうちで最初に 2 サイクルに亘ってハイレベルとなる。サンプリング信号  $Q 2$  は、サンプリング信号  $Q 1$  の立ち上がりから 1 サイクル遅れて、2 サイクルに亘ってハイレベルとなる。同様に、サンプリング信号  $Q i$  は、サンプリング信号  $Q i - 1$  の立ち上がりから 1 サイクル遅れて、2 サイクルに亘ってハイレベルとなる（後述する図 6 および図 7 を参照）。

40

#### 【 0 0 3 8 】

データ信号線  $S 1 \sim S m$  に対応して設けられた選択回路 2 2、第 1 のサンプリング部 2 3、および、第 2 のサンプリング部 2 4 は、それぞれ同じ回路構成を有する。以下では、データ信号線  $S i$  に対応して設けられた選択回路 2 2、第 1 のサンプリング部 2 3、および、第 2 のサンプリング部 2 4 について説明する。

#### 【 0 0 3 9 】

50

選択回路 2 2 には、サンプリング信号  $Q_i$  とパーシャル表示制御信号  $PATCTL$  とが入力される。パーシャル表示制御信号  $PATCTL$  は、通常表示モードではローレベル、パーシャル表示モードではハイレベルとなる。選択回路 2 2 は、第 1 のサンプリング部 2 3 に接続された第 1 の出力端子と、第 2 のサンプリング部 2 4 に接続された第 2 の出力端子とを有する。選択回路 2 2 は、通常表示モードではサンプリング信号  $Q_i$  を第 1 の出力端子から出力し、パーシャル表示モードではサンプリング信号  $Q_i$  を第 2 の出力端子から出力する。あるいは、選択回路 2 2 は、通常表示モードではサンプリング信号  $Q_i$  を第 1 および第 2 の出力端子の両方から出力してもよい。

【 0 0 4 0 】

図 3 A、図 4 A および図 5 A は、それぞれ、選択回路 2 2 の第 1 ~ 第 3 の構成例の回路図であり、図 3 B、図 4 B および図 5 B は、それぞれ、図 3 A、図 4 A および図 5 A に示す選択回路の真理値表を示す図である。以下、選択回路 2 2 の第 1 の出力端子から出力されるサンプリング信号を第 1 のサンプリング信号  $SMP\_Li$  といい、選択回路 2 2 の第 2 の出力端子から出力されるサンプリング信号を第 2 のサンプリング信号  $SMP\_Si$  という。

10

【 0 0 4 1 】

図 3 A に示す選択回路 2 2 a は、インバータ、2 個のアナログスイッチ、および、2 個の N 型 MOS トランジスタを含んでいる。選択回路 2 2 a は、パーシャル表示制御信号  $PATCTL$  がローレベルのときはサンプリング信号  $Q_i$  を第 1 の出力端子から出力し、パーシャル表示制御信号  $PATCTL$  がハイレベルのときはサンプリング信号  $Q_i$  を第 2 の出力端子から出力する（図 3 B を参照）。

20

【 0 0 4 2 】

図 4 A に示す選択回路 2 2 b は、インバータおよび 2 個の AND ゲートを含んでいる。選択回路 2 2 b は、選択回路 2 2 a と同様に、パーシャル表示制御信号  $PATCTL$  がローレベルのときはサンプリング信号  $Q_i$  を第 1 の出力端子から出力し、パーシャル表示制御信号  $PATCTL$  がハイレベルのときはサンプリング信号  $Q_i$  を第 2 の出力端子から出力する（図 4 B を参照）。

【 0 0 4 3 】

図 5 A に示す選択回路 2 2 c は、インバータおよび AND ゲートを含んでいる。選択回路 2 2 c は、パーシャル表示制御信号  $PATCTL$  がローレベルのときはサンプリング信号  $Q_i$  を第 1 および第 2 の出力端子の両方から出力し、パーシャル表示制御信号  $PATCTL$  がハイレベルのときはサンプリング信号  $Q_i$  を第 2 の出力端子から出力する（図 5 B を参照）。

30

【 0 0 4 4 】

図 6 は、選択回路 2 2 a または 2 2 b を含むデータ信号線駆動回路 1 3 のタイミングチャートである。図 6 に示すように、通常表示モード（パーシャル表示制御信号  $PATCTL$  がローレベルのとき）では、サンプリング信号  $Q_i$  に基づき、第 1 のサンプリング信号  $SMP\_Li$  が出力される。パーシャル表示モード（パーシャル表示制御信号  $PATCTL$  がハイレベルのとき）では、サンプリング信号  $Q_i$  に基づき、第 2 のサンプリング信号  $SMP\_Si$  が出力される。

40

【 0 0 4 5 】

図 7 は、選択回路 2 2 c を含むデータ信号線駆動回路 1 3 のタイミングチャートである。図 7 に示すように、通常表示モードでは、サンプリング信号  $Q_i$  に基づき、第 1 のサンプリング信号  $SMP\_Li$  と第 2 のサンプリング信号  $SMP\_Si$  とが出力される。パーシャル表示モードでは、サンプリング信号  $Q_i$  に基づき、第 2 のサンプリング信号  $SMP\_Si$  が出力される。

【 0 0 4 6 】

第 1 のサンプリング部 2 3 は、第 1 のサンプリング信号  $SMP\_Li$  に基づき映像信号  $VD$  をサンプリングし、データ信号線  $Si$  に印加する。第 2 のサンプリング部 2 4 は、第 2 のサンプリング信号  $SMP\_Si$  に基づき映像信号  $VD$  をサンプリングし、データ信号

50

線 S i に印加する。

【 0 0 4 7 】

上述したように、選択回路 2 2 は、パーシャル表示制御信号 P A T C T L に応じて、サンプリング信号 Q i の出力先を切り換える。したがって、選択回路 2 2 の種類とパーシャル表示制御信号 P A T C T L とに応じて、第 1 のサンプリング部 2 3 および第 2 のサンプリング部 2 4 が動作する場合と動作しない場合とがある。

【 0 0 4 8 】

図 8 は、第 1 のサンプリング部 2 3 と第 2 のサンプリング部 2 4 の動作状況を示すテーブルである。図 8 に示すように、選択回路 2 2 として選択回路 2 2 a または 2 2 b を使用する場合には、パーシャル表示制御信号 P A T C T L がローレベルのときは第 1 のサンプリング部 2 3 が動作し、パーシャル表示制御信号 P A T C T L がハイレベルのときは第 2 のサンプリング部 2 4 が動作する。また、選択回路 2 2 として選択回路 2 2 c を使用する場合には、パーシャル表示制御信号 P A T C T L がローレベルのときは第 1 のサンプリング部 2 3 と第 2 のサンプリング部 2 4 とが動作し、パーシャル表示制御信号 P A T C T L がハイレベルのときは第 2 のサンプリング部 2 4 が動作する。

【 0 0 4 9 】

以下、再び図 2 を参照して、第 1 のサンプリング部 2 3 と第 2 のサンプリング部 2 4 の詳細を説明する。図 2 に示すように、第 1 のサンプリング部 2 3 は、複数のインバータ 3 1 およびサンプリングスイッチ 3 2 を含んでいる。サンプリングスイッチ 3 2 は、P 型 M O S トランジスタと N 型 M O S トランジスタとからなるアナログスイッチである。サンプリングスイッチ 3 2 の一方の導通端子には映像信号 V D が与えられ、他方の導通端子はデータ信号線 S i に接続される。

【 0 0 5 0 】

インバータ 3 1 は 2 つのグループに分けられ、各グループに属するインバータ 3 1 は直列に接続される。直列に接続されたインバータ 3 1 は、バッファ部として機能する。より詳細には、インバータ 3 1 は、内蔵する M O S トランジスタのチャネル幅が狭いものから順に（すなわち、駆動能力が小さいものから順に）接続される。最初のインバータ 3 1 には、第 1 のサンプリング信号 S M P \_ L i が入力される。サンプリングスイッチ 3 2 の制御端子には、最後のインバータ 3 1 を通過した第 1 のサンプリング信号 S M P \_ L i が与えられる。なお、第 1 のサンプリング部 2 3 は、インバータ 3 1 に代えて、バッファ機能を有する他の回路（例えば、入力信号を非反転出力するバッファ）を含んでいてもよい。

【 0 0 5 1 】

第 1 のサンプリング信号 S M P \_ L i がハイレベルのとき、サンプリングスイッチ 3 2 はオン状態となり、映像信号 V D はデータ信号線 S i に印加される。これに対して、第 1 のサンプリング信号 S M P \_ L i がローレベルのとき、サンプリングスイッチ 3 2 はオフ状態となり、映像信号 V D はデータ信号線 S i に印加されない。このようにサンプリングスイッチ 3 2 は、制御端子に与えられたサンプリング信号（複数のバッファ 3 1 を通過した第 1 のサンプリング信号 S M P \_ L i ）に基づき、映像信号 V D をデータ信号線 S i に印加するか否かを切り換える。

【 0 0 5 2 】

第 2 のサンプリング部 2 4 は、第 1 のサンプリング部 2 3 と同様に、複数のインバータ 4 1 およびサンプリングスイッチ 4 2 を含んでいる。インバータ 4 1 およびサンプリングスイッチ 4 2 の接続形態は、第 1 のサンプリング部 2 3 の場合と同じである。直列に接続されたインバータ 4 1 は、バッファ部として機能する。サンプリングスイッチ 4 2 は、複数のインバータ 4 1 を通過した第 2 のサンプリング信号 S M P \_ S i に基づき、映像信号 V D をデータ信号線 S i に印加するか否かを切り換える。

【 0 0 5 3 】

第 2 のサンプリング部 2 4 は、以下の点で、第 1 のサンプリング部 2 3 と相違する。サンプリングスイッチ 4 2 は、サンプリングスイッチ 3 2 よりもチャネル幅が狭い M O S トランジスタを用いて構成される。このため、サンプリングスイッチ 4 2 のオン抵抗は、サ

ンプリングスイッチ 3 2 よりも大きくなる。また、インバータ 4 1 は、インバータ 3 1 よりもチャンネル幅が狭い MOS トランジスタを用いて構成される。このため、インバータ 4 1 の駆動能力はインバータ 3 1 よりも低くなり、インバータ 4 1 で構成されたバッファ回路の駆動能力はインバータ 3 1 で構成されたバッファ回路よりも低くなる。回路構成に以上のような違いがあるために、第 2 のサンプリング部 2 4 は第 1 のサンプリング部 2 3 よりも低速で動作する。

#### 【 0 0 5 4 】

上述したように、パーシャル表示モードでは、第 1 のサンプリング部 2 3 は動作せず、第 2 のサンプリング部 2 4 のみが動作する（図 8 を参照）。このようなパーシャル表示モードにおいても正しいサンプリング動作を保証するために、液晶表示装置 1 0 では、以下

10

#### 【 0 0 5 5 】

図 9 は、表示制御部 1 1 の出力信号のタイミングチャートである。通常表示モード（パーシャル表示制御信号 P A T C T L がローレベルのとき）では、1 ライン時間（以下、T 1 という）ごとにゲートクロック G C K 1 または G C K 2 が立ち上がる。このため、走査信号線駆動回路 1 2 は、活性化する走査信号線を 1 ライン時間 T 1 ごとに切り換える。

#### 【 0 0 5 6 】

これに対して、パーシャル表示モードにおける表示期間（パーシャル表示制御信号 P A T C T L がハイレベル、かつ、ゲートイネーブル信号 G E N がハイレベルのとき）では、1 ライン時間 T 1 （通常表示モードにおける 1 ライン時間）よりも長い時間（以下、T 2 という）ごとに、ゲートクロック G C K 1 または G C K 2 が立ち上がる。このため、走査信号線駆動回路 1 2 は、活性化する走査信号線を 1 ライン時間 T 1 よりも長い時間 T 2 ごとに切り換える。

20

#### 【 0 0 5 7 】

また、パーシャル表示モードにおける非表示期間（パーシャル表示制御信号 P A T C T L がハイレベル、かつ、ゲートイネーブル信号 G E N がローレベルのとき）では、1 ライン時間 T 1 よりも短い時間（以下、T 3 という）ごとに、ゲートクロック G C K 1 または G C K 2 が立ち上がる。ただし、ゲートイネーブル信号 G E N がローレベルであるので、

30

走査信号線駆動回路 1 2 はいずれの走査信号線も活性化しない。

#### 【 0 0 5 8 】

このように、液晶表示装置 1 0 における 1 ライン時間は、通常表示モードでは T 1 、パーシャル表示モードにおける表示期間では T 2 （ $T 2 > T 1$ ）、パーシャル表示モードにおける非表示期間では T 3 （ $T 3 < T 1$ ）となる（以下、この時間を T 0 という）。1 ライン時間 T 0 は、ソーススタートパルス S S P、ソースクロック S C K、S C K B、および、映像信号 V D が変化するタイミングの基準となる。映像信号 V D が変化する周期であり、ソースクロック S C K の半周期に相当する 1 サイクルの長さは、1 ライン時間 T 0 に基づき決定される。

#### 【 0 0 5 9 】

40

このため、パーシャル表示モードにおける表示期間では、1 サイクルの長さは、通常表示モードのときよりも長くなる。したがって、フリップフロップ 2 1 で構成されたシフトレジスタは、パーシャル表示モードにおける表示期間では、通常表示モードのときよりも遅い速度で（ $T 1 / T 2$  倍の速度で）動作する。言い換えると、このフリップフロップは、通常表示モードでは第 1 のサンプリング周期で動作し、パーシャル表示モードでは第 1 のサンプリング周期よりも長い第 2 のサンプリング周期で動作する。また、映像信号 V D は、パーシャル表示モードにおける表示期間では、通常表示モードのときよりも遅い速度で（ $T 1 / T 2$  倍の速度で）変化する。

#### 【 0 0 6 0 】

なお、以上のように 1 ライン時間の長さを変更する場合でも、1 フレーム時間の長さは

50

一定に保たれる。したがって、例えば、表示領域に a 行の表示素子が含まれるとき、次式 ( 1 ) が成立する。

$$T1 \times n = T2 \times a + T3 \times (n - a) \quad \dots (1)$$

【 0 0 6 1 】

また、パーシャル表示モードにおける非表示期間では、ゲートイネーブル信号 G E N がローレベルであるので、映像信号 V D はいずれの表示素子 P にも書き込まれない。したがって、パーシャル表示モードにおける非表示期間では、1 ライン時間 T 3 が通常表示モードにおける 1 ライン時間 T 1 よりも短くても、画面表示に支障は生じない。

【 0 0 6 2 】

以下、本実施形態に係る液晶表示装置 1 0 の効果を説明する。従来の液晶表示装置 ( 図 1 1 および図 1 2 を参照 ) では、データ信号線駆動回路 8 3 は、通常表示モードでもパーシャル表示モードでも同じ動作を行う。したがって、データ信号線駆動回路 8 3 における消費電力は、通常表示モードでもパーシャル表示モードでも同じである。

【 0 0 6 3 】

これに対して、液晶表示装置 1 0 ( 図 1 および図 2 を参照 ) では、通常表示モードでは第 1 のサンプリング部 2 3 ( または、第 1 のサンプリング部 2 3 と第 2 のサンプリング部 2 4 ) が動作するのに対して、パーシャル表示モードでは第 2 のサンプリング部 2 4 が動作する。第 1 のサンプリング部 2 3 では、サンプリングスイッチ 3 2 は電力をほとんど消費しないが、インバータ 3 1 はサンプリング信号 Q i の変化に伴い電力を消費する。また、第 2 のサンプリング部 2 4 では、サンプリングスイッチ 4 2 は電力をほとんど消費しないが、インバータ 4 1 はサンプリング信号 Q i の変化に伴い電力を消費する。

【 0 0 6 4 】

ところが、インバータ 4 1 はインバータ 3 1 よりもチャネル幅が狭い M O S トランジスタを用いて構成されているので、インバータ 4 1 における消費電力はインバータ 3 1 よりも小さい。したがって、第 2 のサンプリング部 2 4 における消費電力は、第 1 のサンプリング部 2 3 よりも小さい。

【 0 0 6 5 】

このように液晶表示装置 1 0 においては、パーシャル表示モードでは、第 1 のサンプリング部 2 3 よりも消費電力が小さい第 2 のサンプリング部 2 4 が動作する。したがって、液晶表示装置 1 0 によれば、従来の液晶表示装置と比べて、パーシャル表示を行うときの消費電力を低減することができる。

【 0 0 6 6 】

また、液晶表示装置 1 0 では、パーシャル表示モードにおける表示期間では、1 ライン時間およびサンプリング周期が通常表示モードのときよりも長くなり、映像信号 V D は通常表示モードのときよりも遅い速度で変化する。したがって、第 2 のサンプリング部 2 4 のみが動作するパーシャル表示モードでも、正しいサンプリング動作を保証することができる。

【 0 0 6 7 】

特に、選択回路 2 2 a 、 2 2 b のように、通常表示モードではサンプリング信号 Q i を第 2 のサンプリング部 2 4 に出しせず、第 1 のサンプリング部 2 3 に出しする選択回路 2 2 を使用すれば、第 1 のサンプリング部 2 3 と第 2 のサンプリング部 2 4 とは常に排他的に動作するので、液晶表示装置 1 0 の設計や評価などを容易に行うことができる。

【 0 0 6 8 】

また、選択回路 2 2 c のように、通常表示モードではサンプリング信号 Q i を第 1 のサンプリング部 2 3 と第 2 のサンプリング部 2 4 の両方に出力する選択回路 2 2 を使用すれば、通常表示モードでは 2 つのサンプリング部が並列に動作するので、第 1 のサンプリング部 2 3 の能力を低く設計することができる。

【 0 0 6 9 】

なお、表示制御部 1 1 を好適に設計することにより、以下のような液晶表示装置を構成することもできる。第 1 に、液晶表示装置は、パーシャル表示モードでは、通常表示モー

10

20

30

40

50

ドよりもフレームレート（単位時間あたりの表示フレーム数）を小さくしてもよい。第２に、液晶表示装置は、パースシャル表示モードでは、表示領域内の表示素子には所定の時間間隔で映像信号を書き込み、非表示領域内の表示素子にはそれよりも長い時間間隔で映像信号を書き込んでよい。第３に、液晶表示装置は、通常表示モードでは多値の映像信号に基づき画面を表示し、パースシャル表示モードでは２値の映像信号に基づき画面を表示してもよい。この場合、液晶表示装置は、多値の映像信号を生成するときにはオペアンプを使用し、２値の映像信号を生成するときには２種類の電源電圧に接続されたスイッチを使用してもよい。これらの液晶表示装置によれば、パースシャル表示を行うときの消費電力をさらに低減することができる。

#### 【００７０】

10

以上に示すように、本実施形態に係る液晶表示装置は、通常表示モードでは、第１のサンプリング部（あるいは、第１および第２のサンプリング部）を用いてサンプリングを行い、パースシャル表示モードでは、第１のサンプリング部とは異なる第２のサンプリング部を用いてサンプリングを行う。したがって、本実施形態に係る液晶表示装置によれば、従来の液晶表示装置と比べて、パースシャル表示を行うときの消費電力を低減することができる。

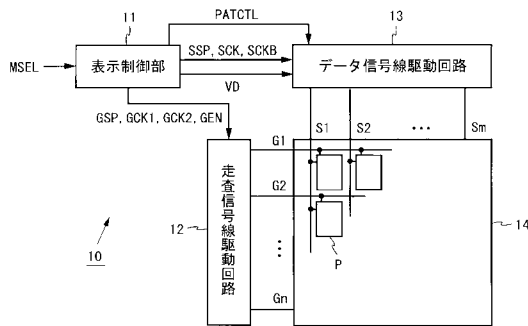
#### 【産業上の利用可能性】

#### 【００７１】

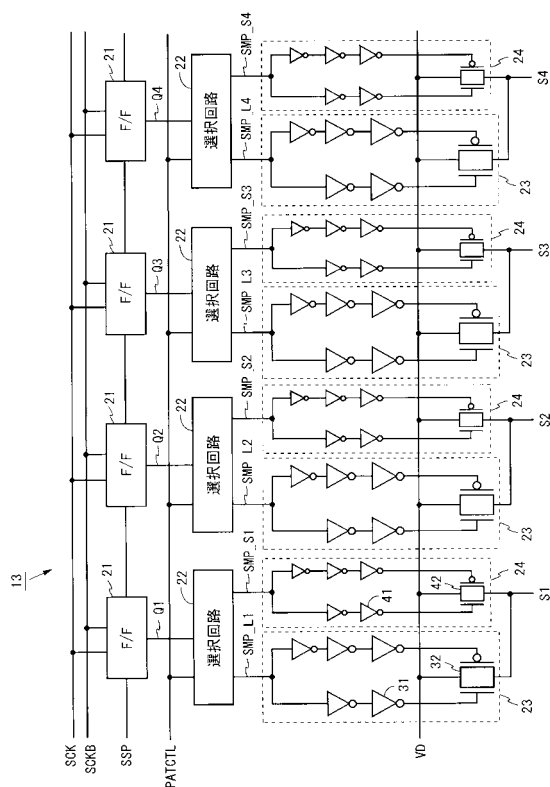
本発明の液晶表示装置は、パースシャル表示を行うときの消費電力を低減できるという効果を有するので、携帯電話、情報処理端末、パーソナルコンピュータなど、各種の装置の表示装置に利用することができる。

20

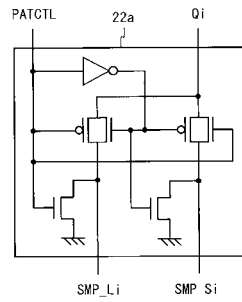
【図１】



【図２】



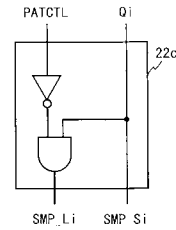
【図 3 A】



【図 4 B】

| PATCTL | Q1 | SMP_Li | SMP_Si |
|--------|----|--------|--------|
| 0      | 0  | 0      | 0      |
| 0      | 1  | 1      | 0      |
| 1      | 0  | 0      | 0      |
| 1      | 1  | 0      | 1      |

【図 5 A】



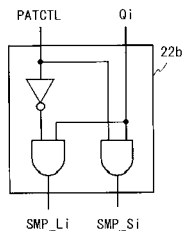
【図 3 B】

| PATCTL | Q1 | SMP_Li | SMP_Si |
|--------|----|--------|--------|
| 0      | 0  | 0      | 0      |
| 0      | 1  | 1      | 0      |
| 1      | 0  | 0      | 0      |
| 1      | 1  | 0      | 1      |

【図 5 B】

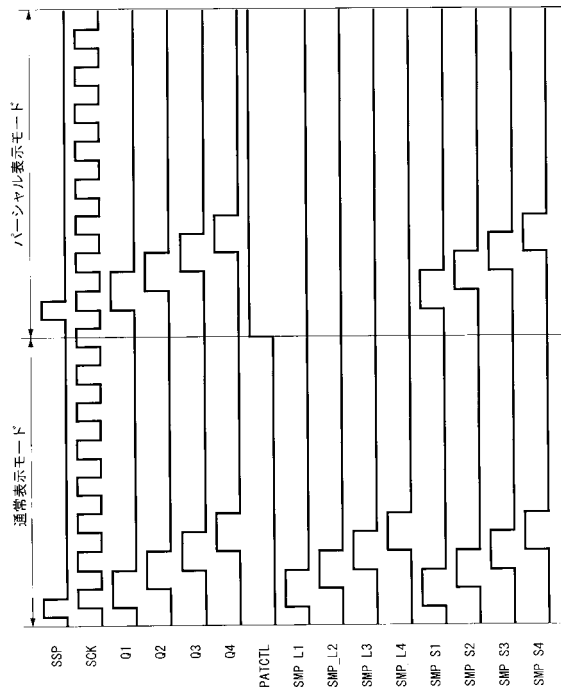
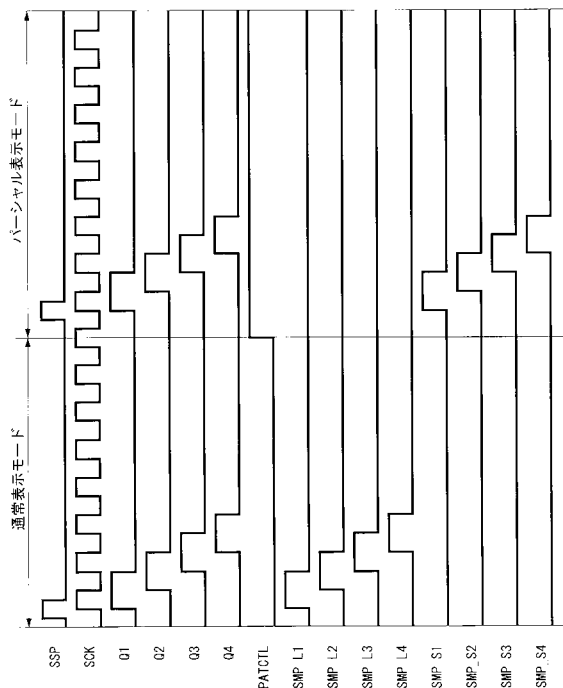
| PATCTL | Q1 | SMP_Li | SMP_Si |
|--------|----|--------|--------|
| 0      | 0  | 0      | 0      |
| 0      | 1  | 1      | 1      |
| 1      | 0  | 0      | 0      |
| 1      | 1  | 0      | 1      |

【図 4 A】



【図 7】

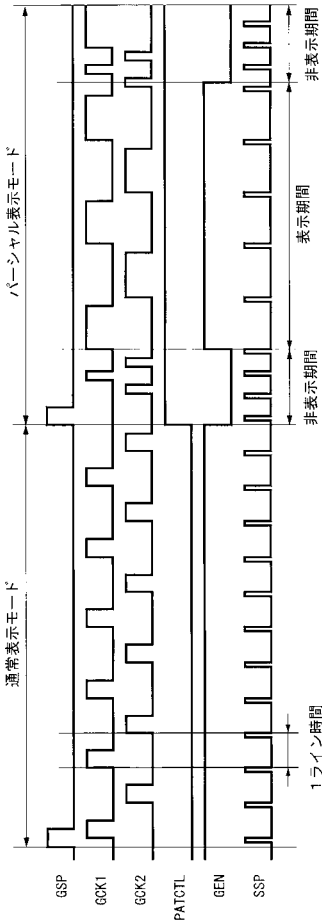
【図 6】



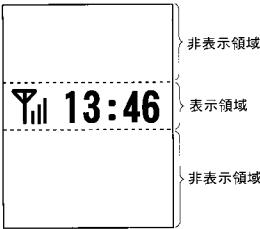
【図 8】

| 選択回路の種類 | PATCTL | 第1のサンプリング部 | 第2のサンプリング部 |
|---------|--------|------------|------------|
| 選択回路22a | 0      | 動作する       | 動作しない      |
|         | 1      | 動作しない      | 動作する       |
| 選択回路22b | 0      | 動作する       | 動作しない      |
|         | 1      | 動作しない      | 動作する       |
| 選択回路22c | 0      | 動作する       | 動作する       |
|         | 1      | 動作しない      | 動作する       |

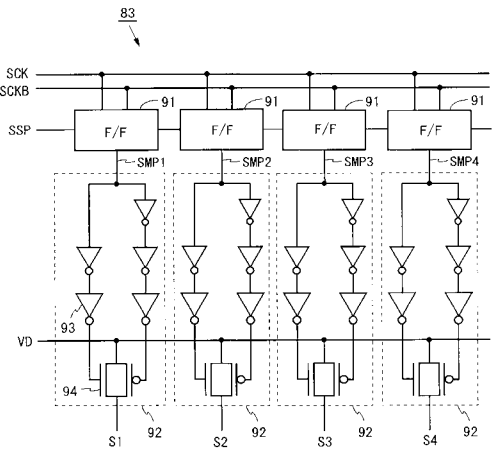
【図 9】



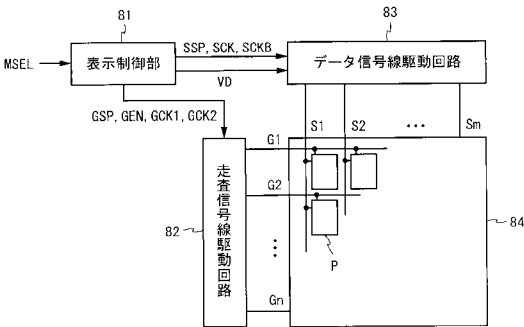
【図 10】



【図 12】



【図 11】



---

 フロントページの続き

|             |         |       |         |
|-------------|---------|-------|---------|
| (51)Int.Cl. | F I     |       |         |
|             | G 0 9 G | 3/20  | 6 2 3 L |
|             | G 0 2 F | 1/133 | 5 5 0   |
|             | G 1 1 C | 19/00 | J       |

(56)参考文献 特開 2 0 0 5 - 0 9 9 7 4 0 ( J P , A )  
 特開 2 0 0 5 - 2 6 6 1 7 7 ( J P , A )  
 特開 2 0 0 0 - 2 0 6 4 9 1 ( J P , A )  
 特開 2 0 0 2 - 2 8 7 7 1 0 ( J P , A )  
 特開平 0 5 - 0 7 5 9 5 7 ( J P , A )  
 特開 2 0 0 0 - 0 9 8 9 8 2 ( J P , A )  
 特開 2 0 0 4 - 3 0 9 8 4 6 ( J P , A )  
 特開 2 0 0 4 - 0 2 9 3 0 0 ( J P , A )  
 特開平 0 8 - 3 3 1 4 8 6 ( J P , A )  
 特開平 0 9 - 1 0 1 7 6 4 ( J P , A )  
 特開 2 0 0 2 - 1 9 6 7 0 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
 G09G 3/00-3/38  
 G02F 1/133,505-1/133,580

|                |                                                                                                               |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置及其驱动方法                                                                                                  |         |            |
| 公开(公告)号        | <a href="#">JP4762251B2</a>                                                                                   | 公开(公告)日 | 2011-08-31 |
| 申请号            | JP2007545170                                                                                                  | 申请日     | 2006-09-25 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                                        |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                                                                          |         |            |
| 当前申请(专利权)人(译)  | 夏普公司                                                                                                          |         |            |
| [标]发明人         | 鷲尾一<br>マイケルジェームスブラウンロー                                                                                        |         |            |
| 发明人            | 鷲尾 一<br>マイケル ジェームス ブラウンロー                                                                                     |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133 G11C19/00                                                                         |         |            |
| CPC分类号         | G09G3/3648 G09G3/3688 G09G2310/0294 G09G2310/04 G09G2330/021                                                  |         |            |
| FI分类号          | G09G3/36 G09G3/20.611.A G09G3/20.623.B G09G3/20.621.K G09G3/20.623.H G09G3/20.623.L G02F1/133.550 G11C19/00.J |         |            |
| 代理人(译)         | 岛田彰                                                                                                           |         |            |
| 优先权            | 2005331483 2005-11-16 JP                                                                                      |         |            |
| 其他公开文献         | JPWO2007058018A1                                                                                              |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                     |         |            |

#### 摘要(译)

数据采样线驱动电路13设置有以低于第一采样部分23的速度操作的第一采样部分23和第二采样部分24。通过选择电路22的操作，第一采样单元23以正常显示模式操作，第二采样单元24以部分显示模式操作。为了保证正确的采样操作，在部分显示模式下的显示周期中的一个线时间和采样周期比在正常显示模式中延长。在正常显示模式中，可以操作第一采样部分23和第二采样部分24。因此，减少了当执行部分显示时液晶显示装置的功耗。

