

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4738000号
(P4738000)

(45) 発行日 平成23年8月3日(2011.8.3)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int.Cl.

F 1

GO 2 F 1/1343 (2006.01)

GO 2 F 1/1368 (2006.01)

GO 2 F 1/1343

GO 2 F 1/1368

請求項の数 6 (全 22 頁)

(21) 出願番号	特願2005-11508 (P2005-11508)	(73) 特許権者	000005049
(22) 出願日	平成17年1月19日 (2005.1.19)		シャープ株式会社
(65) 公開番号	特開2006-201353 (P2006-201353A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成18年8月3日 (2006.8.3)	(74) 代理人	100101214
審査請求日	平成19年3月2日 (2007.3.2)		弁理士 森岡 正樹
前置審査		(72) 発明者	笹林 貴
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
		(72) 発明者	吉田 秀史
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

対向配置された一対の基板と、
前記一対の基板間に封止された垂直配向型の液晶と、
一方の前記基板上に形成された第1の画素電極を有する第1の副画素と、前記一方の基板上に形成され、前記第1の画素電極から分離された第2の画素電極を有する第2の副画素とをそれぞれ備えた複数の画素領域と、
前記第1及び第2の画素電極の間に形成されたスリットと、
前記第1及び／又は第2の画素電極の前記スリット側の端部に形成された凸部及び／又は凹部を備え、前記液晶の特異点を制御する特異点制御部とを有し、
ある階調で、前記第2の副画素の前記液晶に印加される電圧は、前記第1の副画素の前記液晶に印加される電圧より大きさが小さいこと
を特徴とする液晶表示装置。

【請求項 2】

請求項1記載の液晶表示装置において、
前記凸部は、前記第2の画素電極の前記スリット側の端部に形成されていること
を特徴とする液晶表示装置。

【請求項 3】

請求項1又は2に記載の液晶表示装置において、
前記一方の基板上に形成された複数のゲートバスラインと、

前記ゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスラインと、

前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極と、前記第1の画素電極に電氣的に接続されたソース電極とを備え、前記画素領域毎に配置されたトランジスタと、

前記ソース電極に電氣的に接続され、絶縁膜を介して前記第2の画素電極の少なくとも一部に対向して配置された制御容量電極を備え、前記ソース電極と前記第2の画素電極とを容量結合する制御容量部とをさらに有すること

を特徴とする液晶表示装置。

【請求項4】

10

請求項3記載の液晶表示装置において、

前記一方の基板上であって前記第1の画素電極の前記ドレインバスラインに対向する端部近傍に配置され、当該端部近傍を遮光する遮光板をさらに有すること

を特徴とする液晶表示装置。

【請求項5】

請求項1乃至4のいずれか1項に記載の液晶表示装置において、

他方の前記基板上に形成された共通電極と、

前記一方の基板上に形成されて前記スリットに重なって延び、前記共通電極とほぼ同電位に維持される補助電極とをさらに有すること

を特徴とする液晶表示装置。

20

【請求項6】

請求項5記載の液晶表示装置において、

前記補助電極は、前記凸部に対応する領域で前記凸部の突出方向と同方向に突出する突出部を有すること

を特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器の表示部等に用いられる液晶表示装置に関する。

【背景技術】

30

【0002】

図13は、従来の液晶表示装置の概略の断面構成を示している。図13に示すように、液晶表示装置は、薄膜トランジスタ(TFT)や画素電極が画素毎に形成されたTFT基板102と、カラーフィルタ(CF)や共通電極が形成された対向基板104とを有している。両基板102、104は、外周部に塗布されたシール材152を介して貼り合わされている。TFT基板102には、ドライバICの実装に用いられる実装用端子160が設けられている。両基板102、104間には液晶106が封止されている。両基板102、104間のセルギャップは、例えば球状スペーサ146により維持されている。また、両基板102、104を挟んだ外側には、偏光板187、186が配置されている。

【0003】

40

図14は、従来のMVA(Multi-domain Vertical Alignment)方式の液晶表示装置の1画素の構成を示している。図14に示すように、液晶表示装置は、TFT基板102上に形成された複数のゲートバスライン112と、ゲートバスライン112に絶縁膜を介して交差する複数のドレインバスライン114とを有している。ゲートバスライン112及びドレインバスライン114の交差位置近傍には、TFT120が形成されている。ゲートバスライン112及びドレインバスライン114により画定された画素領域には、画素電極116が形成されている。画素領域を横切って、ゲートバスライン112に並列して延びる蓄積容量バスライン118が形成されている。蓄積容量バスライン118上には、絶縁膜を介して蓄積容量電極119が画素毎に形成されている。画素電極116には、偏光板186、187の偏光軸に対して斜めに延びる線状

50

のスリット（電極の抜き）144が形成されている。対向基板104側には、スリット144に並列して延びる線状突起142が形成されている。スリット144及び線状突起142は、液晶106を配向規制する配向規制用構造物として機能する。

【0004】

図15は、配向規制用構造物について説明する断面図である。図15では、基板102に線状突起143が形成され、基板104に線状突起142が形成された構成を示している。図15(a)に示すように、TFT基板102側の線状突起143は、例えば画素電極116の上層に形成された配向膜150上に形成されている。対向基板104側の線状突起142は、例えば共通電極141の上層に形成された配向膜151上に形成されている。電圧無印加時の液晶分子108は、基板面にほぼ垂直に配向している。画素電極116と共通電極141との間に電圧を印加すると、図15(b)に示すように、液晶分子108は傾斜する。線状突起142、143を境界として液晶分子108の傾斜する方向が異なり、隣り合う線状突起142、143間の領域の液晶分子108は同一の方向に傾斜する。図14に示したように配向規制用構造物を配置することにより、液晶分子108は1画素内で直交4方向に傾斜する。このような配向分割技術によって、液晶分子108が一方向にのみ傾斜する液晶表示装置に生じる視野角の偏りが解消され、視角特性が大幅に改善する。なお、図15(a)、(b)に示す構成では、配向規制用構造物として線状突起142、143が基板102、104の双方に形成されているが、基板102、104のうち一方のみに線状突起が形成される場合もある。また、線状突起142、143に代えて基板102、104の双方にスリットが形成される場合もあるし、図16に示すように基板102、104の一方のみにスリット145が形成される場合もある。

【0005】

図17は、TFT基板102側にスリット144が形成され、対向基板104側に線状突起142が形成された一般的なMVA方式の液晶表示装置の1画素の構成を示している。図18は図17のX-X線で切断した液晶表示装置の断面構成を示し、図19は図17のY-Y線で切断したTFT基板102の断面構成を示している。図17乃至図19に示すように、画素電極116はスリット144によりいくつかの領域に分けられているが、1画素内の画素電極116の各領域は電氣的に接続され、同電位に維持される。画素電極116はコンタクトホール123を介してTFT120のソース電極122に接続され、またコンタクトホール126を介して蓄積容量電極119に電氣的に接続されている。TFT120のドレイン電極121は、ドレインバスライン114に電氣的に接続されている。スリット144及び線状突起142が形成されていることによって、画素領域は液晶分子108の配向方位の互いに異なる4つの配向領域 $\alpha \sim \delta$ に分割される。

【0006】

図20は、各配向領域 $\alpha \sim \delta$ での液晶分子108の配向方位と1画素内での各配向領域 $\alpha \sim \delta$ の面積比率とを模式的に示している。図20に示すように、液晶分子108の配向方位が互いに異なる各配向領域 $\alpha \sim \delta$ の面積は、1画素内でほぼ等しくなっている。したがって、この液晶表示装置の視角特性は表示画面の方位角に対し大きい依存性を有さず、いずれの方位からでも良好な表示が得られる。

【0007】

図21は、図17乃至図19に示した構成に対し、スリット144と線状突起142の配置を入れ替えた液晶表示装置の1画素の構成を示している。図22は、図21のZ-Z線で切断した液晶表示装置の断面構成を示している。図21及び図22に示す液晶表示装置においても配向領域 $\alpha \sim \delta$ の面積は1画素内でほぼ等しくなっている。したがって、図17乃至図19に示した液晶表示装置と同様に、いずれの方位からでも良好な表示が得られる。

【0008】

図23は、VA(Vertically Aligned)モードの液晶表示装置の印加電圧に対する透過率特性(T-V特性)を示すグラフである。横軸は液晶層に対する印加電圧(V)を表し、縦軸は光の透過率を表している。線Lは表示画面に対し垂直な方向

10

20

30

40

50

(以下、「正面方向」という)でのT-V特性を示し、線Mは表示画面に対して方位角 90° 、極角 60° の方向(以下、「斜め方向」という)でのT-V特性を示している。ここで、方位角は、表示画面の右方向を基準として反時計回りに計った角度とする。また極角は、表示画面の中心に立てた垂線となす角度とする。

【0009】

図23に示すように、円Nで囲んだ領域近傍において、透過率(輝度)変化に歪みが生じている。例えば、印加電圧が約2.5Vの比較的低階調においては斜め方向の透過率が正面方向の透過率より高くなっているが、印加電圧が約3.8Vの比較的高階調においては斜め方向の透過率が正面方向の透過率より低くなっている。この結果、斜め方向から見た場合には実効駆動電圧範囲での輝度差が小さくなってしまう。この現象は色の変化に最も顕著に現れる。

10

【0010】

図24は表示画面に表示した画像の見え方の変化を示している。図24(a)は正面方向から見た画像を示し、図24(b)は斜め方向から見た画像を示している。図24(a)、(b)に示すように、表示画面を斜め方向から見ると、正面方向から見たときと比較して画像の色が白っぽく変化してしまう。

【0011】

図25は、赤みがかった画像における赤(R)、緑(G)、青(B)3原色の階調ヒストグラムを示している。図25(a)はRの階調ヒストグラムを示し、図25(b)はGの階調ヒストグラムを示し、図25(c)はBの階調ヒストグラムを示している。図25(a)~(c)の横軸は階調(0~255の256階調)を表し、縦軸は存在率(%)を表している。図25(a)~(c)に示すように、この画像では比較的高階調のRと比較的低階調のG及びBとが高い存在率で存在している。このような画像をVAモードの液晶表示装置の表示画面に表示させて斜め方向から見ると、高階調のRが相対的に暗めに変化し、低階調のG及びBが相対的に明るめに変化する。これにより3原色の輝度差が小さくなるため、斜め方向から見ると画面全体の色が白っぽくなり、色の再現性が低下してしまうという問題が生じる。

20

【0012】

上記の問題を解決するために、以下に示すような技術が提案されている。すなわち、1画素を複数の副画素に分け、互いに分離された画素電極を副画素毎に設ける。各画素電極は電氣的に容量結合の関係にある。例えば、副画素Aの画素電極はTF Tのソース電極に直接接続され、副画素Bの画素電極は所定の制御容量Ccを介してソース電極に接続される。画素毎に設けられたTF Tがオン状態になると、容量比に従って電位が分割されるため、各副画素の画素電極には互いに異なる電圧が印加される。したがって、液晶層には副画素毎に異なる電圧が印加される。このように、液晶層に印加される電圧が異なる複数の副画素が1画素内に存在すると、図23に示したようなT-V特性の歪みが複数の副画素で分散される。このため、斜め方向から見たときに画像が白っぽくなる現象を抑制でき、視角特性が改善される。以下、上記の手法を容量結合HT(ハーフトーン・グレースケール)法とよぶ。

30

【0013】

図26は、容量結合HT法を用いた従来のMVA方式の液晶表示装置の1画素の構成を示している。図26に示すように、画素領域は、副画素Aと副画素Bとを有している。副画素AのTF T基板102上には画素電極116が形成され、副画素BのTF T基板102上には画素電極116から分離された画素電極117が形成されている。画素電極116は、コンタクトホール124を介して蓄積容量電極119及びTF T120のソース電極122に電氣的に接続されている。一方、画素電極117は電氣的にフローティング状態になっている。ソース電極122は、制御容量電極125を介して蓄積容量電極119に電氣的に接続されている。画素電極117は、保護膜(絶縁膜)を介して制御容量電極125に重なる領域を有し、当該領域に形成される制御容量Ccを介した容量結合によりソース電極122に間接的に接続されている。

40

50

【0014】

画素電極116、117の間には、画素領域端部に対して斜めに延びるスリット144が形成されている。スリット144は、画素電極116、117を互いに分離するとともに、液晶106の配向を規制する配向規制用構造物としても機能する。

【0015】

液晶層を介しTFT基板102に対向して配置された対向基板104は、共通電極141（図26では図示せず）を有している。副画素Aの画素電極116と共通電極141との間には液晶容量C1c1が形成され、副画素Bの画素電極117と共通電極141との間には液晶容量C1c2が形成される。共通電極141上には、スリット144に並列して延び、配向規制用構造物として機能する線状突起142が形成されている。TFT基板102側の制御容量電極125は、基板面に垂直に見て線状突起142に重なって配置されている。また対向基板104上には、画素領域端部を遮光する遮光膜（BM）145が形成されている。

【0016】

TFT120がオン状態になって画素電極116に電圧が印加され、副画素Aの液晶層に電圧Vpx1が印加されたとする。このとき、液晶容量C1c2と制御容量Ccとの容量比に従って電位が分割されるため、副画素Bの画素電極117には画素電極116とは異なる電圧が印加される。副画素Bの液晶層に印加される電圧Vpx2は、

$$V_{px2} = (Cc / (C1c2 + Cc)) \times V_{px1}$$

となる。ここで、 $0 < (Cc / (C1c2 + Cc)) < 1$ であるため、 $V_{px1} = V_{px2} = 0$ 以外では $|V_{px2}| < |V_{px1}|$ となる。このように、図26に示した画素構造を有する液晶表示装置では、副画素Aの液晶層に印加される電圧Vpx1と、副画素Bの液晶層に印加される電圧Vpx2とを1画素内で互いに異ならせることができるため、視角特性が改善される。

【0017】

図27は、スリット144近傍の画素電極116、117の構成を示している。図28は、当該画素に白を表示させたときの図27と同一領域の表示状態を示している。図28では、偏光板186、187の偏光軸186a、187aの例を併せて示している。図29は、図28の円P内の領域の液晶分子108の配向を模式的に示している。図27乃至図29に示すように、電圧が印加された液晶分子108aは、スリット144（及び線状突起142）を境界として、スリット144の延びる方向に対して垂直で互いに逆方向にそれぞれ傾斜する。ところが、スリット144上の領域の液晶分子108b、108cはスリット144の延びる方向に平行に傾斜するが、当該方向のいずれ側に向かって傾斜するかは規制されない。スリット144上の領域には、図29の下方に向かって傾斜する液晶分子108bと上方に向かって傾斜する液晶分子108cとが存在するため、液晶配向の結節点（特異点）162a、162bが形成される。特異点162a、162bはスリット144上のランダムな位置に形成され、形成位置を制御するのは困難である。また特異点162a、162bは、時間の経過とともに移動する場合もある。特異点162a、162bの形成位置の空間的及び時間的な固定が困難であるため、黒を表示した後、中間調表示を経て白を表示した状態と、黒を表示した直後に白を表示した状態との間で特異点162a、162bの形成位置が異なる場合がある。すなわち、同じ白表示であっても異なる印加電圧履歴を経たために特異点162a、162bの位置が異なり、画面を見る方向によって表示が異なってしまう。また、指押し等により表示画面に局所的な圧力が加えられて液晶の配向が乱れてしまうと、配向状態が元に戻らない場合もある。このように従来の液晶表示装置は、良好な表示品質が得られないという問題を有している。

【0018】

ところで、ドレインバスライン114と画素電極116、117との間には、所定の電気容量が形成される。ドレインバスライン114と画素電極116、117との間の層に膜厚の厚いオーバーコート層を形成しない構成では特に、ドレインバスライン114と画素電極116、117との基板面内での距離の違いにより、形成される電気容量の値が変

化し易い。このため、例えば分割露光を行ったときのショットむら等によりドレインバスライン114や画素電極116、117に相対的なパターンニングずれが生じると、作製された液晶表示装置には分割露光領域毎に表示特性が異なる表示むらが視認されてしまう。したがって、画素電極116、117の端部をドレインバスライン114からできるだけ離し、パターンニングずれが生じていても表示特性の差異が視認され難くする必要がある。しかしながら、画素電極116、117の端部をドレインバスライン114から離すと、画素電極116、117の形成領域が狭くなるため、画素の開口率が低下し、輝度が低下してしまうという問題が生じる。

【0019】

また、TFT基板102と対向基板104とを貼り合わせる際には所定の貼合せずれが生じ得るため、対向基板側に形成されるBM145の開口領域は、TFT基板102側に形成される画素電極116、117の形成領域よりも狭くする必要がある。したがって、画素の開口率や輝度がさらに低下してしまうという問題が生じる。

【0020】

【特許文献1】特開平2-12号公報

【特許文献2】米国特許第4840460号明細書

【特許文献3】特許第3076938号公報

【発明の開示】

【発明が解決しようとする課題】

【0021】

本発明の目的は、輝度が高く表示品質の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0022】

上記目的は、対向配置された一对の基板と、前記一对の基板間に封止された垂直配向型の液晶と、一方の前記基板上に形成された第1の画素電極を有する第1の副画素と、前記一方の基板上に形成された第2の画素電極を有する第2の副画素とをそれぞれ備えた複数の画素領域と、前記第1及び第2の画素電極の間に形成されたスリットと、前記第1又は第2の画素電極の前記スリット側の端部に形成された凸部又は凹部を備え、前記液晶の特異点を制御する特異点制御部とを有することを特徴とする液晶表示装置によって達成される。

【発明の効果】

【0023】

本発明によれば、輝度が高く表示品質の良好な液晶表示装置を実現できる。

【発明を実施するための最良の形態】

【0024】

〔第1の実施の形態〕

本発明の第1の実施の形態による液晶表示装置について図1乃至図8を用いて説明する。図1に示すように、液晶表示装置は、絶縁膜を介して互いに交差して形成されたゲートバスライン及びドレインバスラインと、画素毎に形成されたTFT及び画素電極とを備えたTFT基板2を有している。また、液晶表示装置は、TFT基板2に対向配置されてCFや共通電極が形成された対向基板4と、両基板2、4間に封止された例えば負の誘電率異方性を有する垂直配向型の液晶（図示せず）とを備えている。TFT基板2及び対向基板4の液晶との界面には、液晶を垂直配向させる垂直配向膜（図示せず）が形成されている。

【0025】

TFT基板2には、複数のゲートバスラインを駆動するドライバICが実装されたゲートバスライン駆動回路80と、複数のドレインバスラインを駆動するドライバICが実装されたドレインバスライン駆動回路82とが接続されている。これらの駆動回路80、82は、制御回路84から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスラインあるいはドレインバスラインに出力するようになっている。TFT基

10

20

30

40

50

板 2 の T F T 素子形成面と反対側の面には偏光板 8 7 が配置され、対向基板 4 の共通電極形成面と反対側の面には、偏光板 8 7 とクロスニコルに配置された偏光板 8 6 が配置されている。偏光板 8 7 の T F T 基板 2 と反対側の面にはバックライトユニット 8 8 が配置されている。

【0026】

図 2 は、本実施の形態による液晶表示装置として、容量結合 H T 法を用いた M V A 方式の液晶表示装置の 1 画素の構成を示している。図 2 に示すように、液晶表示装置の T F T 基板 2 は、図 2 中左右方向に延びる複数のゲートバスライン 1 2 と、不図示の絶縁膜を介してゲートバスライン 1 2 に交差して形成され、図 2 中上下方向に延びる複数のドレインバスライン 1 4 とを有している。ゲートバスライン 1 2 及びドレインバスライン 1 4 の交差位置近傍には、スイッチング素子として画素毎に形成された T F T 2 0 が配置されている。T F T 2 0 のゲート電極 2 3 はゲートバスライン 1 2 に電氣的に接続されている。ゲート電極 2 3 上には動作半導体層（図示せず）が形成され、動作半導体層上にはチャンネル保護膜 2 8 が形成されている。チャンネル保護膜 2 8 上には、棒状のソース電極 2 2 と、所定の間隙を介してソース電極 2 2 を囲む C 字状のドレイン電極 2 1 とが形成されている。ドレイン電極 2 1 はドレインバスライン 1 4 に電氣的に接続されている。ソース電極 2 2 上及びドレイン電極 2 1 上の基板全面には、不図示の保護膜が形成されている。

10

【0027】

また、ゲートバスライン 1 2 及びドレインバスライン 1 4 により画定された画素領域を横切って、ゲートバスライン 1 2 に並列して延びる蓄積容量バスライン 1 8 が形成されている。蓄積容量バスライン 1 8 上には、絶縁膜を介して蓄積容量電極 1 9 が画素毎に形成されている。蓄積容量電極 1 9 は、制御容量電極 2 5 を介して T F T 2 0 のソース電極 2 2 に電氣的に接続されている。蓄積容量バスライン 1 8 と蓄積容量電極 1 9 との間には、蓄積容量 C s が形成される。

20

【0028】

画素領域は、副画素 A と副画素 B とを有している。副画素 A は例えば台形状の形状を有し、画素領域の中央部左寄りに配置されている。副画素 B は、画素領域のうち副画素 A の領域を除いた図 2 中上部、下部及び中央部右側端部に配置されている。副画素 A、B の配置は、蓄積容量バスライン 1 8 に対し 1 画素内でそれぞれほぼ線対称になっている。副画素 A の T F T 基板 2 上には画素電極 1 6 が形成され、副画素 B の T F T 基板 2 上には画素電極 1 6 から分離された画素電極 1 7 が形成されている。画素電極 1 6、1 7 は、例えば共に透明導電膜からなり互いに同層に形成されている。画素電極 1 6 は、蓄積容量電極 1 9 上の保護膜が開口されたコンタクトホール 2 4 を介して、蓄積容量電極 1 9 及び T F T 2 0 のソース電極 2 2 に電氣的に接続されている。一方、画素電極 1 7 は電氣的にフローティング状態になっている。画素電極 1 7 は、保護膜を介して制御容量電極 2 5 に対向する領域を画素領域の図 2 中上部に有している。画素電極 1 7 は、当該領域に形成される制御容量部の制御容量 C c を介した容量結合により、ソース電極 2 2 に間接的に接続されている。

30

【0029】

画素電極 1 6、1 7 は、台形状の画素電極 1 6 の 3 辺を略「く」の字状に囲むスリット 4 4、4 7、4 4 によって互いに分離されている。スリット 4 4 は画素領域端部に対し斜めに延び、スリット 4 7 は画素領域右側端部に沿って延びている。スリット 4 4 は、液晶の配向を規制する配向規制用構造物としても機能する。画素電極 1 7 のスリット 4 4 側の端部には、スリット 4 4 上の領域での特異点の位置を制御する特異点制御部として、画素電極 1 7 から基板面内で矩形状に突出した凸部 6 4 が形成されている。凸部 6 4 の先端は、所定の間隙を介して画素電極 1 6 の端部に対向している。凸部 6 4 は、各スリット 4 4 の長手方向の中央部近傍に例えば 1 つずつ配置されている。

40

【0030】

液晶層を介し T F T 基板 2 に対向して配置された対向基板 4 は、表示領域のほぼ全域に形成された不図示の共通電極を有している。液晶層を介して対向する副画素 A の画素電極

50

16と共通電極との間には液晶容量 C_{1c1} が形成され、同様に副画素Bの画素電極17と共通電極との間には液晶容量 C_{1c2} が形成される。共通電極上には、スリット44に並列して画素領域端部に対して斜めに延び、配向規制用構造物として機能する線状突起42が形成されている。スリット44及び線状突起42は、TFT基板2及び対向基板4を挟んで外側に配置される偏光板86、87の偏光軸に対して約 45° の角度をなす方向に延びている。線状突起42は、ノボラック樹脂等のポジレジスト材料で形成されている。線状突起42は、液晶の配向方位の異なる領域を副画素A、Bでそれぞれほぼ等分するために、副画素A、Bのそれぞれほぼ中央部に配置されている。また線状突起42は、蓄積容量バスライン18に対し1画素内でほぼ線対称に配置されている。これにより、副画素A、Bの液晶は、1画素内で直交4方向にそれぞれほぼ均等に配向する。ソース電極22と蓄積容量電極19とを接続する制御容量電極25は、基板面に垂直に見て線状突起42に重なって配置されている。ここで、画素電極16、17のうち線状突起42からの距離が比較的遠い領域では液晶の配向不良が生じ易いため、当該領域の画素電極16、17には線状突起42の延びる方向にほぼ垂直に延びる微細スリット46が形成されている。液晶は微細スリット46の延びる方向に平行に配向するため、液晶の配向不良が抑制される。

10

【0031】

また、線状突起42と画素電極16、17の端部とが交差する領域近傍であって、基板面に垂直に見て線状突起42の延びる方向と画素電極16、17の端部とが鈍角をなす領域には、補助突起43が形成されている。補助突起43は例えば線状突起42と同層に形成され、ドレインバスライン14にほぼ平行に延びている。補助突起43は、画素電極16、17の端部近傍での電界の影響を打ち消すために設けられ、基板面に垂直に見て画素電極16、17の端部に重なって配置される。また対向基板4上には、画素領域端部を遮光するBM45が形成されている。

20

【0032】

TFT20がオン状態になって画素電極16に電圧が印加され、副画素Aの液晶層に電圧 V_{px1} が印加されるとする。このとき、液晶容量 C_{1c2} と制御容量 C_c との容量比に従って電位が分割されるため、副画素Bの画素電極17には画素電極16とは異なる電圧が印加される。副画素Bの液晶層に印加される電圧 V_{px2} は、
$$V_{px2} = (C_c / (C_{1c2} + C_c)) \times V_{px1}$$
となる。ここで、 $0 < (C_c / (C_{1c2} + C_c)) < 1$ であるため、 $V_{px1} = V_{px2} = 0$ 以外では電圧 V_{px2} は電圧 V_{px1} より大きさが小さくなる ($|V_{px2}| < |V_{px1}|$)。このように、本実施の形態による液晶表示装置では、副画素Aの液晶層に印加される電圧 V_{px1} と、副画素Bの液晶層に印加される電圧 V_{px2} とを1画素内で互いに異ならせることができる。これにより、T-V特性の歪みが1画素内で分散されるため、斜め方向から見たときに画像の色が白っぽくなる現象を抑制でき、視角特性が改善された広視野角の液晶表示装置が得られる。

30

【0033】

また本実施の形態では、画素電極16のドレインバスライン14に対向する端部(図2中左側端部)近傍に、当該端部に沿って延びる遮光板54が形成されている。遮光板54は、当該端部近傍を遮光する機能を有している。また、遮光板54は蓄積容量バスライン18と同層に形成され、蓄積容量バスライン18に電気的に接続され、例えば蓄積容量バスライン18から分岐している。したがって遮光板54は、蓄積容量バスライン18及び共通電極と同電位(コモン電位)に維持される。このため、遮光板54の形成された領域近傍の液晶層には電圧が印加されず、ノーマリーブラックモードの液晶表示装置では光漏れ等の発生がより抑制される。

40

【0034】

遮光板54はTFT基板2側に形成されるため、貼合せずれ等を考慮する必要がない。したがって、遮光板54は基板面に垂直に見てBM45よりも外側に配置できるとともに、遮光板54の形成された領域ではBM45端部を幅 d_1 分だけ外側に配置できる。基板

50

面に垂直に見ると、遮光板 5 4 の形成された領域での BM 4 5 の端部とドレインバスライン 1 4 との間隔は、他の領域での BM 4 5 の端部とドレインバスライン 1 4 との間隔より狭くなっている。

【0035】

また遮光板 5 4 と画素電極 1 6 とは重ねて配置できる。さらに、遮光板 5 4 が設けられることによって、ドレインバスライン 1 4 と画素電極 1 6 との間に生じる電気容量の影響が抑えられるため、画素電極 1 6 をドレインバスライン 1 4 に近づけて配置してもクロストークによる表示不良が生じ難い。一方、容量結合によりソース電極 2 2 に接続された画素電極 1 7 と遮光板 5 4 とが重なって配置されてしまうと、画素電極 1 7 と遮光板 5 4 との間に新たな電気容量が生じてしまうため、遮光板 5 4 は画素電極 1 7 のドレインバスライン 1 4 に対向する端部近傍には形成されていない。これらの結果、画素電極 1 6 のドレインバスライン 1 4 に対向する端部とドレインバスライン 1 4 との間隔は、画素電極 1 7 のドレインバスライン 1 4 に対向する端部とドレインバスライン 1 4 との間隔よりも幅 d 2 分だけ狭くなっている。このように本実施の形態では、遮光板 5 4 を設けることによって画素の開口率が向上するため、輝度の高い液晶表示装置が得られる。

【0036】

次に、本実施の形態による液晶表示装置のスリット 4 4 上の領域での液晶の配向について説明する。図 3 (a) は、画素のスリット 4 4 近傍の構成を示している (図 3 (a) では凸部 6 4 が 2 つ形成されている)。図 3 (b) は、当該画素に白を表示させたときの図 3 (a) と同一領域の表示状態を示している。図 3 (a)、(b) に示すように、特異点制御部として画素電極 1 7 から突出する凸部 6 4 が形成された領域近傍では、画素電極 1 6、1 7 上の液晶分子 8 はスリット 4 4 から外側に向かう方向に傾斜し、スリット 4 4 上の液晶分子 8 は凸部 6 4 に向かう方向に傾斜する。これにより、凸部 6 4 が形成された領域には、それぞれ特異点 6 2 b ($s = -1$) が強固に形成される。特異点 6 2 b の位置は、例えば異なる印加電圧履歴を経ても変化することはない、時間の経過とともに移動することもない。2 つの特異点 6 2 b の間には、特異点 6 2 a ($s = +1$) が形成される。特異点 6 2 a の位置は、例えば異なる印加電圧履歴を経た場合に変わることがあるが、位置の変化する範囲が 2 つの凸部 6 4 間に限定されるため、表示品質が大きく低下することはない。隣接する特異点 6 2 a、6 2 b 間は、画素電極 1 6、1 7 のスリット 4 4 側の端部にそれぞれ沿って延びる 2 本の暗線で繋がっている。

【0037】

図 4 (a) は、特異点制御部の第 1 の変形例を示している。図 4 (b) は、当該画素に白を表示させたときの図 4 (a) と同一領域の表示状態を示している。図 4 (a)、(b) に示すように、本変形例の特異点制御部は、副画素 A の画素電極 1 6 のスリット 4 4 側の端部に形成された凸部 6 5 を有している。本変形例によっても、凸部 6 5 が形成された領域に特異点 6 2 b が強固に形成され、特異点 6 2 b の間には特異点 6 2 a が形成される。

【0038】

図 5 (a) は、特異点制御部の第 2 の変形例を示している。図 5 (b) は、当該画素に白を表示させたときの図 5 (a) と同一領域の表示状態を示している。図 5 (a)、(b) に示すように、本変形例の特異点制御部は、画素電極 1 7 のスリット 4 4 側の端部に形成された凸部 6 4 と、画素電極 1 6 のスリット 4 4 側の端部に形成された凸部 6 5 とを有している。凸部 6 4 と凸部 6 5 は互いの先端部が所定の間隙を介して対向するように配置されている。本変形例によっても、凸部 6 4、6 5 の形成された領域に特異点 6 2 b が強固に形成され、特異点 6 2 b の間には特異点 6 2 a が形成される。

【0039】

図 6 (a) は、特異点制御部の第 3 の変形例を示している。図 6 (b) は、当該画素に白を表示させたときの図 6 (a) と同一領域の表示状態を示している。図 6 (a)、(b) に示すように、本変形例の特異点制御部は、画素電極 1 7 のスリット 4 4 側の端部が基板面内で矩形状に切り込まれた凹部 6 6 と、画素電極 1 6 のスリット 4 4 側の端部が同様

に切り込まれた凹部 6 7 とを有している。凹部 6 6、6 7 は互いに対向する位置に配置されている。本変形例では、凹部 6 6、6 7 が形成された領域近傍では、画素電極 1 6、1 7 上の液晶分子 8 はスリット 4 4 から外側に向かう方向に傾斜し、スリット 4 4 上の液晶分子 8 はスリット 4 4 の延びる方向に平行であって凹部 6 6、6 7 から外側に向かう方向に傾斜する。これにより凹部 6 6、6 7 の形成された領域には、特異点 6 2 a ($s = +1$) が強固に形成される。特異点 6 2 a の位置は、例えば異なる印加電圧履歴を経ても変化することはない。特異点 6 2 a の間には特異点 6 2 b ($s = -1$) が形成される。特異点 6 2 b の位置は、例えば異なる印加電圧履歴を経た場合に変わることがあるが、位置の変化する範囲が 2 つの特異点 6 2 a の間に限定されるため、表示品質が大きく低下することはない。

10

【0040】

図 7 (a) は、特異点制御部の第 4 の変形例を示している。図 7 (b) は、当該画素に白を表示させたときの図 7 (a) と同一領域の表示状態を示している。図 7 (a)、(b) に示すように、本変形例の特異点制御部は、画素電極 1 7 のスリット 4 4 側の端部に形成された凸部 6 4 と、画素電極 1 6 のスリット 4 4 側の端部に形成された凹部 6 7 とを有している。凸部 6 4 と凹部 6 7 は互いに対向する位置に配置されている。本変形例では、凸部 6 4、凹部 6 7 の形成された領域近傍では、画素電極 1 6、1 7 上の液晶分子 8 はスリット 4 4 から外側に向かう方向に傾斜し、スリット 4 4 上の液晶分子 8 は凸部 6 4 から外側に向かう方向に傾斜する。これにより凸部 6 4、凹部 6 7 の形成された領域には、特異点 6 2 b が強固に形成される。特異点 6 2 b の間には特異点 6 2 a が形成される。

20

【0041】

図 3 乃至図 7 を比較すると、図 3 に示したように副画素 B の画素電極 1 7 に凸部 6 4 を形成した構成が、特異点の安定性や電圧印加時の光透過率の高さにおいて比較的優れている。すなわち、副画素毎に液晶層に印加される電圧が異なる場合、凸部は、液晶層に印加される電圧の大きさが小さい方の副画素の画素電極に形成するのが望ましい。

【0042】

図 3 乃至図 7 に示したように特異点制御部を形成することによって、特異点 6 2 b (又は 6 2 a) が強固に形成され、特異点 6 2 b (又は 6 2 a) 間には特異点 6 2 a (又は 6 2 b) が形成される。これにより、特異点 6 2 a、6 2 b の形成位置を空間的及び時間的にほぼ固定できるため、異なる印加電圧履歴を経ても特異点 6 2 a、6 2 b の位置が異なってしまうことがなく、画面を見る方向によって表示が異なることがない。また、特異点 6 2 b (又は 6 2 a) が強固に形成されるため、指押し等により表示画面に局所的な圧力が加えられて液晶の配向が乱れても、配向状態が元に戻り易くなっている。したがって、本実施の形態によれば、表示特性の良好な液晶表示装置が得られる。

30

【0043】

なお、凸部 6 4、6 5 及び凹部 6 6、6 7 の形状は、図 3 乃至図 7 に示したような矩形に限られない。図 8 は、凸部 6 4、6 5 及び凹部 6 6、6 7 の形状の変形例を示している。図 8 (a) に示す例では凸部 6 4 及び／又は 6 5 が三角形形状の形状を有し、図 8 (b) に示す例では凹部 6 6 及び／又は 6 7 が三角形形状の形状を有している。図 8 (c) に示す例では凸部 6 4 及び／又は 6 5 が階段状の形状を有し、図 8 (d) に示す例では凹部 6 6 及び／又は 6 7 が階段状の形状を有している。図 8 (e) に示す例では凸部 6 4 及び／又は 6 5 が半円状の形状を有し、図 8 (f) に示す例では凹部 6 6 及び／又は 6 7 が半円状の形状を有している。凸部 6 4、6 5 及び凹部 6 6、6 7 は、これら以外にも様々な形状で形成できる。

40

【0044】

また、図 5 乃至図 7 に示した変形例では、画素電極 1 7 に形成された凸部 6 4 又は凹部 6 6 と画素電極 1 6 に形成された凸部 6 5 又は凹部 6 7 とが、互いに対向する位置に設けられている。しかしながら本実施の形態では、凸部 6 4 又は凹部 6 6 と凸部 6 5 又は凹部 6 7 との位置を互いにずらして配置する等の変形も可能である。凸部 6 4、6 5 及び凹部 6 6、6 7 の位置や組合せは、図 3 乃至図 7 に示した例に限定されず、種々の変形が可能

50

であることは言うまでもない。例えば、図5に示した凸部64、65と図6に示した凹部66、67とを交互に配置することにより、特異点62a ($s = +1$)、62b ($s = -1$)の双方の形成位置を固定するようにしてもよい。

【0045】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態による液晶表示装置について図9乃至図12を用いて説明する。図9は本実施の形態による液晶表示装置の1画素の構成を示し、図10は本実施の形態による液晶表示装置のスリット44近傍の構成を示している。図9及び図10に示すように、本実施の形態は第1の実施の形態と比較すると、スリット44、47に重なってスリット44、47の延びる方向とほぼ同方向に延びる補助電極68が形成されている点に特徴を有している。補助電極68は、蓄積容量バスライン18と同層に形成され、蓄積容量バスライン18に電氣的に接続され、例えば蓄積容量バスライン18から分岐している。また補助電極68は、画素電極16のドレインバスライン14に対向する端部に形成された遮光板54にも接続されている。容量結合によりソース電極22に接続された画素電極17と補助電極68とが重なって配置されてしまうと、画素電極17と補助電極68との間に新たな電気容量が生じてしまうため、補助電極68は画素電極17に重ならないように形成されている。

10

【0046】

補助電極68は、蓄積容量バスライン18及び共通電極と同電位（コモン電位）に維持される。このため、副画素A、Bの液晶層にそれぞれ所定の電圧が印加されても補助電極68が形成された領域近傍の液晶層には電圧が印加されないで、当該領域の液晶分子8は基板面にはほぼ垂直な配向を維持する。補助電極68をスリット44、47に重ねて形成することによって、スリット44、47上の液晶分子8が傾斜しないため特異点が形成されることがない。したがって、特異点の位置が固定されないことに起因する表示品質の低下がそもそも生じないため、表示品質の良好な液晶表示装置が得られる。

20

【0047】

画素電極16、17間のスリット44や補助電極68は、フォトリソグラフィ法を用いて形成される。パターンニングずれ等により、スリット44と補助電極68との間に相対的な位置ずれが生じてしまうと、補助電極68がスリット44の中心部からずれてしまうことがあり得る。その場合、副画素A、Bの液晶層に電圧が印加された際にスリット44、47上の液晶分子8が傾斜するため、特異点が形成されてしまう。このため本実施の形態では、特異点が形成された場合であってもその特異点を固定できるように、副画素Bの画素電極17のスリット44側の端部に凸部64が設けられている。これにより、スリット44と補助電極68との間に相対的な位置ずれが生じてても表示品質の良好な液晶表示装置が得られるので、液晶表示装置の製造歩留まりが向上する。

30

【0048】

ただし凸部64を設けた構成では、例えばスリット44と補助電極68との間に図11に示すような位置ずれが生じると、凸部64の先端部と画素電極16との間に補助電極68の存在しない領域Cが形成される。領域Cでは補助電極68が存在せず、かつ画素電極16、17間の間隔が比較的狭いため、指押し等により表示画面が局所的に加圧されると、副画素A、Bでの液晶の配向が繋がって配向不良が生じてしまうという問題が生じ得る。

40

【0049】

図12は、上記の問題を解決する補助電極68の変形例を示している。図12に示すように、補助電極68は、画素電極17の凸部64に対応する領域で凸部64の突出方向と同方向に突出する突出部69を有している。突出部69は、例えば凸部64より幅太に形成される。突出部69が設けられることにより、スリット44と補助電極68との間に図11に示したような位置ずれが生じてても、凸部64の先端部と画素電極16との間に補助電極68の存在しない領域は形成されない。したがって、液晶の配向不良が生じ難く、表示品質の良好な液晶表示装置が得られる。なお、図5に示したように互いに対向する凸部

50

64、65が形成される場合には、突出部69は補助電極68の両側に形成される。

【0050】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では透過型の液晶表示装置を例に挙げたが、本発明はこれに限らず、反射型や半透過型等の他の液晶表示装置にも適用できる。

【0051】

また上記実施の形態では、画素領域が2つの副画素を備える液晶表示装置を例に挙げたが、本発明はこれに限らず、画素領域が3つ又はそれ以上の副画素を備える液晶表示装置にも適用できる。

【0052】

さらに上記実施の形態では、液晶層に印加される電圧が副画素毎に異なる容量結合HT法を用いた液晶表示装置を例に挙げたが、本発明はこれに限らず、スリットにより分けられた1画素内の複数の副画素で液晶層に印加される電圧が互いにほぼ等しい一般的なMVA方式の液晶表示装置にも適用できる。

【0053】

以上説明した実施の形態による液晶表示装置は、以下のようにまとめられる。

(付記1)

対向配置された一对の基板と、

前記一对の基板間に封止された垂直配向型の液晶と、

一方の前記基板上に形成された第1の画素電極を有する第1の副画素と、前記一方の基板上に形成された第2の画素電極を有する第2の副画素とをそれぞれ備えた複数の画素領域と、

前記第1及び第2の画素電極の間に形成されたスリットと、

前記第1及び／又は第2の画素電極の前記スリット側の端部に形成された凸部及び／又は凹部を備え、前記液晶の特異点を制御する特異点制御部と

を有することを特徴とする液晶表示装置。

(付記2)

付記1記載の液晶表示装置において、

前記第2の副画素の前記液晶に印加される電圧は、前記第1の副画素の前記液晶に印加される電圧より大きさが小さいこと

を特徴とする液晶表示装置。

(付記3)

付記2記載の液晶表示装置において、

前記凸部は、前記第2の画素電極の前記スリット側の端部に形成されていること

を特徴とする液晶表示装置。

(付記4)

付記2又は3に記載の液晶表示装置において、

前記一方の基板上に形成された複数のゲートバスラインと、

前記ゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスラインと、

前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極と、前記第1の画素電極に電氣的に接続されたソース電極とを備え、前記画素領域毎に配置されたトランジスタと、

前記ソース電極に電氣的に接続され、絶縁膜を介して前記第2の画素電極の少なくとも一部に対向して配置された制御容量電極を備え、前記ソース電極と前記第2の画素電極とを容量結合する制御容量部とをさらに有すること

を特徴とする液晶表示装置。

(付記5)

付記4記載の液晶表示装置において、

前記一方の基板上であって前記第1の画素電極の前記ドレインバスラインに対向する端

10

20

30

40

50

部近傍に配置され、当該端部近傍を遮光する遮光板をさらに有すること
を特徴とする液晶表示装置。

(付記 6)

付記 1 乃至 5 のいずれか 1 項に記載の液晶表示装置において、
他方の前記基板上に形成された共通電極と、
前記一方の基板上に形成されて前記スリットに重なって延び、前記共通電極とほぼ同電
位に維持される補助電極とをさらに有すること
を特徴とする液晶表示装置。

(付記 7)

付記 6 記載の液晶表示装置において、
前記補助電極は、前記凸部に対応する領域で前記凸部の突出方向と同方向に突出する突
出部を有すること
を特徴とする液晶表示装置。

(付記 8)

対向配置された一对の基板と、
前記一对の基板間に封止された垂直配向型の液晶と、
一方の前記基板上に形成された第 1 及び第 2 の画素電極をそれぞれ備えた複数の画素領
域と、
前記第 1 及び第 2 の画素電極の間に形成されたスリットと、
他方の前記基板上に形成された共通電極と、
前記一方の基板上に形成されて前記スリットに重なって延び、前記共通電極とほぼ同電
位に維持される補助電極と
を有することを特徴とする液晶表示装置。

(付記 9)

付記 8 記載の液晶表示装置において、
前記一方の基板上に形成され、前記共通電極とほぼ同電位に維持される蓄積容量バスラ
インをさらに有し、
前記補助電極は、前記蓄積容量バスラインに電氣的に接続されていること
を特徴とする液晶表示装置。

(付記 10)

付記 9 記載の液晶表示装置において、
前記補助電極は、前記蓄積容量バスラインと同層に形成されていること
を特徴とする液晶表示装置。

(付記 11)

付記 10 記載の液晶表示装置において、
前記補助電極は、前記蓄積容量バスラインから分岐していること
を特徴とする液晶表示装置。

(付記 12)

対向配置された一对の基板と、
前記一对の基板間に封止された垂直配向型の液晶と、
一方の前記基板上に形成された複数のゲートバスラインと、
前記ゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスライン
と、

前記一方の基板上に形成された第 1 及び第 2 の画素電極をそれぞれ備え、前記ゲートバ
スライン及び前記ドレインバスラインの交差部毎に配置された複数の画素領域と、

前記第 1 及び第 2 の画素電極の間に形成され、前記第 1 及び第 2 の画素電極を分離する
スリットと、

前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに
電氣的に接続されたドレイン電極と、前記第 1 の画素電極に電氣的に接続されたソース電
極とを備え、前記画素領域毎に配置されたトランジスタと、

10

20

30

40

50

前記ソース電極に電氣的に接続され、絶縁膜を介して前記第2の画素電極の少なくとも一部に対向して配置された制御容量電極を備え、前記ソース電極と前記第2の画素電極とを容量結合する制御容量部と、

前記一方の基板上であって前記第1の画素電極の前記ドレインバスラインに対向する端部近傍に配置され、当該端部近傍の光を遮光する遮光板と

を有することを特徴とする液晶表示装置。

(付記13)

付記12記載の液晶表示装置において、

他方の前記基板上に形成された共通電極をさらに有し、

前記遮光板は、前記共通電極とほぼ同電位に維持されること

を特徴とする液晶表示装置。

10

(付記14)

付記13記載の液晶表示装置において、

前記ゲートバスラインに並列して配置され、前記共通電極とほぼ同電位に維持される蓄積容量バスラインをさらに有し、

前記遮光板は、前記蓄積容量バスラインに電氣的に接続されていること

を特徴とする液晶表示装置。

(付記15)

付記14記載の液晶表示装置において、

前記遮光板は、前記蓄積容量バスラインと同層に形成されていること

を特徴とする液晶表示装置。

20

(付記16)

付記15記載の液晶表示装置において、

前記遮光板は、前記蓄積容量バスラインから分岐していること

を特徴とする液晶表示装置。

【図面の簡単な説明】

【0054】

【図1】本発明の第1の実施の形態による液晶表示装置の概略構成を示す図である。

【図2】本発明の第1の実施の形態による液晶表示装置の1画素の構成を示す図である。

【図3】本発明の第1の実施の形態による液晶表示装置のスリット44近傍の構成を示す図である。

30

【図4】特異点制御部の第1の変形例を示す図である。

【図5】特異点制御部の第2の変形例を示す図である。

【図6】特異点制御部の第3の変形例を示す図である。

【図7】特異点制御部の第4の変形例を示す図である。

【図8】凸部及び凹部の形状の変形例を示す図である。

【図9】本発明の第2の実施の形態による液晶表示装置の1画素の構成を示す図である。

【図10】本発明の第2の実施の形態による液晶表示装置のスリット44近傍の構成を示す図である。

【図11】スリット44近傍の構成を示す図である。

40

【図12】本発明の第2の実施の形態による液晶表示装置の変形例を示す図である。

【図13】従来の液晶表示装置の概略の断面構成を示す図である。

【図14】従来の液晶表示装置の1画素の構成を示す図である。

【図15】配向規制用構造物について説明する図である。

【図16】配向規制用構造物について説明する図である。

【図17】従来の液晶表示装置の1画素の構成を示す図である。

【図18】従来の液晶表示装置の構成を示す断面図である。

【図19】従来の液晶表示装置の構成を示す断面図である。

【図20】各配向領域 $\alpha \sim \delta$ での液晶分子の配向方位と1画素内での各配向領域 $\alpha \sim \delta$ の面積比率とを模式的に示す図である。

50

【図 2 1】従来の液晶表示装置の 1 画素の構成を示す図である。

【図 2 2】従来の液晶表示装置の構成を示す断面図である。

【図 2 3】従来の V A モードの液晶表示装置の T - V 特性を示すグラフである。

【図 2 4】表示画面に表示した画像の見え方の変化を示す図である。

【図 2 5】赤みがかった画像における R、G、B の階調ヒストグラムを示す図である。

【図 2 6】容量結合 H T 法を用いた従来の M V A 方式の液晶表示装置の 1 画素の構成を示す図である。

【図 2 7】スリット近傍の画素電極の構成を示す図である。

【図 2 8】画素に白を表示させたときの図 2 7 と同一領域の表示状態を示す図である。

【図 2 9】図 2 8 の円 P 内の領域の液晶分子の配向を模式的に示す図である。

10

【符号の説明】

【 0 0 5 5 】

2 T F T 基板

4 対向基板

8 液晶分子

1 2 ゲートバスライン

1 4 ドレインバスライン

1 6、1 7 画素電極

1 8 蓄積容量バスライン

1 9 蓄積容量電極

20

2 0 T F T

2 1 ドレイン電極

2 2 ソース電極

2 3 ゲート電極

2 4 コンタクトホール

2 8 チャンネル保護膜

2 5 制御容量電極

4 2 線状突起

4 3 補助突起

4 4、4 7 スリット

30

4 6 微細スリット

5 4 遮光板

6 2 a、6 2 b 特異点

6 4、6 5 凸部

6 6、6 7 凹部

6 8 補助電極

6 9 突出部

8 0 ゲートバスライン駆動回路

8 2 ドレインバスライン駆動回路

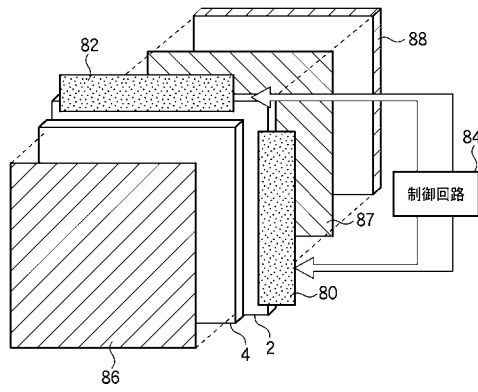
8 4 制御回路

40

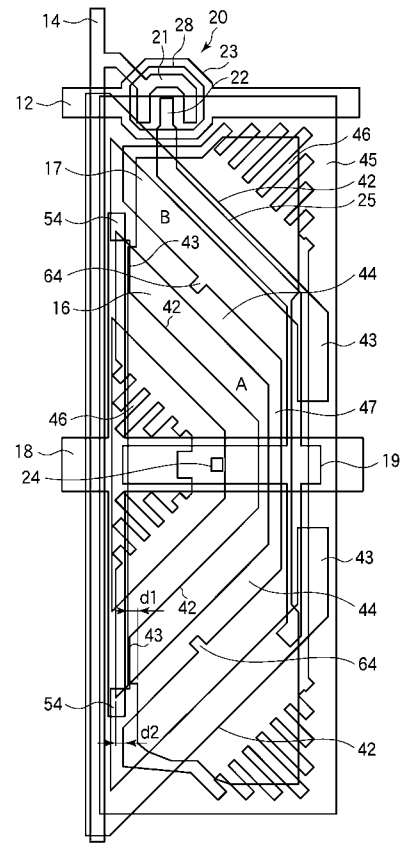
8 6、8 7 偏光板

8 8 バックライトユニット

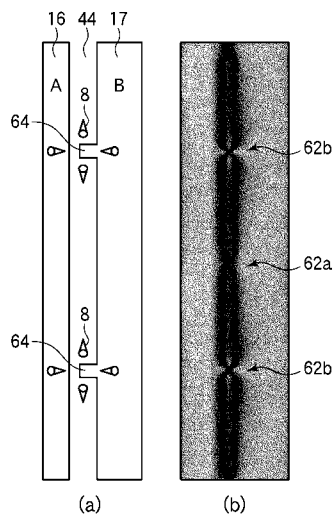
【図 1】



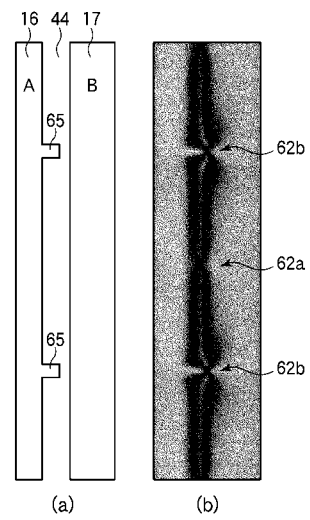
【図 2】



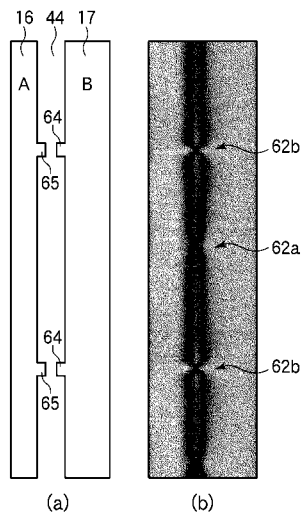
【図 3】



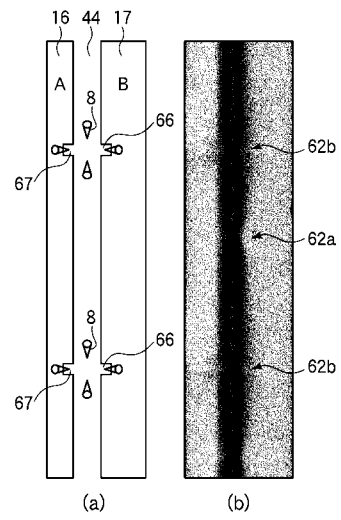
【図 4】



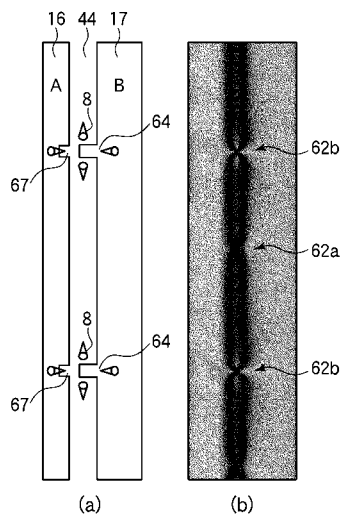
【図 5】



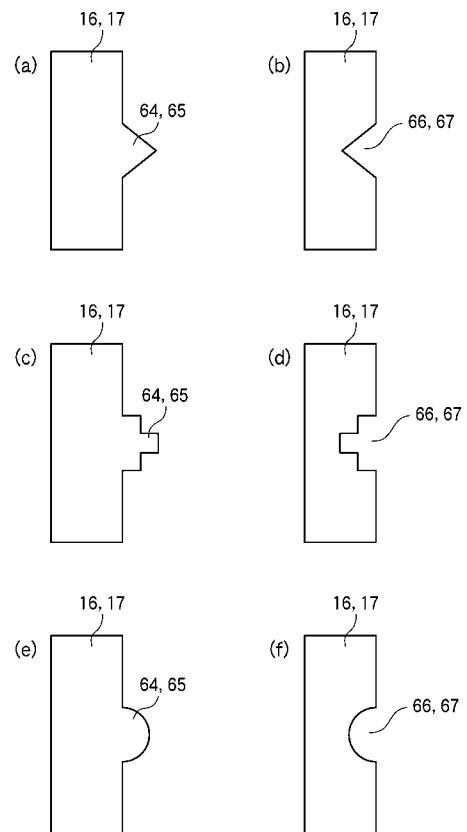
【図 6】



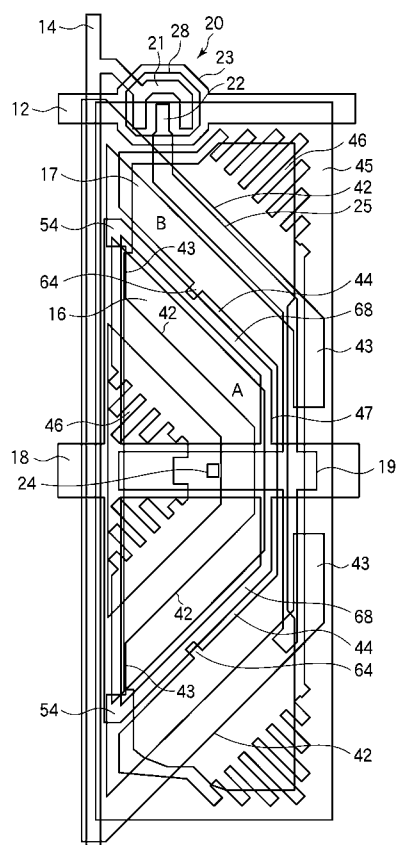
【図 7】



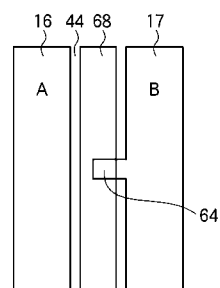
【図 8】



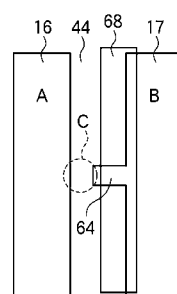
【图 9】



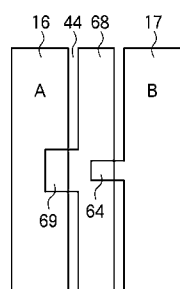
【図 10】



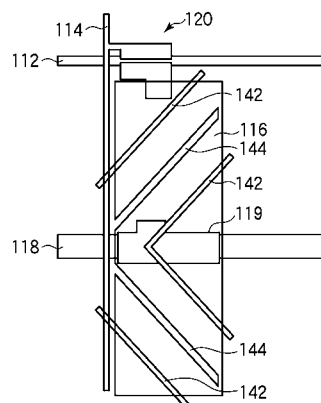
【図 1 1】



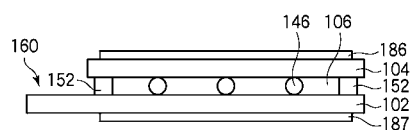
【図 1 2】



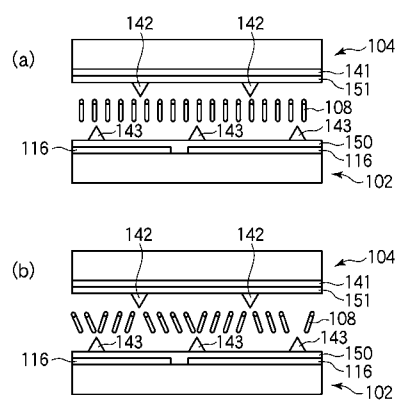
【図 14】



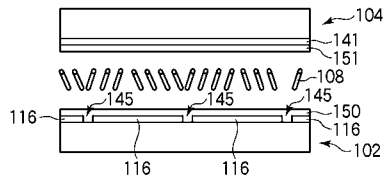
【图 13】



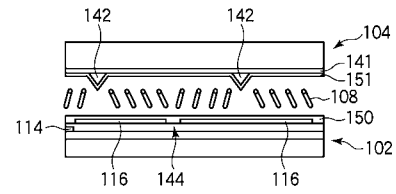
【図 15】



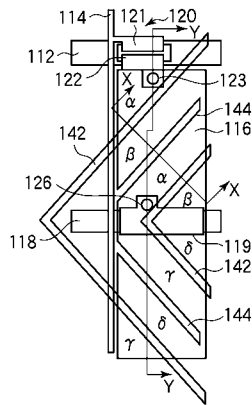
【図 16】



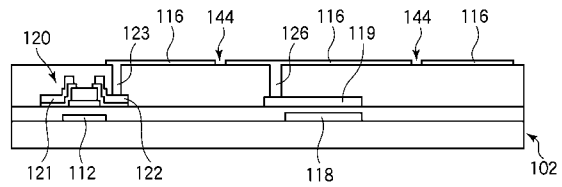
【図 18】



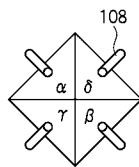
【図 17】



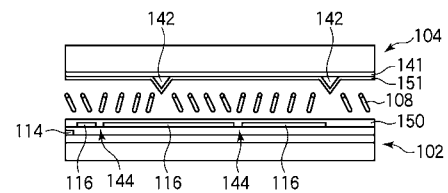
【図 19】



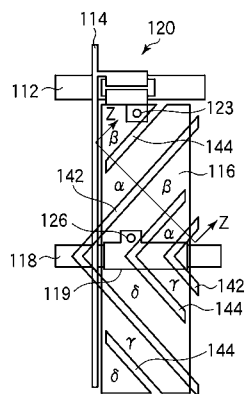
【図 20】



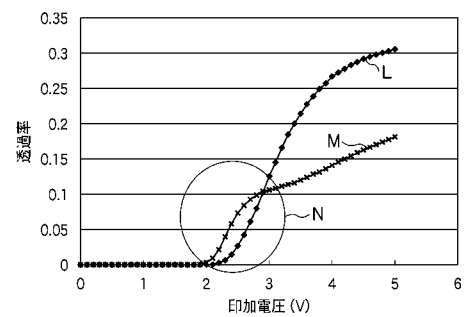
【図 22】



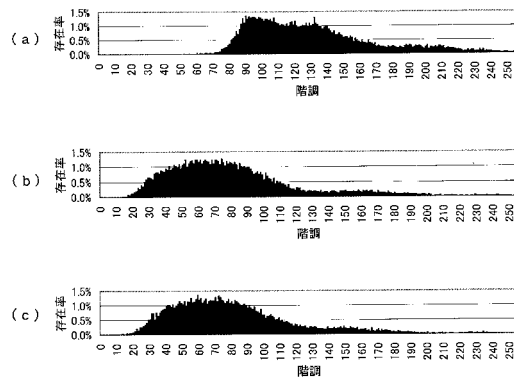
【図 21】



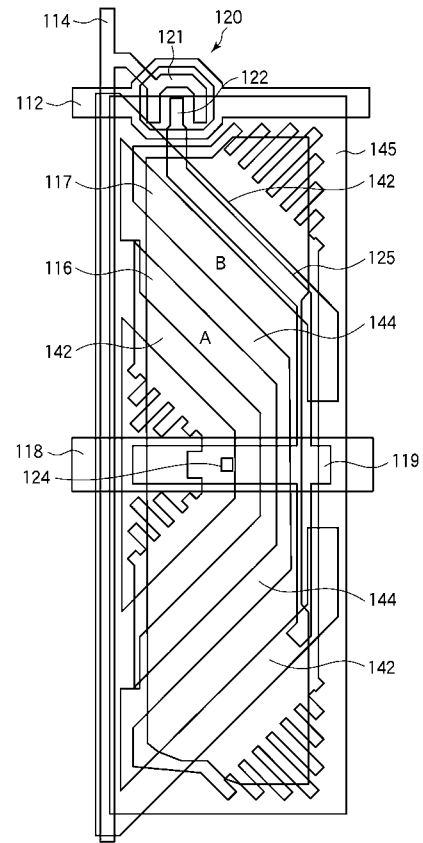
【図 23】



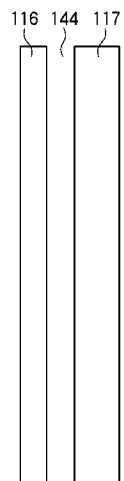
【図 25】



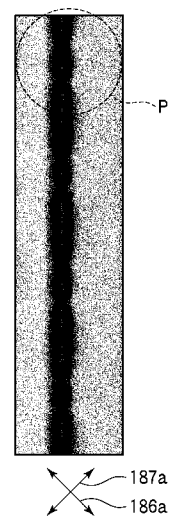
【図 26】



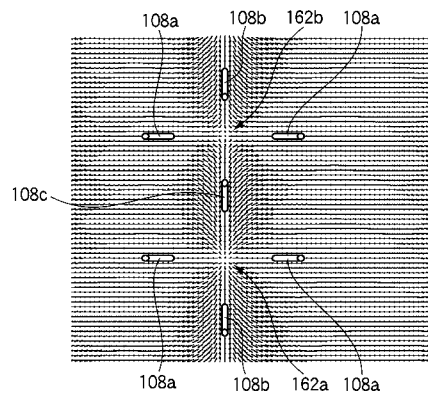
【図 27】



【図 28】



【図 29】

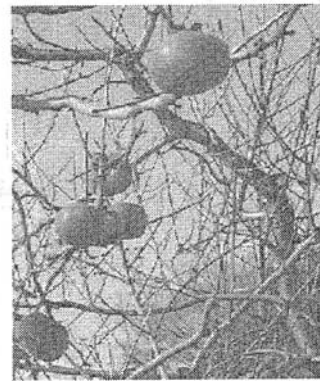


【図 24】

(a)



(b)



フロントページの続き

- (72)発明者 鎌田 豪
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 田坂 泰俊
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 津田 英昭
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 佐々木 貴啓
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 仲西 洋平
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 上田 一也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 柴崎 正和
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 鈴木 俊光

- (56)参考文献 特開2004-213011 (JP, A)
特開2001-249340 (JP, A)
特開2004-240419 (JP, A)
特開2002-014350 (JP, A)
特開2003-207798 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3 7

专利名称(译)	液晶表示装置		
公开(公告)号	JP4738000B2	公开(公告)日	2011-08-03
申请号	JP2005011508	申请日	2005-01-19
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	笹林貴 吉田秀史 鎌田豪 田坂泰俊 津田英昭 佐々木貴啓 仲西洋平 上田一也 柴崎正和		
发明人	笹林 貴 吉田 秀史 鎌田 豪 田坂 泰俊 津田 英昭 佐々木 貴啓 仲西 洋平 上田 一也 柴崎 正和		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/133707 G02F1/136209 G02F1/136213 G02F1/1393 G02F2201/123		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB31 2H092/JB51 2H092/NA25 2H092/PA01 2H092/PA02 2H092/PA06 2H092/PA11 2H092/PA13 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA43 2H192/EA03 2H192/EA22 2H192/EA43 2H192/GD14 2H192/JA13		
代理人(译)	盛冈正树		
审查员(译)	铃木俊光		
其他公开文献	JP2006201353A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于电子设备的显示部分等并具有高亮度和良好显示质量的液晶显示装置。 解决方案：液晶显示装置包括彼此面对的一对基板，密封在一对基板之间的垂直排列的液晶，具有形成在其中一个基板上的像素电极16的子像素A，在像素电极16和17之间形成的狭缝44，在狭缝44侧的像素电极16和17之间形成的狭缝44，以及在其上形成有像素电极17的子像素B，并且，奇点控制单元具有形成在其一部分上的凸起部分64并控制液晶的奇点。 .The

