

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4702355号
(P4702355)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月18日(2011.3.18)

(51) Int. Cl. F 1
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1337 (2006.01) GO2F 1/1337

請求項の数 1 (全 15 頁)

(21) 出願番号	特願2007-315746 (P2007-315746)	(73) 特許権者	000002185
(22) 出願日	平成19年12月6日 (2007.12.6)		ソニー株式会社
(65) 公開番号	特開2009-139629 (P2009-139629A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年6月25日 (2009.6.25)	(74) 代理人	100098785
審査請求日	平成21年2月19日 (2009.2.19)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(72) 発明者	上田 一也
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	鎌田 豪
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

互いに交差して延在する信号線対と、各信号線対に対応して設けられると共に液晶素子および容量素子を有するサブ画素を複数含むように構成された画素とを備えた液晶表示装置の製造方法であって、

前記液晶素子に対して映像信号に基づく電圧を印加することにより表示駆動を行う駆動素子を前記サブ画素ごとに形成し、一の前記画素における全ての駆動素子を一の前記信号線対に共通に接続する工程と、

前記液晶素子および容量素子を、前記液晶素子の容量と前記容量素子の容量との比が前記複数のサブ画素間において互いに異なるようにすると共に、前記駆動素子にコモン接続するように形成する工程と、

前記画素における全ての前記容量素子の、前記駆動素子と反対側の端部と接続するように、共通の容量線を形成する工程と、

を含み、

前記液晶素子を形成する際には、互いの対向面に配向膜が各々形成された一对の電極基板間に、重合性を有するモノマーと液晶分子とを含む液晶層を封止したのち、前記液晶素子の容量と前記容量素子の容量との比の違いを利用して前記サブ画素ごとに異なる電圧を前記一对の電極基板の間に印加した状態で前記画素における全てのモノマーを一括して重合させる

液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶素子を有する複数の画素を備えた液晶表示装置およびその製造方法に関する。

【背景技術】

【0002】

近年、液晶テレビやノート型パソコン、カーナビゲーション等の表示モニタとして、例えば、垂直配向型液晶を用いたVA (Vertical Alignment) モードを採用した液晶表示装置が提案されている。このVAモードでは、液晶分子が負の誘電率異方性、すなわち分子の長軸方向の誘電率が短軸方向に比べて小さい性質を有しており、TN (Twisted Nematic) モードに比べて広い視野角を実現できる。

10

【0003】

ところが、VAモードの液晶を用いた液晶表示装置では、表示画面を正面方向から見た場合と斜め方向から見た場合とで、輝度に変位してしまうという問題がある。図11は、VAモードの液晶を用いた液晶表示装置における、映像信号の階調(0~255階調)と輝度比(255階調での輝度に対する輝度比)との関係を表したものである。図中の矢印P101で示したように、正面方向から見た場合の輝度特性(曲線Ys(0°)で表したものと)、45度方向から見た場合の輝度特性(曲線Ys(45°)で表したものと)では、大きな差がみられ、45度方向から見た場合には正面方向から見た場合よりも輝度が高くなる方向に変位していることがわかる。このような現象は、「しらっちゃけ」や「Wash out」、「Color Shift」などと呼ばれ、VAモードの液晶を用いた場合の液晶表示装置における最大の欠点とされている。

20

【0004】

そこで、このような「しらっちゃけ」現象の改善策として、単位画素を複数のサブ画素に分離すると共に、各々のサブ画素でのしきい値を変えるようにしたもの(いわゆるマルチ画素構造)が提案されている。マルチ画素構造としてはいくつかのタイプのものが提案されており、例えば特許文献1~3では、容量結合によるHT(ハーフトーン・グレスケール)法と呼ばれる手法を採用したマルチ画素構造が開示されている。これら特許文献1~3に示されたマルチ画素構造では、複数のサブ画素間の電位差が容量の比率で定まるようになっている。具体的には、図12に表した回路構造を有し、一組のデータ線Dとゲート線Gとの交差する領域にサブ画素120Aおよびサブ画素120Bからなる画素120が設けられた構成となっている。このマルチ画素構造では、各サブ画素120A, 120Bが、それぞれ液晶素子122A, 122Bと補助容量素子123A, 123Bとを有しており、サブ画素120A, 120Bに共通に設けられた薄膜トランジスタ(TFT: Thin Film Transistor)素子121のソースと接続されている。液晶素子122A, 122Bおよび補助容量素子123A, 123Bは、TFT素子121に対し、並列接続されている。但し、TFT素子121とサブ画素120Bとの間には結合容量Ccが直列に設けられている。データ線DはTFT素子121のドレインと接続され、ゲート線GはTFT素子121のゲートと接続されている。さらに、補助容量素子123A, 123Bの他端は、共通の補助容量線CLと接続されている。このような回路構成のマルチ画素構造では、結合容量Ccの大きさによってサブ画素120Aとサブ画素120Bとの電位差が決まり、その結果、ある階調でのサブ画素120Aとサブ画素120Bとの輝度比が定まることとなる。

30

40

【特許文献1】特開平2-12号公報

【特許文献2】米国特許第4,840,460号明細書

【特許文献3】特許第号3076938号明細書

【0005】

また、上記とは異なるマルチ画素構造の例が特許文献4に開示されている。ここでは、液晶分子のプレチルト角が複数のサブ画素間において異なるようにしている。そうするこ

50

とで、各々のサブ画素におけるしきい値を変えることが可能となる。

【特許文献4】特開2003-255305号公報

【0006】

図13は、マルチ画素構造における映像信号の階調と各サブ画素の表示態様との関係の一例を表したものである。0階調（黒表示状態）から255階調（白表示状態）まで階調が上がる（輝度が高くなる）過程において、まず、画素のうち的一部分（一方のサブ画素）の輝度が高くなっていき、その後、画素のうち他の部分（他方のサブ画素）の輝度が高くなっていくことが分かる。このようなマルチ画素構造によれば、例えば図11中の矢印P102で示したように、マルチ画素構造における45°方向での輝度特性を表す曲線 $Y_m(45^\circ)$ が通常の画素構造における45°方向での輝度特性を表す曲線 $Y_s(45^\circ)$ よりも曲線 $Y_s(0^\circ)$ に近づいており、「しらっちゃけ」現象が改善されていることがわかる。

10

【0007】

なお、このようなマルチ画素構造とは別に、図14に示したような通常の画素構造において、表示駆動の単位フレームを複数（例えば、2つ）のサブフレームに時間的に分割すると共に、所望の輝度を高輝度のサブフレームと低輝度のサブフレームとを用いて分割して表現することによっても、マルチ画素構造の場合と同様にハーフトーンの効果を得ることにより、「しらっちゃけ」現象が改善されることがわかっている。

【発明の開示】

【発明が解決しようとする課題】

20

【0008】

ところが、容量結合によるHT法を採用したマルチ画素構造では、例えば図12に示したように、サブ画素122Bが結合容量 C_c を介してデータ線Dと接続されていることから、その結合容量 C_c の分だけ駆動電圧が低下し、サブ画素122Bの透過率が低下することとなる。したがって、表示画面全体としても暗くなってしまう。また、液晶表示素子の液晶層が電極に直接接続されていない（フローティング状態である）ため、焼き付きが生じやすいといった不具合も懸念される。

【0009】

また、特許文献4では、サブ画素間で液晶分子のプレチルト角が異なるマルチ画素構造を製造するにあたり、液晶分子と共に紫外線（UV）硬化性のモノマーを液晶層に封入したのち、サブ画素ごとに異なる大きさの電圧を印加しつつフォトマスクを用いて複数回、選択的にUVを照射するようにしている。しかしながら、そのような製造方法では、フォトマスクとUVを照射すべきサブ画素との位置合わせが困難であり、サブ画素ごとの所定のプレチルト角が得られにくい。また、サブ画素間の境界が不明瞭になり、所望の光学特性が得られ難い。

30

【0010】

さらに、図14に示した画素構造において時間的に分割してハーフトーンの効果を得る方法では、実効解像度が低下する（2つの画素で1つの単位フレームとする場合には半分となる）か、または1画素で時間的に分割して表示する場合にはフリッカ回避のため駆動周波数を少なくとも2倍とする必要があり、消費電力が増大すると共にTF Tの書込み能力が低下し表示むらが生じやすいという問題がある。

40

【0011】

本発明はかかる問題点に鑑みてなされたもので、その目的は、簡素な構成でありながら、例えばVAモードの液晶を用いた場合であっても輝度の視野角特性向上を実現可能な液晶表示装置を、より簡便かつ高精度に製造することのできる液晶表示装置の製造方法を提供することにある。

【課題を解決するための手段】

【0015】

本発明の液晶表示装置では、液晶素子に含まれる液晶分子が複数のサブ画素間において互いに異なるプレチルト角を有しているので、任意の階調においてサブ画素ごとに輝度が

50

異なることとなる。ここで、各サブ画素は各々に対応して設けられた駆動素子を介して共通の信号線対とそれぞれ接続されているうえ、各サブ画素における容量素子が共通の容量線と接続されていることから、より簡素化された構成となっている。その一方で、各サブ画素に対応して複数の駆動素子が個別に設けられている。さらに、液晶素子の容量と容量素子の容量との比（容量比）が複数のサブ画素間において互いに異なっている。こうした構成により、製造時において各サブ画素に対し駆動素子を閉じた状態で容量線を介して電位を印加すると、その電位はサブ画素ごとに異なることとなり、その結果、簡単かつ正確にプレチルト角の差が設定される。

【0018】

本発明の液晶表示装置の製造方法は、互いに交差して延在する信号線対と、各信号線対に対応して設けられると共に液晶素子および容量素子を有するサブ画素を複数含むように構成された画素とを備えた液晶表示装置の製造方法であって、以下の(a)~(c)の各工程を全て含むものである。

(a) 液晶素子に対して映像信号に基づく電圧を印加することにより表示駆動を行う駆動素子をサブ画素ごとに形成し、一の画素における全ての駆動素子を一の信号線対に共通に接続する工程。

(b) 液晶素子および容量素子を、液晶素子の容量と容量素子の容量との比（容量比）が複数のサブ画素間において互いに異なるようにすると共に、駆動素子にコモン接続するように形成する工程。

(c) 画素における全ての容量素子の、駆動素子と反対側の端部と接続するように、共通の容量線を形成する工程。

ここで液晶素子を形成する際には、互いの対向面に配向膜が各々形成された一对の電極基板間に、重合性を有するモノマーと液晶分子とを含む液晶層を封止したのち、液晶素子の容量と容量素子の容量との比（容量比）の違いを利用してサブ画素ごとに異なる電圧を一对の電極基板の間に印加した状態で画素における全てのモノマーを一括して重合させるようにする。なお、上記(a)~(c)の各工程を一括して処理するようにしてもよいし、個別に行うようにしてもよい。また、個別に処理する場合には、上記(a)~(c)の各工程を処理する順序は任意に選択可能である。

【0019】

本発明の液晶表示装置の製造方法では、全てのサブ画素に共通の容量線を用い、サブ画素間で異なる容量比を利用してサブ画素ごとに異なる電圧を一对の電極基板の間に印加することで、液晶分子が電極基板の法線に対してサブ画素ごとに異なる角度で傾斜することとなる。その状態を維持しつつ液晶層中のモノマーを重合させると、電極基板における液晶層と接する側の表面と固着したポリマー構造となる。このポリマー構造は液晶分子の傾斜した状態を保持する作用をもたらす。この結果、非駆動状態において、サブ画素ごとに異なるプレチルト角を液晶分子が有することとなる。

【発明の効果】

【0024】

本発明の液晶表示装置の製造方法によれば、容量比を利用しつつ全てのサブ画素に共通の容量線を通じてサブ画素ごとに異なる電圧を一对の電極基板の間に印加し、各サブ画素の液晶層に含まれる各々の液晶分子を所定の角度で傾斜させた状態で液晶層中のモノマーを（時間的に分割することなく）一括して重合させるようにしたので、フォトマスクなどを用いてサブ画素ごとに（時間的に分割して）選択的に重合させる場合よりも簡単かつ正確に各々のサブ画素におけるプレチルト角を設定することができる。その際、信号線対を利用する必要はない。その結果、優れた輝度の視野角特性を発揮するマルチ画素構造を有し、かつ簡素な構成の液晶表示装置を比較的容易に実現することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【 0 0 2 6 】

[第 1 の実施の形態]

図 1 は、本発明における第 1 の実施の形態としての液晶表示装置（液晶表示装置 1）の全体構成を表すものである。この液晶表示装置 1 は、液晶表示パネル 2、バックライト部 3、画像処理部 4、リファレンス電圧生成部 5、データドライバ 6、ゲートドライバ 7、タイミング制御部 8、バックライト駆動部 9 を備えている。

【 0 0 2 7 】

バックライト部 3 は、液晶表示パネル 2 に対して光を照射する光源であり、例えば C C F L（Cold Cathode Fluorescent Lamp：冷陰極蛍光ランプ）や L E D（Light Emitting Diode：発光ダイオード）などを含んで構成される。

10

【 0 0 2 8 】

液晶表示パネル 2 は、後述するゲートドライバ 5 2 から供給される駆動信号に従って、データドライバ 6 から供給される駆動電圧に基づいてバックライト部 3 から発せられる光を変調することにより、映像信号 D in に基づく映像表示を行うものである。液晶表示パネル 2 は、互いに交差して延在し、全体としてマトリクス状をなす複数の信号線対（ゲート線 G およびデータ線 D）と、それらゲート線 G およびデータ線 D に沿って配置された複数の画素 1 0 とを含んで構成されている。ゲート線 G は、駆動対象の画素 1 0 を線順次で選択するための電気配線であり、データ線 D は、駆動対象の画素 1 0 に対してデータドライバ 6 からの駆動電圧を供給する電気配線である。各画素 1 0 は、R（Red：赤）、G（Green：緑）または B（Blue：青）に対応する画素（図示しない R、G、B 用のカラーフィルタが設けられている画素であり、R、G、B の色の表示光を射出する画素）により構成されている。また、各画素 1 0 内には、2 つのサブ画素（後述するサブ画素 1 0 A、1 0 B）を含む画素回路が形成されている。なお、この画素回路の詳細構成については後述する（図 2、図 3）。

20

【 0 0 2 9 】

画像処理部 4 は、外部からの映像信号 D in に対して所定の画像処理を施すことにより、R G B 信号である映像信号 D 1 を生成するものである。

【 0 0 3 0 】

リファレンス電圧生成部 5 は、データドライバ 6 に対し、後述する D / A（デジタル / アナログ）変換を施す際に用いるリファレンス電圧 V ref を供給するものである。具体的には、このリファレンス電圧 V ref は、黒電圧（後述する 0 階調の輝度レベルの電圧）から白電圧（例えば、後述する 2 5 5 階調の輝度レベルの電圧）までの複数の基準電圧により構成されている。また、本実施の形態では、このリファレンス電圧 V ref は、R、G、B に対応する画素間で共通のものとなっている。なお、このリファレンス電圧生成部 5 は、例えば複数の抵抗器が直列接続された抵抗ツリー構造などにより構成される。

30

【 0 0 3 1 】

ゲートドライバ 7 は、タイミング制御部 8 によるタイミング制御に従って、液晶表示パネル 2 内の各画素 1 0 を図示しない走査線（ゲート線 G）に沿って線順次駆動するものである。

【 0 0 3 2 】

データドライバ 6 は、液晶表示パネル 2 の各画素 1 0（より詳細には、各画素 1 0 内の各サブ画素 1 0 A、1 0 B）へそれぞれ、画像処理部 4 からタイミング制御部 8 を経由して供給される映像信号 D 1 に基づく駆動電圧を供給するものである。具体的には、このデータドライバ 6 は、映像信号 D 1 に対し、リファレンス電圧生成部 5 から供給されるリファレンス電圧 V ref を用いて D / A 変換を施すことにより、アナログ信号である映像信号（上記駆動電圧）を生成し、各画素 1 0 へ出力するようになっている。

40

【 0 0 3 3 】

バックライト駆動部 9 は、バックライト部 3 の点灯動作を制御するものである。タイミング制御部 8 は、ゲートドライバ 7 およびデータドライバ 6 の駆動タイミングを制御すると共に、映像信号 D 1 をデータドライバ 6 へ供給するものである。

50

【 0 0 3 4 】

次に、図 2 および図 3 を参照して、各画素 1 0 に形成された画素回路の構成について詳細に説明する。図 2 は、この画素 1 0 内の画素回路の回路構成例を表したものである。また、図 3 は、この画素回路内の液晶素子における画素電極の平面構成例を表したものである。

【 0 0 3 5 】

画素 1 0 は、2 つのサブ画素 1 0 A , 1 0 B により構成され、マルチ画素構造となっている。サブ画素 1 0 A は、主容量素子である液晶素子 1 2 A と、補助容量素子 1 3 A とを有しており、サブ画素 1 0 B も同様に、主容量素子である液晶素子 1 2 B と、補助容量素子 1 3 B とを有している。各サブ画素 1 0 A , 1 0 B に対応して、薄膜トランジスタ (T F T : Thin Film Transistor) 素子 1 1 A , 1 1 B が設けられている。T F T 素子 1 1 A に対しては液晶素子 1 2 A および補助容量素子 1 3 A が並列に接続されており、T F T 素子 1 1 B に対しては液晶素子 1 2 B および補助容量素子 1 3 B が並列に接続されている。

10

【 0 0 3 6 】

また、各画素 1 0 には、一組のゲート線 G およびデータ線 D と、補助容量素子 1 3 A , 1 3 B の対向電極側に対して所定の基準電位を供給するためのバスラインである 2 本の補助容量線 C L 1 , C L 2 とが接続されている。T F T 素子 1 1 A , 1 1 B は、共通のゲート線 G およびデータ線 D と接続されている。

【 0 0 3 7 】

液晶素子 1 2 A , 1 2 B は、データ線 D から T F T 素子 1 1 A , 1 1 B を介して一端に供給される駆動電圧に応じて、表示のための動作を行う (表示光を射出する) 表示要素として機能している。これら液晶素子 1 2 A , 1 2 B は、V A モードの液晶材料により構成された液晶層 4 0 (後出) と、この液晶層 4 0 を挟む一対の電極 (後出の画素電極 2 0 および対向電極 3 0) とを含んで構成されている。また、液晶素子 1 2 A の容量 (液晶容量 C l c 1) と液晶素子 1 2 B の容量 (液晶容量 C l c 2) とは互いに等しいことが望ましい。画素電極 2 0 (図 2 中の符号 P 1 A , P 1 B 側の電極) は、T F T 素子 1 1 A , 1 1 B のソースおよび補助容量素子 1 3 A , 1 3 B の一端に接続され、対向電極 3 0 (図 2 中の符号 P 1 A , P 1 B と反対側の電極) は接地されている。また、画素電極 2 0 は、例えば図 3 に示したような平面形状を有しており、サブ画素 1 0 A に対応した画素電極 2 0 A と、サブ画素 1 0 B (1 0 B 1 , 1 0 B 2) に対応した画素電極 2 0 B とから構成されている。

20

30

【 0 0 3 8 】

補助容量素子 1 3 A , 1 3 B は、液晶素子 1 2 A , 1 2 B の蓄積電荷を安定化させるための容量素子であり、それぞれ補助容量 C s 1 , C s 2 を有している。補助容量 C s 1 と補助容量 C s 2 との比率は、サブ画素 1 0 A とサブ画素 1 0 B との面積比率と等しいことが望ましい。サブ画素 1 0 A とサブ画素 1 0 B との間でのフィードスルー電圧の差をできるだけ小さくし、サブ画素 1 0 A , 1 0 B 間における対向電圧 (画素電極 2 0 と対向電極 3 0 との間の電位差) の最適値の不一致を回避するためである。補助容量素子 1 3 A の一端 (一方の電極) は、液晶素子 1 2 A の一端および T F T 素子 1 1 A のソースに接続され、他端 (対向電極) は補助容量線 C L 1 に接続されている。また、補助容量素子 1 3 B の一端 (一方の電極) は、液晶素子 1 2 B の一端および T F T 素子 1 1 B のソースに接続され、他端 (対向電極) は補助容量線 C L 2 に接続されている。

40

【 0 0 3 9 】

T F T 素子 1 1 A は、例えば M O S - F E T (Metal Oxide Semiconductor - Field Effect Transistor) により構成されており、ゲートがゲート線 G に接続され、ソースが液晶素子 1 2 A の一端および補助容量素子 1 3 A の一端に接続され、ドレインがデータ線 D に接続されている。この T F T 素子 1 1 A は、液晶素子 1 2 A の一端および補助容量素子 1 3 A の一端に対し、映像信号 D 1 に基づく駆動電圧を供給するためのスイッチング素子として機能している。具体的には、ゲートドライバ 7 からゲート線 G を介して供給される選択信号に応じて、データ線 D と液晶素子 1 2 A および補助容量素子 1 3 A の一端同士との

50

間を選択的に導通させるようになっている。

【0040】

TFT素子11Bも同様に例えばMOS-FETにより構成されており、ゲートがゲート線Gに接続され、ソースが液晶素子12Bの一端および補助容量素子13Bの一端に接続され、ドレインがデータ線Dに接続されている。このTFT素子11Bは、液晶素子12Bの一端および補助容量素子13Bの一端に対し、映像信号D1に基づく駆動電圧を供給するためのスイッチング素子として機能している。具体的には、ゲートドライバ7からゲート線Gを介して供給される選択信号に応じて、データ線Dと液晶素子12Bおよび補助容量素子13Bの一端同士との間を選択的に導通させるようになっている。

【0041】

次に、図4を参照して、液晶素子12A, 12Bの詳細な構造について説明する。図4は、図3に示したIV-IV線に沿った矢視方向の、液晶素子12A, 12Bを含む液晶表示装置1の要部断面図である。

【0042】

液晶表示装置1は、TFT基板22とCF(Color Filter; カラーフィルタ)基板32との間に、配向膜23, 33を介して液晶層40が設けられたものである。液晶層40には液晶分子40Aが複数含まれており、それらはサブ画素10Aに対応する領域とサブ画素20Aに対応する領域とで互いに異なるプレチルト角を有している。なお、プレチルト角とは、図5に示したように、基板面に垂直な方向をZとした場合、Z方向に対する液晶分子40Aの長軸方向Dの傾斜角度のことをいうものとする。また、液晶表示装置1は、基板間に複数の画素が形成されたものであるが、後出の図6, 図8, 図9では、煩雑さを避けるため一画素分についてのみ示すものとし、図4, 図6, 図8, 図9では、TFT基板22およびCF基板32の具体的な構成については省略する。

【0043】

TFT基板22は、ガラス基板21の上に、例えば、マトリクス状に複数の画素電極20が配置されたものである。さらに、複数の画素電極20をそれぞれ駆動するTFT素子11A, 11B(図4では省略)や、これらTFT素子11A, 11Bに接続されるゲート線およびソース線等(図4では省略)が設けられて構成されている。画素電極20は、ガラス基板21上でサブ画素10A, 10Bごとに設けられ、例えばITO(インジウム錫酸化物)等の透明性を有する導電材料により構成されている。画素電極20には、各サブ画素内で、例えば、ストライプ状やV字状のパターンを有するスリット部24(電極の形成されない部分)が設けられている。

【0044】

CF基板32は、ガラス基板31上に、例えば、赤(R)、緑(G)、青(B)のフィルタがストライプ状に設けられたカラーフィルタ(図示せず)と、有効表示領域のほぼ全面に亘って対向電極30とが配置されたものである。対向電極30は、例えばITO(インジウム錫酸化物)等の透明性を有する導電材料により構成されている。なお、各サブ画素内には、上記画素電極20と同様のパターン形状をなすスリット部34が設けられている。この場合、画素電極20および対向電極30のスリット部24, 34は、積層方向(基板面に垂直な方向)において対向しないように配置される。これにより、駆動電圧が印加されると、液晶分子40Aの長軸に対して斜めに電界がかかることで、電圧に対する応答速度が向上すると共に、画素内に配向方向の異なる領域が形成(配向分割)されるため、視野角特性が向上する。

【0045】

液晶層40は、垂直配向型の液晶材料により構成され、例えば、負の誘電率異方性を有する液晶分子40Aと、この液晶分子40Aを配向膜23, 33との界面近傍で保持するポリマー構造40Bとを含んでいる。液晶分子40Aは、その長軸方向の誘電率が短軸方向よりも大きいという性質を有している。この性質により、駆動電圧がオフのときは、液晶分子40Aの長軸が基板に対して垂直になるように配列し、駆動電圧がオンになると、液晶分子40Aの長軸が基板に対して平行になるように傾いて配向する。ポリマー構造4

10

20

30

40

50

0 Bは、例えば、エトキシ化ビフェノールジアクリレート（具体的には、新中村化学製NKエステルA - B P - 2 E（商品名））などのモノマーを重合した高分子材料により構成されている。

【0046】

サブ画素10Aでは、ポリマー構造40Bにより保持された液晶分子40Aが、サブ画素10Bにおいてポリマー構造40Bにより保持された液晶分子40Aよりも大きなプレチルト角を有している。サブ画素10Aにおける液晶分子40Aのプレチルト角 θ_1 は、例えば 10° であることが好ましい。これにより、低階調時の電圧に対する応答速度をより効果的に向上させることができる。

【0047】

一方、サブ画素10Bの液晶分子40Aは、そのプレチルト角 θ_2 が 0° である。すなわち、液晶分子40Aの長軸方向が基板面に対して垂直に配向した状態となっている。あるいは、サブ画素10Bにおける液晶分子40Aのプレチルト角 θ_2 が 0° よりも大きい状態であっても、図6に示したように、サブ画素10Aにおける液晶分子40Aのプレチルト角 θ_1 よりも小さい状態（ $\theta_1 > \theta_2$ ）であればよい。

【0048】

配向膜23, 33は、例えば、ポリイミド等の有機材料により構成されており、液晶分子40Aを基板面に対して垂直方向に配向させる垂直配向膜である。配向膜23, 33には、ラビング等の配向方向を規制する処理が施されていてもよい。

【0049】

次に、このような構成からなる本実施の形態の液晶表示装置1の動作について、図1～図4を参照して詳細に説明する。

【0050】

この液晶表示装置1では、図1に示したように、外部から供給された映像信号Dinが画像処理部4により画像処理され、各画素10用の映像信号D1が生成される。この映像信号D1は、タイミング制御部8を介してデータドライバ6へ供給される。データドライバ6では、リファレンス電圧生成部5から供給されるリファレンス電圧Vrefを用いて映像信号D1に対するD/A変換が施され、アナログ信号の映像信号が生成される。そしてこれらのアナログ映像信号に基づき、ゲートドライバ7およびデータドライバ6から出力される各画素10内のサブ画素10A, 10Bへの駆動電圧によって、画素10ごとに線順次表示駆動動作がなされる。具体的には、図2および図3に示したように、ゲートドライバ7からゲート線Gを介して供給される選択信号に応じて、TFT素子11A, 11Bのオン・オフが切り替えられ、データ線Dと液晶素子12A, 12Bおよび補助容量素子13A, 13Bとの間が選択的に導通されることにより、データドライバ6から供給されるアナログ映像信号に基づく駆動電圧が液晶素子12A, 12Bおよび補助容量素子13A, 13Bへと供給され、表示駆動動作がなされる。

【0051】

すると、データ線Dと液晶素子12A, 12Bおよび補助容量素子13A, 13Bとの間が導通された画素10では、バックライト部3からの照明光が液晶表示パネル2において変調され、表示光として出力される。これにより、映像信号Dinに基づく映像表示が、液晶表示装置1において行われる。

【0052】

ここで、液晶表示装置1では、図4に示したように液晶分子40Aのプレチルト角がサブ画素10A, 10B間において互いに異なっているので、アナログ映像信号に基づき、各画素10に対する表示駆動がサブ画素10A, 10Bごとに空間的に2つに分割して行われ、任意の階調においてサブ画素10A, 10B間で輝度が異なることとなる。すなわち、各画素10の液晶素子12A, 12Bに対する表示駆動の際、表示画面を斜め方向から見た場合のガンマ特性の変動を分散することができ、輝度の視野角特性を向上させることができる。その際、各画素10におけるサブ画素10A, 10Bを、共通のデータ線Dおよびゲート線Gからの信号により一括して表示駆動するようにしたので、複数のサブ画

10

20

30

40

50

素に対し、個別のデータ線Dおよびゲート線Gからの異なる駆動電圧によって分割駆動を行うようにした場合と比べ、データ線Dおよびゲート線Gの数を削減することができ開口率が向上するうえ、余分なデータ線Dおよびゲート線Gを駆動するためのドライバの数も削減することができるのでコンパクト化に有利となる。なお、サブ画素10A, 10BごとにTFT素子11A, 11Bを個別に設けるようにしたので開口率の向上を妨げるようにも思われるが、サブ画素10A, 10Bに共通に設ける場合のTFT素子と比較するとTFT素子11A, 11Bはそれぞれ半分の寸法となるので、全体としてのTFT素子の占める面積は変わらない。

【0053】

次に、液晶表示装置1の製造方法について図7に表したフローチャートと共に図8および図9に表した断面模式図を参照して説明する。なお、図8および図9では、簡略化のため、一画素分についてのみ示す。

【0054】

まず、TFT基板22およびCF基板32を作製する(ステップS101)。具体的には、ガラス基板21上に、ゲート線G, ゲート絶縁膜, アモルファスシリコン, データ線Dおよび最終保護膜(いずれも図示せず)を順に形成することでTFT素子11A, 11Bを作製すると共に、スリット部24を有する画素電極20A, 20Bをそれぞれサブ画素10A, 10Bに対応する領域に形成しTFT素子11A, 11Bとそれぞれ接続することでTFT基板22を得る。なお、補助容量素子13A, 13Bおよび補助容量線CL1, CL2も、TFT素子11A, 11Bと同時に形成する。その一方で、ガラス基板31上にカラーフィルタ(図示せず)とスリット部34を有する対向電極30とを所定の位置に形成することでCF基板32を得る。

【0055】

TFT基板22およびCF基板32を形成したのち、図8に示したように、TFT基板22とCF基板32との間に配向膜23, 33を介して液晶層40を封止する(ステップS102)。

【0056】

具体的には、画素電極20および対向電極30のそれぞれの表面に、垂直配向剤の塗布や、垂直配向膜を基板上に印刷し焼成することにより、配向膜23, 33を形成する。その一方で、液晶層40を構成する材料として、液晶分子40Aとモノマー40Cとを混合することで液晶材料を作製する。モノマー40Cは紫外光の照射により重合(ラジカル重合)してポリマー40Bとなる性質を有するものである。この液晶材料には、さらに、光重合開始剤(ラジカル重合開始剤)などを添加するようにしてもよい。次いで、TFT基板22あるいはCF基板32のどちらか一方の、配向膜23, 33の形成されている面に対して、セルギャップを確保するためのスペーサ突起物、例えばプラスチックビーズ等を散布すると共に、例えばスクリーン印刷法によりエポキシ接着剤等を用いて、シール部を印刷する。こののち、TFT基板22とCF基板32とを、配向膜23, 33を対向させるように、スペーサ突起物およびシール部を介して貼り合わせ、上記の液晶材料を注入する。その後、加熱するなどしてシール部の硬化を行うことにより液晶材料をTFT基板22とCF基板32との間に封止する。

【0057】

次に、図9に示したように、画素電極20Aと対向電極30との間、および画素電極20Bと対向電極30との間に、一括して電圧Vcs1, Vcs2を印加することで所定の電場を液晶層40に加え、液晶分子40Aを傾けて配向させる。(ステップS103)。具体的には、TFT素子11A, 11Bを閉じ、かつ、データ線Dからの電圧を0Vとした状態で、補助容量線CL1, CL2の基準電位をそれぞれ異なる値に設定することでサブ画素10A, 10Bに対して互いに異なる電圧Vcs1, Vcs2を印加する。これにより、ガラス基板21, 31の表面に対して所定の角度をなす方向の電場が生じ、液晶分子40Aがガラス基板21, 31の法線方向から所定方向に傾いて配向することとなる。このときの液晶分子40Aは、サブ画素10Aに対応する領域と、サブ画素10Bに対応する領域とで

10

20

30

40

50

互いに異なる傾斜角を有することとなる。電圧 V_{cs1} 、 V_{cs2} の大きさを適宜調節することにより、液晶分子 40A のプレチルト角 θ_1 、 θ_2 の大きさを制御することが可能である。図9では、画素電極 20B と対向電極 30 との間に印加する電圧 V_{cs2} を 0 (零) とし、サブ画素 10B における液晶分子 40A のプレチルト角 θ_2 を 0 (零) ° とする場合を例示している。

【0058】

さらに、電圧 V_{cs1} 、 V_{cs2} を印加した状態のまま紫外光 UV を例えば TFT 基板 22 の外側から液晶層 40 に照射することによりモノマー 40C を重合させ、配向膜 23、33 の表面に固着したポリマー 40B を形成する (ステップ S104)。このように形成されたポリマー 40B は配向膜 23、33 と化学結合しており、非駆動状態において、液晶層 40 における配向膜 23、33 との界面近傍に位置する液晶分子 40A にプレチルト角 θ_1 、 θ_2 を付与する機能を有する。なお、ポリマー 40B を形成したのち、補助容量線 CL1、CL2 を結線するようにしてもよい。

【0059】

以上の工程により、図1に示した液晶表示装置1が完成する。このように、本実施の形態の液晶表示装置の製造方法によれば、サブ画素 10A、10B に対し補助容量線 CL1、CL2 を個別に形成し、それらを用いてサブ画素 10A、10B ごとに異なる電圧 V_{cs1} 、 V_{cs2} を印加し、各サブ画素 10A、10B の液晶層 40 に含まれる各々の液晶分子 40A を所定の角度で傾斜させた状態で液晶層 40 中のモノマー 40C を (時間的に分割することなく) 一括して重合させるようにしたので、フォトマスクなどを用いてサブ画素ごとに (時間的に分割して) 選択的に重合させる場合よりも簡単かつ正確にサブ画素 10A、10B ごとの所定のプレチルト角 θ_1 、 θ_2 を設定することができる。その際、データ線 D およびゲート線 G を利用しないので、サブ画素 10A、10B ごとに個別のデータ線 D およびゲート線 G を形成する必要はない。したがって、優れた輝度の視野角特性を發揮するマルチ画素構造を有し、かつ、より簡素な構成の液晶表示装置1を比較的容易に実現することができる。また、補助容量線 CL1、CL2 は、製造工程時のみ独立した電極として用い、完成後は同電位の電極として用いることで、従来の液晶表示装置と同等の駆動方式で駆動することができる。

【0060】

[第2の実施の形態]

次に、図10を参照して、本発明の第2の実施の形態について説明する。図10は、本実施の形態に係る液晶表示装置の、各画素 10 に形成された画素回路の構成例を表したものである。

【0061】

本実施の形態では、各画素 10 において、補助容量線 CL がサブ画素 10A、10B に共通に設けられている一方で、補助容量素子 13A の補助容量 C_{s1} と補助容量素子 13B の補助容量 C_{s2} との比率 C_{s1}/C_{s2} がサブ画素 10A とサブ画素 10B の面積比率と異なっている。すなわち、液晶素子 12A の容量 (液晶容量 C_{lc1}) と補助容量素子 13A の容量 (補助容量 C_{s1}) との比 C_{lc1}/C_{s1} が、液晶素子 12B の容量 (液晶容量 C_{lc2}) と補助容量素子 13B の容量 (補助容量 C_{s2}) との比 C_{lc2}/C_{s2} と異なっている。なお、本実施の形態の液晶表示装置は、上記の点を除き、第1の実施の形態における液晶表示装置1と同じ構造を有している。したがって、本実施の形態の液晶表示装置は、上記第1の実施の形態と同様に、優れた輝度の視野角特性を有し、開口率も高く、かつコンパクトなものである。特に、各画素 10 において、サブ画素 10A、10B のそれぞれに個別の補助容量線 CL1、CL2 を設けるのではなく共通の (1本の) 補助容量線 CL を設けるようにしたので、全体としての補助容量線の数を減らす (半減する) ことができ、いっそうコンパクト化に有利である。

【0062】

本実施の形態の液晶表示装置の製造方法について、図10の回路図と併せて、図7のフローチャート、および図8、図9に示した断面模式図を参照して説明する。なお、以下で

は、上記第1の実施の形態と異なる点を詳細に説明し、それ以外の点については適宜省略する。

【0063】

上記第1の実施の形態と同様にして、まず、TFT基板22およびCF基板32を作製(ステップS101)したのち、TFT基板22とCF基板32との間に配向膜23, 33を介して液晶層40を封止する(ステップS102)。続いて、図9に示したように、画素電極20Aと対向電極30との間、および画素電極20Bと対向電極30との間に、一括して電圧 V_{cs1} , V_{cs2} を印加することで所定の電場を液晶層40に加え、液晶分子40Aを傾けて配向させる。(ステップS103)。具体的には、TFT素子11A, 11Bを閉じ、かつ、データ線Dからの電圧を0Vとした状態で、補助容量線CLを利用してサブ画素10A, 10Bに対して互いに異なる電圧 V_{cs1} , V_{cs2} を印加する。この際、本実施の形態では、補助容量線CLの基準電位を0(零)以外の任意の値に設定することで、補助容量素子13Aの補助容量 C_{s1} と補助容量素子13Bの補助容量 C_{s2} との比に応じた電圧 V_{cs1} , V_{cs2} をサブ画素10A, 10Bに対してそれぞれ印加することができる。これにより、ガラス基板21, 31の表面に対して所定の角度をなす方向の直流電場が生じ、液晶分子40Aがガラス基板21, 31の法線方向から所定方向に傾いて配向することとなる。よって、補助容量 C_{s1} と補助容量 C_{s2} との比を適宜選択し、電圧 V_{cs1} , V_{cs2} の大きさを調節することにより、液晶分子40Aのプレチルト角1, 2の大きさを制御することが可能である。さらに、電圧 V_{cs1} , V_{cs2} を印加した状態のまま紫外光UVを照射することによりモノマー40Cを重合させ、配向膜23, 33の表面に固着したポリマー40Bを形成する(ステップS104)。以上の工程により、本実施の形態の液晶表示装置が完成する。

【0064】

このような本実施の形態の液晶表示装置の製造方法によっても、上記第1の実施の形態と同様の効果を得ることが可能である。但し、本実施の形態では、サブ画素10Aとサブ画素10Bとの間でのフィードスルー電圧の差をできるだけ小さくしてサブ画素間における対向電圧(画素電極20と対向電極30との間の電位差)の最適値の不一致を回避するには、TFT素子11Aのゲートとサブ画素10Aとの間の寄生容量 C_{gs} (図示せず)を、TFT素子11Bのゲートとサブ画素10Bとの間の寄生容量 C_{gs} (図示せず)と異ならせる必要がある。その観点からみれば、上記第1の実施の形態の液晶表示装置のほうが製造容易な構成である。

【0065】

以上、いくつかの実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、1つの画素を2つのサブ画素で構成する場合について説明したが、本発明はこれに限定されるものではなく、3以上のサブ画素で構成するようにしてもよい。

【0066】

また、上記実施の形態では、重合性のモノマーを液晶層中に含有させたのち、重合させてポリマー構造を形成するようにしたが、これに限らず、例えば配向膜中に含有させた重合性のモノマーを重合することでポリマー構造を形成するようにしてもよい。

【0067】

また、上記実施の形態では、VAモードの液晶素子を用いた場合について説明したが、本発明はこれに限定されるものではない。例えばTNモードの液晶素子を用いた場合にも適用可能である。

【図面の簡単な説明】

【0068】

【図1】本発明の第1の実施の形態に係る液晶表示装置の全体構成を表すブロック図である。

【図2】図1に示した画素の詳細構成を表す回路図である。

【図3】図2に示した液晶素子における画素電極の構成を表す平面図である。

10

20

30

40

50

- 【図4】 図1に示した液晶表示装置の断面模式図である。
- 【図5】 液晶分子のプレチルト角を説明するための模式図である。
- 【図6】 本発明の一実施の形態における他の構成例の断面模式図である。
- 【図7】 図1に示した液晶表示装置の製造方法を説明するためのフローチャートである。
- 【図8】 図1の液晶表示装置の製造方法を説明するための断面模式図である。
- 【図9】 図8に続く工程を説明するための断面模式図である。
- 【図10】 本発明の第2の実施の形態に係る液晶表示装置における画素の詳細構成を表す回路図である。
- 【図11】 従来の液晶表示装置における映像信号の階調と液晶表示パネルの正面方向および45°方向での輝度比との関係の一例を表す特性図である。
- 【図12】 従来の液晶表示装置における画素の構成を表す回路図である。
- 【図13】 従来のマルチ画素構造における映像信号の階調と各サブ画素の表示態様との関係の一例を表す平面図である。
- 【図14】 従来の他の液晶表示装置における画素の構成を表す回路図である。

10

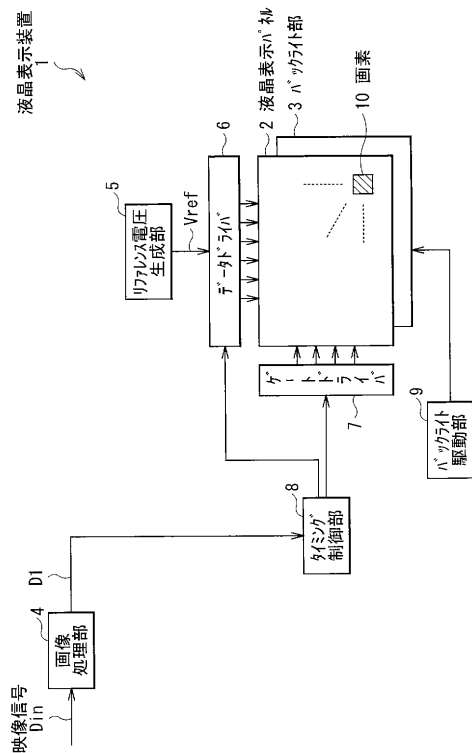
【符号の説明】

【0069】

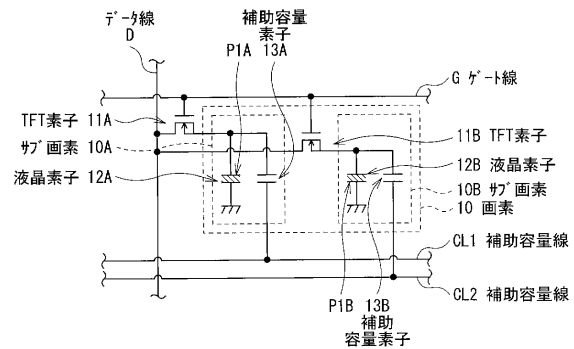
1 ... 液晶表示装置、 2 ... 液晶表示パネル、 3 ... バックライト部、 4 ... 画像処理部、 5 ... リファレンス電圧生成部、 6 ... データドライバ、 7 ... ゲートドライバ、 8 ... タイミング制御部、 9 ... バックライト駆動部、 10 ... 画素、 10A, 10B ... サブ画素、 11A, 11B ... TFT素子、 12A, 12B ... 液晶素子、 13A, 13B ... 補助容量素子、 20 (20A, 20B) ... 画素電極、 21, 31 ... ガラス基板、 22 ... TFT基板、 23, 33 ... 配向膜、 24, 34 ... スリット部、 30 ... 対向電極、 32 ... CF基板、 40 ... 液晶層、 40A ... 液晶分子、 40B ... ポリマー構造、 Cs1, Cs2 ... 補助容量、 CL, CL1, CL2 ... 補助容量線。

20

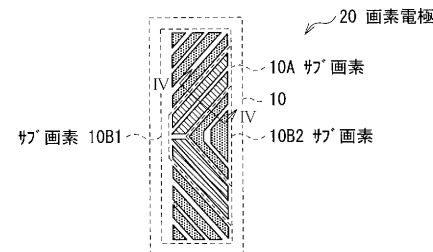
【図1】



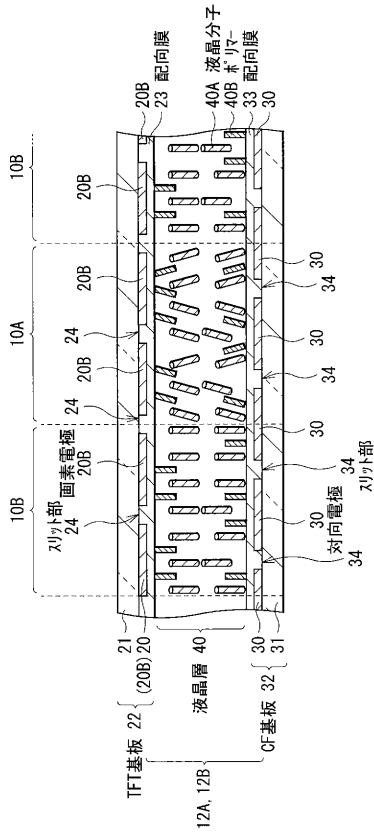
【図2】



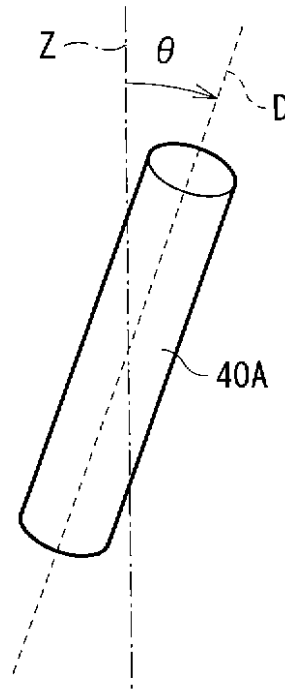
【図3】



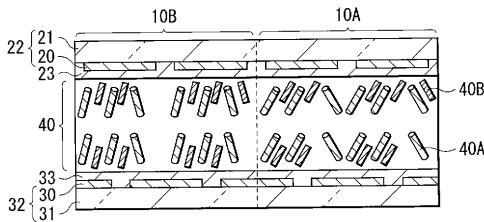
【図4】



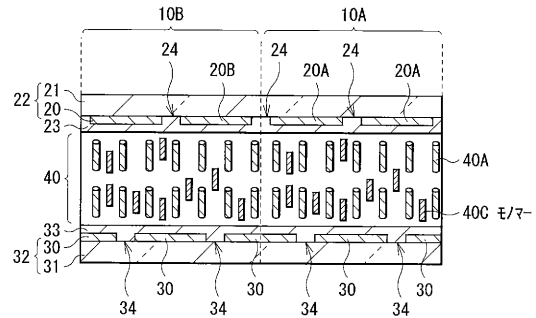
【図5】



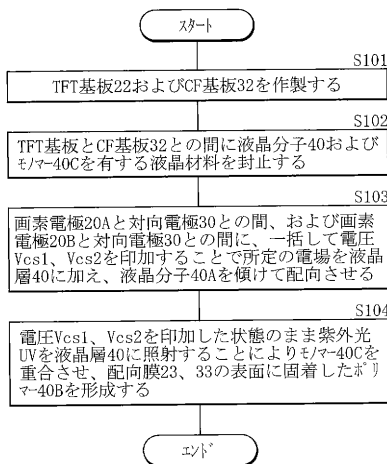
【図6】



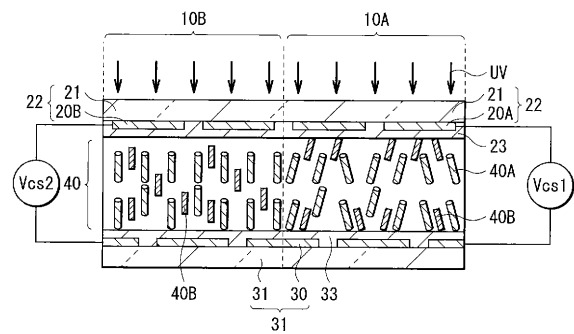
【図8】



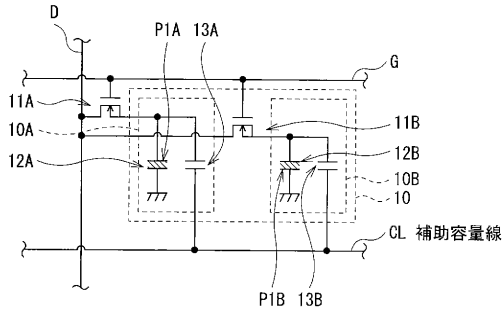
【図7】



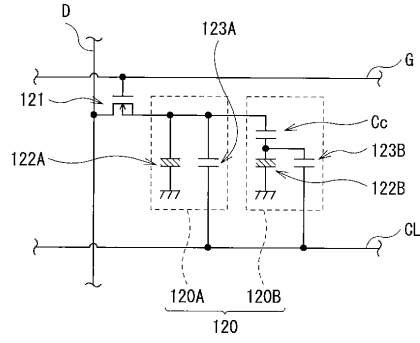
【図9】



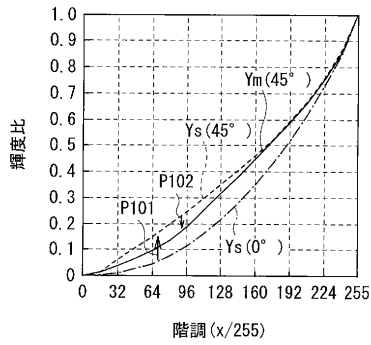
【 図 1 0 】



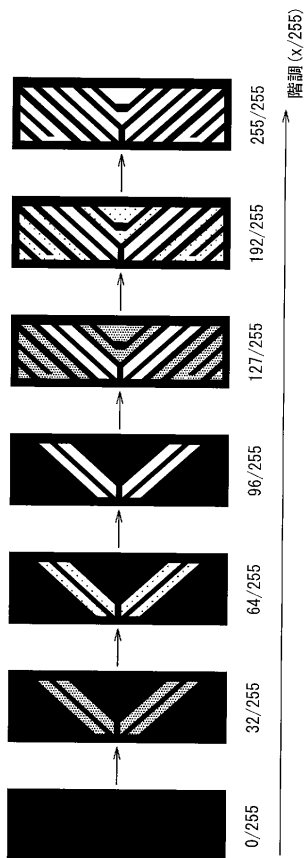
【 図 1 2 】



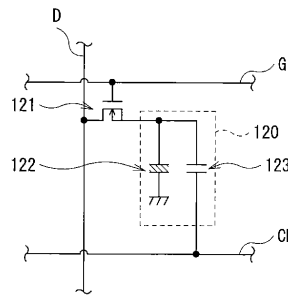
【 図 1 1 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

審査官 奥田 雄介

- (56)参考文献 特開2006-189610(JP,A)
特開2006-338024(JP,A)
特開2006-133577(JP,A)
特開2006-119539(JP,A)
特開平08-179370(JP,A)
特開2004-062146(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1337
G02F 1/1343

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP4702355B2	公开(公告)日	2011-06-15
申请号	JP2007315746	申请日	2007-12-06
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	上田一也 鎌田豪		
发明人	上田 一也 鎌田 豪		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1337		
CPC分类号	G02F1/136213 G02F1/1393 G02F2001/134345 G02F2203/30		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1337		
F-TERM分类号	2H090/HA15 2H090/HA16 2H090/HC10 2H090/KA07 2H090/LA04 2H090/MA01 2H090/MA10 2H090/MA15 2H090/MA17 2H090/MB14 2H092/GA14 2H092/JA24 2H092/JB05 2H092/JB43 2H092/JB69 2H092/NA01 2H092/PA02 2H092/QA09 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BC23 2H192/BC24 2H192/CB05 2H192/CC62 2H192/DA12 2H192/DA14 2H192/EA43 2H192/GD13 2H192/GD14 2H192/JA13 2H290/AA15 2H290/AA35 2H290/BA63 2H290/BB44 2H290/BC03 2H290/BF54 2H290/BF58		
其他公开文献	JP2009139629A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够以简单的结构改善其亮度视角特性的液晶显示器。ZSOLUTION：液晶显示器包括：数据线D和栅极线G，它们相互交叉延伸；像素10由子像素10A，10B构成，具有VA模式的液晶元件12A，12B和辅助电容元件13A，13B；TFT元件11A，11B分别对应于子像素10A，10B设置，并用于显示驱动液晶元件12A，12B；分别连接到辅助电容元件13A，13B的辅助电容线CL。辅助电容元件13A，13B与液晶元件12A，12B一起远程控制地连接到TFT元件11A，11B，并且液晶元件12A，12B包括在预倾角度之间不同的液晶分子。-pixels 10A，10B。Z

【图2】

