

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4628801号
(P4628801)

(45) 発行日 平成23年2月9日 (2011.2.9)

(24) 登録日 平成22年11月19日 (2010.11.19)

(51) Int. Cl.	F 1
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368
GO 2 F 1/1343 (2006.01)	GO 2 F 1/1343
GO 2 F 1/1337 (2006.01)	GO 2 F 1/1337 5 O 5
GO 2 F 1/1339 (2006.01)	GO 2 F 1/1339 5 O O

請求項の数 11 (全 24 頁)

(21) 出願番号	特願2005-11519 (P2005-11519)	(73) 特許権者	000005049
(22) 出願日	平成17年1月19日 (2005.1.19)		シャープ株式会社
(65) 公開番号	特開2006-201356 (P2006-201356A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成18年8月3日 (2006.8.3)	(74) 代理人	100101214
審査請求日	平成19年3月2日 (2007.3.2)		弁理士 森岡 正樹
		(72) 発明者	美崎 克紀
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通ディスプレイテクノロジーズ
			株式会社内
		(72) 発明者	藤川 徹也
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通ディスプレイテクノロジーズ
			株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

対向配置された一対の基板と、
 前記一対の基板間に封止された液晶と、
 一方の前記基板上に形成された第1の画素電極と、前記一方の基板上に形成され、前記第1の画素電極から分離された第2の画素電極とをそれぞれ備えた複数の画素領域と、
 前記画素領域毎に配置され、前記第1の画素電極に電氣的に接続されたソース電極を備えたトランジスタと、
 他方の前記基板上に形成され、前記液晶を配向規制する線状の配向規制用構造物と、
 前記第1の画素電極を通らない電氣的接続経路を介して前記ソース電極に電氣的に接続され、絶縁膜を介して前記第2の画素電極の少なくとも一部に対向し、基板面に垂直に見て少なくとも一部が前記配向規制用構造物に重なって配置されかつ前記配向規制用構造物に沿って延びる制御容量電極を備え、前記ソース電極と前記第2の画素電極とを容量結合する制御容量部と
 を有することを特徴とする液晶表示装置。

【請求項 2】

請求項1記載の液晶表示装置において、
 前記制御容量電極の幅は、前記配向規制用構造物の幅よりも狭いこと
 を特徴とする液晶表示装置。

【請求項 3】

10

20

請求項 1 又は 2 に記載の液晶表示装置において、
 前記画素領域端部を遮光する遮光膜をさらに有し、
 前記制御容量電極は、基板面に垂直に見て少なくとも一部が前記遮光膜に重なって配置されていること
 を特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置において、
 前記画素領域は、長さ X の短辺と長さ約 3 X の長辺とを有する長形状であり、
 前記配向規制用構造物は、一方の前記長辺の両端に位置する 2 つの前記画素領域角部をそれぞれ通り、前記長辺に対し約 45° の角度をなす方向であって互いにほぼ垂直な方向にそれぞれ直線状に延伸する 2 つの領域を前記画素領域内に有していること
 を特徴とする液晶表示装置。

10

【請求項 5】

請求項 4 記載の液晶表示装置において、
 前記制御容量電極は、前記配向規制用構造物の前記 2 つの領域にそれぞれ沿って延伸する 2 つの斜め延伸部と、他方の前記長辺に沿って延伸し、前記 2 つの斜め延伸部間を接続する長さ約 X の接続部とを有すること
 を特徴とする液晶表示装置。

【請求項 6】

請求項 5 記載の液晶表示装置において、
 前記配向規制用構造物の幅を Y とし、前記接続部の幅を Z としたとき、
 前記制御電極の前記第 2 の画素電極に対する重なり面積 S は、

$$S \leq (Y \times \sqrt{(X^2 + X^2) - Y^2} / 2) \times 2 + X \times Z$$

 の関係を満たすこと
 を特徴とする液晶表示装置。

20

【請求項 7】

請求項 6 記載の液晶表示装置において、
 前記絶縁膜はシリコン窒化膜からなり、100 nm 以上 300 nm 以下の膜厚を有すること
 を特徴とする液晶表示装置。

30

【請求項 8】

請求項 6 又は 7 に記載の液晶表示装置において、
 前記配向規制用構造物の幅 Y は 8 μm 以上 12 μm 以下であること
 を特徴とする液晶表示装置。

【請求項 9】

請求項 6 乃至 8 のいずれか 1 項に記載の液晶表示装置において、
 前記接続部の幅 Z は 2 μm 以上 15 μm 以下であること
 を特徴とする液晶表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置において、
 前記一対の基板間の外周部に切れ目なく塗布され、前記液晶を封止するシール材と、
 前記一対の基板の双方に接触し、第 1 のセルギャップを維持する第 1 のセルギャップ維持用構造物と、
 外部から加圧されたときに前記第 1 のセルギャップより狭い第 2 のセルギャップを維持する第 2 のセルギャップ維持用構造物とをさらに有すること
 を特徴とする液晶表示装置。

40

【請求項 11】

請求項 1 乃至 10 のいずれか 1 項に記載の液晶表示装置において、
 前記配向規制用構造物は、前記他方の基板上に形成された共通電極を部分的に除去したスリットであること

50

を特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶分子の配向方向が相互に異なる複数の配向領域を1画素内に有するMVA (Multi-domain Vertical Alignment) 方式の液晶表示装置に関し、特に、画素領域が複数の副画素に分割されている液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、CRT (Cathode Ray Tube) に比べて薄くて軽量であり、かつ低電圧で駆動できて消費電力が小さいという利点を有している。そのため、液晶表示装置は、ノート型PC (パーソナルコンピュータ)、PDA (携帯情報端末) 及び携帯電話など、種々の電子機器に用いられている。特に、各画素 (サブ画素) 毎にスイッチング素子としてTFT (Thin Film Transistor: 薄膜トランジスタ) を設けたアクティブマトリクス型液晶表示装置は、高い駆動能力を有している。アクティブマトリクス型液晶表示装置は、CRTにも匹敵する優れた表示特性が得られるため、デスクトップ型PCやテレビ受像機など従来CRTが用いられていた用途にも広く用いられるようになってきている。

【0003】

図15は、従来の液晶表示装置の概略の断面構成を示している。図15に示すように、液晶表示装置は、液晶表示パネル101を有している。液晶表示パネル101は、TFTや画素電極が画素毎に形成されたTFT基板102と、カラーフィルタ (CF) や共通電極が形成された対向基板104と、両基板102、104間に封止された液晶106とを有している。TFT基板102は、接続端子が設けられるため対向基板104よりも大きく形成されている。両基板102、104は、外周部に塗布されたシール材152を介して貼り合わされている。両基板102、104間のセルギャップは、例えば球状スペーサ146により維持されている。また、液晶表示パネル101を挟んで外側には、偏光板187、186が配置されている。偏光板187の図中下方には、バックライトユニット (図示せず) が配置されている。

【0004】

従来は、正の誘電率異方性を有する水平配向型液晶を備え、液晶分子をツイスト配向させるTN (Twisted Nematic) モードの液晶表示装置が広く用いられていた。しかし、TNモードの液晶表示装置は、視野角特性が悪く、画面を斜め方向から見たときにコントラストや色調が大きく変化するという欠点を有している。このため、視野角特性が良好なVA (Vertically Aligned) モードの液晶表示装置及びMVA方式の液晶表示装置が開発され、実用化されている。

【0005】

図16 (a)、(b) は、MVA方式の液晶表示装置の断面構成を模式的に示している。TFT基板102及び対向基板104の間には、負の誘電率異方性を有する垂直配向型の液晶106が封止されている。TFT基板102の画素電極116上には、液晶106の配向を規制する配向規制用構造物として土手状の線状突起143が形成されている。画素電極116上及び線状突起143上には、例えばポリイミドからなる垂直配向膜150が形成されている。

【0006】

対向基板104の共通電極141上には、配向規制用構造物として土手状の線状突起142が形成されている。線状突起142は、TFT基板102側の線状突起143に並列して延び、線状突起143に対し半ピッチずれて配置されている。共通電極141上及び線状突起142上には、例えばポリイミドからなる垂直配向膜151が形成されている。

【0007】

MVA方式の液晶表示装置においては、画素電極116と共通電極141との間に電圧

10

20

30

40

50

を印加しない状態では、図16(a)に示すように、ほとんどの液晶分子108は基板面に対しほぼ垂直に配向する。但し、線状突起142、143近傍の液晶分子108は、線状突起142、143の傾斜面にほぼ垂直な方向に配向する。

【0008】

画素電極116と共通電極141との間に所定の電圧を印加すると、電界の影響により液晶分子108は基板面に対し斜めに傾斜する。この場合に、図16(b)に示すように、線状突起142、143の両側では液晶分子108の傾斜方向が異なる。これにより、いわゆる配向分割（マルチドメイン）が実現できる。

【0009】

図16(b)に示すように、MVA方式の液晶表示装置では、電圧を印加したときの液晶分子108の傾斜方向が線状突起142、143の両側で異なるので、斜め方向への光の漏れが抑制され、優れた視野角特性が得られる。

【0010】

上記の例では配向規制用構造物が線状突起142、143の場合について説明したが、電極が部分的に除去されたスリットや、基板表面の窪み（溝）を配向規制用構造物とすることもある。また、図16(a)、(b)ではTFT基板102及び対向基板104の両方に配向規制用構造物を設けた例について説明したが、TFT基板102及び対向基板104のうちのいずれか一方のみに配向規制用構造物を形成してもよい。

【0011】

図17は、TFT基板102側の画素電極116のみに、配向規制用構造物としてスリット145を形成した例を示している。スリット145の縁部付近では電界に歪みが生じ、電気力線が基板面に対し斜め方向に延びるので、スリット145の両側で液晶分子108の傾斜方向が異なる。これにより配向分割が実現でき、視野角特性が向上する。

【0012】

図18は、TFT基板102側にスリット145が形成され、対向基板104側に線状突起142が形成されたMVA方式の液晶表示装置の1画素の構成を示している。図19は、図18のX-X線で切断したTFT基板102の断面構成を示している。図18及び図19に示すように、TFT基板102には、図中左右方向に延びる複数のゲートバスライン112と、図中上下方向に延びる複数のドレインバスライン114とがそれぞれ所定のピッチで配置されている。これらのゲートバスライン112及びドレインバスライン114により長形状の画素領域が画定されている。また、TFT基板102には、ゲートバスライン112に並列して画素領域の中央部を横断する蓄積容量バスライン118が形成されている。ゲートバスライン112及び蓄積容量バスライン118とドレインバスライン114との間には絶縁膜130が形成されている。絶縁膜130によりゲートバスライン112とドレインバスライン114との間、及び蓄積容量バスライン118とドレインバスライン114との間が電氣的に分離されている。

【0013】

画素領域毎に、TFT120、画素電極116及び蓄積容量電極119が形成されている。TFT120は、ゲートバスライン112の一部をゲート電極としている。また、TFT120のドレイン電極121はドレインバスライン114に接続しており、ソース電極122はゲートバスライン112を挟んでドレイン電極121に対向する位置に形成されている。さらに、蓄積容量電極119は、絶縁膜130を挟んで蓄積容量バスライン118に対向する位置に形成されている。

【0014】

蓄積容量電極119、TFT120及びドレインバスライン114は保護膜131に覆われており、画素電極116は保護膜131の上に配置される。画素電極116はITO（Indium-Tin Oxide）等の透明導電膜からなり、保護膜131に形成されたコンタクトホール125、126を介してTFT120のソース電極122及び蓄積容量電極119にそれぞれ電氣的に接続されている。また、画素電極116には、斜め方向に延びる2本のスリット145が蓄積容量バスラインに対してほぼ線対称に形成されて

10

20

30

40

50

いる。画素電極 116 の表面は、例えばポリイミドからなる垂直配向膜（図示せず）により覆われている。

【0015】

TFT基板 102 に対向して配置される対向基板には、遮光膜（BM）、CF樹脂層及び共通電極 141 が形成されている。共通電極 141 の上には、ゲートバスライン 112 及び蓄積容量バスライン 118 の上方で屈曲する複数の土手状の線状突起 142 が形成されている。線状突起 142 は、画素電極 116 のスリット 145 に対し半ピッチずれて並列配置されている。

【0016】

このようなMVA方式の液晶表示装置において、画素電極 116 と共通電極 141 との間に所定の電圧を印加すると、図 18 及び図 20 に示すように、液晶分子 108 の配向方向が相互に異なる 4 つの配向領域 α 、 β 、 γ 、 δ が形成される。配向領域 $\alpha \sim \delta$ は、線状突起 142 及びスリット 145 を境界として分割されている。配向領域 $\alpha \sim \delta$ の面積が 1 画素内で互いにほぼ等しくなるように線状突起 142 及びスリット 145 を形成すると、液晶表示装置の視野角特性の方向依存性が小さくなる。

【0017】

ところで、従来のMVA方式の液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図 21 は、従来のMVA方式の液晶表示装置の印加電圧に対する透過率特性（T-V特性）を示すグラフである。横軸は液晶層に対する印加電圧（V）を表し、縦軸は光の透過率を表している。線 L は表示画面に対し垂直な方向（以下、「正面方向」という）での T-V 特性を示し、線 M は表示画面に対して方位角 90° 、極角 60° の方向（以下、「斜め方向」という）での T-V 特性を示している。ここで、方位角は、表示画面の右方向を基準として反時計回りに計った角度とする。また極角は、表示画面の中心に立てた垂線となす角度とする。

【0018】

図 21 に示すように、約 3 V 以上の比較的高い電圧を液晶層に印加したときには、正面方向の透過率が斜め方向の透過率よりも高くなっている。これに対し、閾値電圧より若干高い約 2 ～ 3 V の電圧を液晶層に印加したとき（円で囲んだ領域）には、斜め方向の透過率が正面方向の透過率より高くなる。この結果、斜め方向から表示画面を見た場合には、実効駆動電圧範囲での輝度差が小さくなってしまふ。この現象は色の変化に最も顕著に現れる。すなわち、R、G、B の 3 原色の輝度差が小さくなるため、斜め方向から見ると画面全体の色が白っぽくなり、色の再現性が低下してしまうという現象が生じる。この現象は、白茶け（discolor）と呼ばれている。白茶けは、MVA方式の液晶表示装置だけでなく、TNモードの液晶表示装置でも発生する。

【0019】

特許文献 1 には、1 つの画素を複数の副画素に分割して、それらの副画素を容量結合することが提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素の液晶に相互に異なる電圧を印加することができる。したがって、見かけ上、1 つの画素に T-V 特性のしきい値が異なる複数の領域が存在することになる。このように 1 つの画素に T-V 特性のしきい値が異なる複数の領域が存在すると、図 21 の円内に示したような正面方向の透過率よりも斜め方向の透過率が高くなる現象が抑制され、その結果画面が白っぽくなる現象も抑制される。このように 1 つの画素を容量結合した複数の副画素に分割して表示特性を改善する方法は、容量結合 HT（ハーフトーン・グレースケール）法と呼ばれる。

【0020】

特許文献 2 には、図 22 に示すように、画素電極を 4 つの副画素電極 116a ～ 116d に分割し、各副画素電極 116a ～ 116d の下方に絶縁膜を介して制御容量電極 117a ～ 117d をそれぞれ配置した構成を有する液晶表示装置が開示されている。この液晶表示装置では、制御容量電極 117a ～ 117d の大きさがそれぞれ異なっており、TFT 120 を介して制御容量電極 117a ～ 117d に表示電圧が印加されるようになっ

ている。また、副画素電極 116a～116d の間から光が漏れることを防止するために、副画素電極 116a～116d の間にも制御容量電極 115 が配置されている。

【0021】

特許文献 3 にも、1つの画素を複数の副画素に分割した液晶表示装置が開示されている。この液晶表示装置では、例えば副画素毎にラビング処理条件を変化させて、副画素の液晶分子のプレチルト角を相互に異ならせている。

これらの従来の技術は、いずれも TN モードの液晶表示装置に関するものである。

【0022】

図 23 は、容量結合 HT 法を用いた従来の MVA 方式の液晶表示装置の 1 画素の構成を示している。図 24 は、図 23 の Y-Y 線で切断した液晶表示装置の断面構成を示している。図 23 及び図 24 に示すように、TFT 基板 102 は、ガラス基板 110 上に形成された複数のゲートバスライン 112 と、絶縁膜 130 を介してゲートバスライン 112 に交差する複数のドレインバスライン 114 とを有している。ゲートバスライン 112 のピッチは例えば約 300 μm であり、ドレインバスライン 114 のピッチは例えば約 100 μm である。これらのゲートバスライン 112 及びドレインバスライン 114 により長方形の画素領域が画定されている。また、TFT 基板 102 には、ゲートバスライン 112 に並列して画素領域の中央部を横断する蓄積容量バスライン 118 が形成されている。

【0023】

TFT 基板 102 には、TFT 120、制御容量電極 133、134 及び画素電極 116a～116d が画素領域毎に形成されている。画素電極 116a～116d は、スリット 145 により互いに分割されている。スリット 145 は斜め方向に延び、蓄積容量バスライン 118 に対してほぼ線対称に形成されている。

【0024】

TFT 120 は、ゲートバスライン 112 の一部をゲート電極としている。TFT 120 のドレイン電極 121 は、ドレインバスライン 114 に電氣的に接続されている。ソース電極 122 は、ゲートバスライン 112 上に形成されたチャネル保護膜 128 を介してドレイン電極 121 に対向する位置に配置されている。またソース電極 122 は、制御容量電極 133、134 に電氣的に接続されている。

【0025】

副画素電極 116a～116d は ITO 等の透明導電膜からなり、互いに同層に形成されている。これらの副画素電極 116a～116d を分離するスリット 145 の幅は例えば 10 μm である。副画素電極 116a はコンタクトホール 125 を介して制御容量電極 133 に電氣的に接続され、副画素電極 116d はコンタクトホール 127 を介して制御容量電極 133 に電氣的に接続されている。副画素電極 116b、116c の一部の領域は、制御容量電極 133 (134) に保護膜 131 を介して重なっている。副画素電極 116b、116c は、当該領域に形成される制御容量を介した容量結合により、制御容量電極 133、134 に間接的に接続されている。絶縁膜 130 を介して蓄積容量バスライン 118 に対向する制御容量電極 134 は、蓄積容量バスライン 118 を一方の電極として画素毎に形成される蓄積容量の他方の電極としても機能する。副画素電極 116a～116d は、例えばポリイミドからなる垂直配向膜 150 に覆われている。

【0026】

一方、対向基板 104 上には、BM148 が形成されている。BM148 は例えば Cr (クロム) 等の金属材料で形成され、TFT 基板 102 側のゲートバスライン 112、蓄積容量バスライン 118、ドレインバスライン 114 及び TFT 120 に対向する位置に配置されている。BM148 上には CF 樹脂層 140 が形成されている。各画素には、R、G、B のいずれか 1 色の CF 樹脂層 140 が配置される。

【0027】

CF 樹脂層 140 上には、ITO 等の透明導電膜からなる共通電極 141 が形成されている。共通電極 141 上には、配向規制用構造物である土手状の線状突起 142 が形成されている。線状突起 142 は、図 23 に示すように、ゲートバスライン 112 及び蓄積容

10

20

30

40

50

量バスライン 118 の上で屈曲しており、TFT 基板 102 のスリット 145 に対し半ピッチずれて並列配置されている。共通電極 141 及び線状突起 142 の表面は、例えばポリイミドからなる垂直配向膜 151 に覆われている。

【0028】

ドレインバスライン 114 に所定の階調電圧を印加し、ゲートバスライン 112 に走査信号を供給すると、TFT 120 がオン状態になる。TFT 120 がオン状態になると、ソース電極 122 に電氣的に接続されている副画素電極 116a、116d 及び制御容量電極 133、134 に階調電圧が印加される。また、副画素電極 116b、116c は制御容量電極 133 (134) と容量結合しているので、副画素電極 116b、116c にも所定の電圧が印加される。

10

【0029】

ただし図 23 及び図 24 に示す構成では、副画素電極 116c が副画素電極 116b よりも面積が小さく、かつ制御容量電極 133 (134) との重なり面積が大きいため、副画素電極 116c の電圧のほうが副画素電極 116b の電圧よりも高くなる。副画素電極 116a の電圧を A、副画素電極 116b の電圧を B、副画素電極 116c の電圧を C、副画素電極 116d の電圧を D とすると、 $A = D > C > B$ となる。

【0030】

このようにして副画素電極 116a ~ 116d に電圧が印加されると、液晶分子は線状突起 142 及びスリット 145 の延びる方向に対し垂直な方向に傾斜する。このとき、液晶分子の傾斜方向は線状突起 142 及びスリット 145 の両側で反対方向となる。副画素電極 116a、116d と副画素電極 116b と副画素電極 116c とにそれぞれ異なる電圧が印加されるので、見かけ上、1つの画素内に T-V 特性の閾値が相互に異なる 3つの領域が存在することになる。これにより、画面を斜め方向から見たときに画面が白っぽくなる現象が抑制される。

20

【0031】

【特許文献 1】米国特許第 4840460 号明細書

【特許文献 2】特開平 5-66412 号公報

【特許文献 3】特開平 6-332009 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0032】

ところが、図 23 及び図 24 に示した液晶表示装置では、制御容量電極 133、134 はソース電極 122 やドレイン電極 121 と同層の、光を遮光する金属層により形成されるため、画素の開口率が低下し輝度が低下してしまうという問題がある。

また、画素電極 116b、116c と制御容量電極 133、134 との間に形成される保護膜 131 の膜厚によっては、光の透過率や色視角、コモン電位のシフト量等が悪化し、良好な表示品質が得られないという問題がある。

【0033】

本発明の目的は、輝度が高く表示品質の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

40

【0034】

上記目的は、対向配置された一对の基板と、前記一对の基板間に封止された液晶と、一方の前記基板上に形成された第 1 の画素電極と、前記一方の基板上に形成され、前記第 1 の画素電極から分離された第 2 の画素電極とをそれぞれ備えた複数の画素領域と、前記画素領域毎に配置され、前記第 1 の画素電極に電氣的に接続されたソース電極を備えたトランジスタと、他方の前記基板上に形成され、前記液晶を配向規制する線状の配向規制用構造物と、前記ソース電極に電氣的に接続され、絶縁膜を介して前記第 2 の画素電極の少なくとも一部に対向し、基板面に垂直に見て少なくとも一部が前記配向規制用構造物に重なって配置されかつ前記配向規制用構造物に沿って延びる制御容量電極を備え、前記ソース電極と前記第 2 の画素電極とを容量結合する制御容量部とを有することを特徴とする液晶

50

表示装置によって達成される。

【発明の効果】

【0035】

本発明によれば、輝度が高く表示品質の良好な液晶表示装置を実現できる。

【発明を実施するための最良の形態】

【0036】

〔第1の実施の形態〕

本発明の第1の実施の形態による液晶表示装置について図1乃至図7を用いて説明する。図1は、本実施の形態による液晶表示装置の概略構成を示している。図1に示すように、液晶表示装置は、絶縁膜を介して互いに交差して形成されたゲートバスライン及びドレインバスラインと、画素毎に形成されたTFT及び画素電極とを備えたTFT基板2を有している。また、液晶表示装置は、CFや共通電極が形成されてTFT基板2に対向配置された対向基板4と、両基板2、4間に封止された負の誘電率異方性を有する垂直配向型の液晶6（図1では図示せず）とを備えている。

【0037】

TFT基板2には、複数のゲートバスラインを駆動するドライバICが実装されたゲートバスライン駆動回路80と、複数のドレインバスラインを駆動するドライバICが実装されたドレインバスライン駆動回路82とが接続されている。これらの駆動回路80、82は、制御回路84から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスラインあるいはドレインバスラインに出力するようになっている。TFT基板2のTFT素子形成面と反対側の面には偏光板87が配置され、対向基板4の共通電極形成面と反対側の面には、偏光板87とクロスニコルに配置された偏光板86が配置されている。偏光板87のTFT基板2と反対側の面にはバックライトユニット88が配置されている。

【0038】

図2は、本実施の形態による液晶表示装置として、容量結合HT法を用いたMVA方式の液晶表示装置の1画素を対向基板4側から見た構成を示している。図3は、図2のC-C線で切断した液晶表示装置の断面構成を示している。図2及び図3に示すように、本実施の形態による液晶表示装置のTFT基板2は、ガラス基板10等の透明薄板上に形成された複数のゲートバスライン12と、絶縁膜30を介してゲートバスライン12に交差する複数のドレインバスライン14とを有している。ゲートバスライン12のピッチは例えば約300μm、ドレインバスライン14のピッチは例えば約100μmである。また、TFT基板2には、ゲートバスライン12に並列する蓄積容量バスライン18がゲートバスライン12と同層に形成されている。

【0039】

ゲートバスライン12及びドレインバスライン14の交差位置近傍には、例えばチャネルエッチ型のTFT20が形成されている。TFT20のゲート電極23は、ゲートバスライン12に電氣的に接続されている。ゲート電極23上には動作半導体層28が形成されている。動作半導体層28上には、棒状のソース電極22と、所定の間隙を介してソース電極22を囲むC字状のドレイン電極21とが形成されている。ドレイン電極21はドレインバスライン14に電氣的に接続されている。

【0040】

TFT20上の基板全面には、例えばシリコン窒化膜（SiN膜）からなる保護膜31が形成されている。保護膜31上には、ゲートバスライン12及びドレインバスライン14の交差部毎に、画素電極16a、16bが形成されている。画素電極16a、16bの形成された長方形の領域が画素領域になっている。画素領域は、画素電極16aの形成された副画素Aと、画素電極16bの形成された副画素Bとに分割されている。副画素Aは例えば台形状の形状を有し、画素領域の中央部左寄りに配置されている。副画素Bは、画素領域のうち副画素Aの領域を除いた図2中上部、下部及び中央部右側端部に配置されている。副画素A、Bの配置は、蓄積容量バスライン18に対し1画素内でそれぞれほぼ

線対称になっている。画素電極 16 a、16 b は、例えば共に ITO 等の透明導電膜からなり互いに同層に形成されている。

【0041】

画素電極 16 a、16 b は、台形状の画素電極 16 a の 3 辺を略「く」の字状に囲むスリット 44、47、44 によって互いに分離されている。スリット 44 は画素領域端部に対し斜めに延び、スリット 47 は画素領域右側端部に沿って延びている。スリット 44、47 の幅は例えば 10 μm である。スリット 44 は、液晶の配向を規制する配向規制用構造物としても機能する。

【0042】

副画素 B には、制御容量電極 33 が形成されている。制御容量電極 33 はソース電極 22 に電氣的に接続され、例えばソース電極 22 と同層に形成されている。制御容量電極 33 は、スリット 44 にそれぞれ並列し、画素領域端部に対し斜めに延びる斜め延伸部 33 a、33 c と、画素領域の図 2 中右側の長辺に沿って延び、斜め延伸部 33 a、33 c 間を接続する接続部 33 b とを有している。制御容量電極 33 は、保護膜（絶縁膜）31 を介して画素電極 16 b の一部の領域に重なって配置されている。保護膜 31 を介して対向する当該領域の画素電極 16 b と制御容量電極 33 との間には、制御容量 Cc が制御容量部として形成される。

【0043】

蓄積容量バスライン 18 上には、絶縁膜 30 を介して蓄積容量電極 19 が画素毎に形成されている。絶縁膜 30 を介して対向する蓄積容量バスライン 18 と蓄積容量電極 19 との間には、蓄積容量 Cs が形成される。蓄積容量電極 19 は、保護膜 31 を開口したコンタクトホール 25 を介し、画素電極 16 a に電氣的に接続されている。また蓄積容量電極 19 は、制御容量電極 33 及びソース電極 22 に電氣的に接続されている。

【0044】

副画素 A の画素電極 16 a は、蓄積容量電極 19 及び制御容量電極 33 を介して TFT 20 のソース電極 22 に電氣的に接続されている。一方、副画素 B の画素電極 16 b は電氣的にフローティング状態になっている。画素電極 16 b は、制御容量 Cc を介した容量結合により、ソース電極 22 に間接的に接続されている。画素電極 16 a、16 b 及び保護膜 31 は、例えばポリイミドからなる垂直配向膜 50 に覆われている。

【0045】

一方、対向基板 4 は、ガラス基板 11 上に形成され、画素領域端部を遮光する BM 48 を有している。BM 48 は例えば Cr 等の金属材料で形成され、TFT 基板 2 側のゲートバスライン 12、ドレインバスライン 14 及び TFT 20 に対向する位置に配置されている。BM 48 の開口部 48 a は、両基板 2、4 の貼合せずれ等を考慮して、画素電極 16 a、16 b の形成された画素領域より狭くなっている。BM 48 上には CF 樹脂層 40 が形成されている。各画素には、R、G、B のいずれか 1 色の CF 樹脂層 40 が配置される。

【0046】

CF 樹脂層 40 上には、ITO 等の透明導電膜からなる共通電極 41 が形成されている。液晶層を介して対向する副画素 A の画素電極 16 a と共通電極 41 との間には液晶容量 C1c1 が形成され、副画素 B の画素電極 16 b と共通電極 41 との間には液晶容量 C1c2 が形成される。共通電極 41 上には、配向規制用構造物である土手状の線状突起 42 が形成されている。線状突起 42 は、感光性樹脂等を用いて形成されている。線状突起 42 は、ゲートバスライン 12 及び蓄積容量バスライン 18 の上で屈曲しており、TFT 基板 2 のスリット 44 に並列して配置されている。線状突起 42 の幅は 8 ~ 12 μm 程度（例えば 10 μm ）であり、高さは 1 ~ 1.6 μm 程度である。共通電極 41 及び線状突起 42 の表面は、例えばポリイミドからなる垂直配向膜 51 に覆われている。なお、対向基板 4 上の配向規制用構造物としては、共通電極 41 を部分的に除去したスリットを線状突起 42 に代えて形成してもよい。

【0047】

TFT20がオン状態になって画素電極16aに所定の電圧が印加され、副画素Aの液晶層に電圧 V_{px1} が印加されるとする。このとき、液晶容量 C_{lc2} と制御容量 C_c との容量比に従って電位が分割されるため、副画素Bの画素電極16bには画素電極16aとは異なる電圧が印加される。副画素Bの液晶層に印加される電圧 V_{px2} は、

$$V_{px2} = (C_c / (C_{lc2} + C_c)) \times V_{px1}$$
 となる。ここで、 $0 < (C_c / (C_{lc2} + C_c)) < 1$ であるため、 $V_{px1} = V_{px2} = 0$ 以外では電圧 V_{px2} は電圧 V_{px1} より大きさが小さくなる ($|V_{px2}| < |V_{px1}|$)。このように、本実施の形態による液晶表示装置では、副画素Aの液晶層に印加される電圧 V_{px1} と、副画素Bの液晶層に印加される電圧 V_{px2} とを1画素内で互いに異ならせることができる。これにより、T-V特性の歪みが1画素内で分散されるため、斜め方向から見たときに画像の色が白っぽくなる現象を抑制でき、視角特性が改善された広視野角の液晶表示装置が得られる。

10

【0048】

ここで、TFT基板2に形成された制御容量電極33の斜め延伸部33a、33cの少なくとも一部は、対向基板4に形成された線状突起42に沿って延び、かつ基板面に垂直に見て線状突起42に重なって配置されている。斜め延伸部33a、33c（及び接続部33b）の幅は線状突起42の幅より細くなっている。本例では、斜め延伸部33a、33cは基板面に垂直に見て線状突起42両側端部より内側に配置され、斜め延伸部33a、33cのほぼ全域が線状突起42に重なっている。また、制御容量電極33の少なくとも一部は、基板面に垂直に見てBM48に重なって配置されている。例えば、接続部33bのうち面積比60%以上の領域がBM48に重なっている。

20

【0049】

画素内における線状突起42の形成領域は、他の領域に比べて光透過率が低くなっている。本実施の形態では、制御容量電極33の少なくとも一部を線状突起42に重なるように配置することによって、実質的な画素の開口率が向上し、従来に比べてより一層明るい表示が可能になる。同様に、制御容量電極33の少なくとも一部を、光を遮光するBM48に重なるように配置することによって、画素の開口率が向上し、従来に比べてより一層明るい表示が可能になる。

【0050】

副画素A、Bの電圧比 $V_{px2} / V_{px1} (= C_c / (C_{lc2} + C_c))$ は、容量比 C_c / C_{lc2} が大きくなるほど大きく（1に近く）なり、容量比 C_c / C_{lc2} が小さくなるほど小さく（0に近く）なる。したがって、制御容量 C_c を調整することにより、電圧比 V_{px2} / V_{px1} を変化させることができる。制御容量 C_c は、制御容量電極33と画素電極16bとの重なり面積、保護膜31の膜厚、及び保護膜31の形成材料の誘電率により決まる。ただし、本実施の形態では保護膜31の形成材料としてSiNが用いられているため、誘電率はほぼ一定である。

30

【0051】

図4は、画素電極16a、16b（及びスリット44、47）の形成された画素領域Pと線状突起42と制御容量電極33の接続部33bとをTFT基板2側から見た構成を模式的に示している。図4に示すように、画素領域Pは、長さXの短辺と長さ3Xの長辺とを有する長方形形状である。長さXは50～100μm程度であり、例えば65μmである。画素領域P内の線状突起42は、画素領域Pの図中右側の長辺の両端に位置する2つの角部をそれぞれ通り、当該長辺に対し45°の角度をなす方向であって互いにほぼ垂直な方向にそれぞれ直線状に延伸する2つの領域を有している。線状突起42の幅はY（例えば10μm）である。上記の2つの領域にそれぞれ沿って延伸する制御容量電極33の斜め延伸部33a、33c（図4では図示せず）と線状突起42との重なり幅は、例えば7μmである。制御容量電極33の接続部33bは、画素領域Pの図中左側の長辺に沿って延伸している。接続部33bの長さは画素領域Pの短辺の長さと同じXであり、接続部33bの幅はZ（2～15μm程度（例えば5μm））である。本実施の形態では、画素領域P内の制御容量電極33の面積（すなわち制御容量電極33と画素電極16bとの重

40

50

なり面積) S が式 (1) の関係を満たしている。

$$S \leq (Y \times \sqrt{(X^2 + X^2)} - Y^2 / 2) \times 2 + X \times Z \quad \cdots (1)$$

【0052】

例えば $X = 65 (\mu\text{m})$ 、 $Y = 10 (\mu\text{m})$ 、 $Z = 5 (\mu\text{m})$ の場合には、面積 S をおよそ $2100 \mu\text{m}^2$ 以下にする。本例では面積 S を $1146.07 \mu\text{m}^2$ とした。なお、画素領域 P の大きさが異なる場合等には、制御容量電極 33 の斜め延伸部 33a、33c の幅を変えたり、斜め延伸部 33c の長さを変えたりすることにより制御容量電極 33 の面積 S を調整する。

【0053】

図 5 は、面積 S が $1146.07 \mu\text{m}^2$ の場合における保護膜 31 の膜厚と所定電圧印加時の画素の光透過率との関係を示すグラフである。横軸は膜厚 (nm) を表し、縦軸は透過率を表している。図 5 に示すように、保護膜 31 の膜厚が厚くなるほど光透過率が減少している。保護膜 31 の膜厚をおよそ 300 nm 以下にすることにより、面積 S が式 (1) を満たす範囲内で変動することを考慮しても 3.0% 以上の光透過率が得られ、輝度の高い液晶表示装置を実現できることが分かる。

【0054】

図 6 は、面積 S が $1146.07 \mu\text{m}^2$ の場合における保護膜 31 の膜厚と色視角 ($\Delta u', v' < 0.04$) との関係を示すグラフである。横軸は膜厚 (nm) を表し、縦軸は色視角 (deg) を表している。図 6 に示すように、保護膜 31 の膜厚が薄くなるほど色視角が減少している。保護膜 31 の膜厚をおよそ 100 nm 以上にすることにより、面積 S が式 (1) を満たす範囲内で変動することを考慮しても、 130° 以上の色視角が得られ、白茶けの生じない液晶表示装置を実現できることが分かる。図 5 及び図 6 に示すグラフから、保護膜 31 の膜厚をおよそ 100 nm 以上 300 nm 以下 (例えば 200 nm) にすることにより、輝度が高く白茶けの生じない表示品質の良好な液晶表示装置が得られることが分かる。なお、本例では制御容量 C_c は $305 \sim 405 \text{ fF}$ 程度 (例えば 355.2 fF) であった。また、保護膜 31 の膜厚を 200 nm とした場合に良好な表示品質の得られる面積 S の範囲は、 $980 \sim 1325 \mu\text{m}^2$ 程度であった。

【0055】

図 7 は、面積 S が $1146.07 \mu\text{m}^2$ の場合における保護膜 31 の膜厚とコモン電位のシフト量 ΔV_{com} との関係を示すグラフである。横軸は膜厚 (nm) を表し、縦軸は 120 分間白を表示させた場合の 223 階調でのコモン電位のシフト量 ΔV_{com} (V) を表している。図 7 に示すように、保護膜 31 の膜厚が厚くなるほどシフト量 ΔV_{com} が大きくなっている。上記のように保護膜 31 の膜厚を 300 nm (100 nm 以上) にすることによって、コモン電位のシフト量 ΔV_{com} がおよそ 0.47 V 以下に抑えられ、焼付き等が生じ難く良好な表示品質が得られることが分かる。

【0056】

次に、本実施の形態による液晶表示装置の製造方法について図 2 及び図 3 を参照して説明する。まず TFT 基板 2 の製造方法について説明する。

ガラス基板 10 上に、例えば PVD (Physical Vapor Deposition) 法により Cr からなる金属膜、又は Al (アルミニウム) と Ti (チタン) との積層構造を有する金属膜を形成する。その後、フォトリソグラフィ法を用いてこの金属膜をパターニングして、ゲートバスライン 12、ゲート電極 23 及び蓄積容量バスライン 18 を形成する。なお、ガラス基板 10 からの不純物の拡散を防止するために、ガラス基板 10 の表面を絶縁膜で覆ってから金属膜を形成してもよい。

【0057】

次に、ゲートバスライン 12、ゲート電極 23 及び蓄積容量バスライン 18 上の基板全面に、例えば CVD (Chemical Vapor Deposition) 法により酸化シリコン又は窒化シリコンを堆積させて、ゲートバスライン 12 及び蓄積容量バスライン 18 を覆う絶縁膜 30 を形成する。

【0058】

10

20

30

40

50

次に、絶縁膜 30 上の全面に、例えば CVD 法等を用いて厚さ 80 ~ 200 nm のアモルファスシリコン (a-Si) 膜 (又はポリシリコン (p-Si) 膜) と、n 型不純物が高濃度に導入された a-Si 膜 (n^+ a-Si 膜) とを順次形成する。その後、フォトリソグラフィ法により n^+ a-Si 膜と a-Si 膜 (又は p-Si 膜) をパターンニングして島状化し、TF T 20 のオーミックコンタクト層 29 及び動作半導体層 28 を形成する。

【0059】

次に、オーミックコンタクト層 29 上の基板全面に、例えば Ti-Al-Ti の積層構造を有する金属膜を形成する。そして、フォトリソグラフィ法により金属膜、オーミックコンタクト層 29 及び動作半導体層 28 をパターンニングして、TF T 20 の動作半導体層 28 の形状を確定するとともに、ドレインバスライン 14、ソース電極 22、ドレイン電極 21、制御容量電極 33 及び蓄積容量電極 19 を形成する。

10

【0060】

次に、ドレインバスライン 14 等の上の基板全面に、例えば CVD 法により窒化シリコンを 200 nm 堆積させて保護膜 31 を形成する。そして、フォトリソグラフィ法により保護膜 31 の所定位置に、蓄積容量電極 19 に通じるコンタクトホール 25 を形成する。

【0061】

次いで、保護膜 31 上の全面に、スパッタ法等により ITO 膜を形成する。その後、フォトリソグラフィ法により ITO 膜をパターンニングして、画素電極 16a、16b を形成する。画素電極 16a は、コンタクトホール 25 を介して蓄積容量電極 19 に電氣的に接続される。次に、画素電極 16a、16b 上の基板全面にポリイミドを塗布して垂直配向膜 50 を形成する。このようにして TF T 基板 2 が完成する。

20

【0062】

次に、対向基板 4 の製造方法について説明する。まず、ガラス基板 11 上の全面に、例えば Cr 等の金属膜を形成する。この金属膜をパターンニングして、TF T 基板 2 側のゲートバスライン 12、ドレインバスライン 14 及び TF T 20 に対応する位置に BM 48 を形成する。

【0063】

次に、例えば赤色感光樹脂、緑色感光樹脂及び青色感光樹脂を用いて、R、G、B の CF 樹脂層 40 を各画素領域に順次形成する。画素毎に赤色、緑色及び青色のいずれか 1 色の CF 樹脂層 40 が配置されるようにする。

30

【0064】

次に、CF 樹脂層 40 上に ITO 膜をスパッタ法により形成し、共通電極 41 を形成する。次に、例えばフォトレジストを用いて、共通電極 41 上に誘電体からなる土手状の線状突起 42 を形成する。次いで、共通電極 41 上及び線状突起 42 上の全面にポリイミドを塗布して、垂直配向膜 50 を形成する。このようにして対向基板 4 が完成する。

【0065】

以上の工程を経て作製された TF T 基板 2 と対向基板 4 とを、例えば球状スペーサを挟んで貼り合わせる。次に、TF T 基板 2 と対向基板 4 との間に、負の誘電率異方性を有する垂直配向型の液晶 6 を注入して封止する。このようにして、本実施の形態による液晶表示装置が完成する。以上のように、本実施の形態によれば、輝度が高く表示品質の良好な液晶表示装置が得られる。

40

【0066】

〔第 2 の実施の形態〕

次に、本発明の第 2 の実施の形態による液晶表示装置について図 8 乃至図 14 を用いて説明する。図 8 は本実施の形態による液晶表示装置の B 画素 (青色の CF 樹脂層が形成された画素) の構成を示し、図 9 は本実施の形態による液晶表示装置の R 画素又は G 画素 (赤色又は緑色の CF 樹脂層が形成された画素) の構成を示している。図 10 (a) は図 8 の D-D 線で切断した液晶表示装置の断面構成を示し、図 10 (b) は図 9 の E-E 線で切断した液晶表示装置の断面構成を示している。図 11 は TF T 基板 2 と貼り合わせる前の対向基板 4 の断面構成を示している。図 11 (a) は図 10 (a) と同位置で切断した

50

対向基板 4 の断面構成を示し、図 1 1 (b) は図 1 0 (b) と同位置で切断した対向基板 4 の断面構成を示している。図 1 2 は対向基板 4 と貼り合わせる前の T F T 基板 2 の断面構成を示している。図 1 2 (a) は図 1 0 (a) と同位置で切断した T F T 基板 2 の断面構成を示し、図 1 2 (b) は図 1 0 (b) と同位置で切断した T F T 基板 2 の断面構成を示している。

【0067】

図 8 乃至図 1 2 (a)、(b) に示すように、本実施の形態においては、B 画素と R 画素及び G 画素とでは T F T 基板 2 側の構成が互いに異なっている。T F T 基板 2 の B 画素は、図 2 とほぼ同様の構成を有している。B 画素の対向基板 4 側には、接続部 3 3 b と蓄積容量電極 1 9 とが T 字状に交わる領域に、例えばアクリル樹脂系ネガ型感光性レジストからなる柱状スペーサ 4 5 が形成されている。柱状スペーサ 4 5 の形成領域と画素開口部との T F T 基板 2 側の構成を比較すると、柱状スペーサ 4 5 の形成領域は、T F T 2 0 のゲート電極 2 3 と同層に形成された蓄積容量バスライン 1 8 と、動作半導体層 2 8 と同層に形成された a-Si 層 6 2 と、オーミックコンタクト層 2 9 と同層に形成された n⁺a-Si 層 6 1 と、ソース電極 2 2 及びドレイン電極 2 1 と同層に形成された接続部 3 3 b (蓄積容量電極 1 9) とを有している。これにより、柱状スペーサ 4 5 の形成領域には、高さ T 1 の凸部 6 3 が形成される。柱状スペーサ 4 5 及び凸部 6 3 は、第 1 のセルギャップ維持用構造物を構成する。第 1 のセルギャップ維持用構造物は、対向基板 4 及び T F T 基板 2 の双方に接触し、セルギャップ G 1 を維持している。

【0068】

R 画素及び G 画素の対向基板 4 には、柱状スペーサ 4 5 と同一層の柱状スペーサ 4 6 が形成されている。B 画素の構成と異なり、R 画素及び G 画素の接続部 3 3 b 及び蓄積容量電極 1 9 は、柱状スペーサ 4 6 の形成領域を迂回するように配置されている。したがって、柱状スペーサ 4 6 の形成領域は蓄積容量バスライン 1 8 を有しているが、柱状スペーサ 4 5 の形成領域と比較すると、a-Si 層 6 2、n⁺a-Si 層 6 1 及び接続部 3 3 b を有していない。これにより、柱状スペーサ 4 6 の形成領域には、a-Si 層 6 2、n⁺a-Si 層 6 1 及び接続部 3 3 b の各膜厚の総和分だけ凸部 6 3 より低い高さ T 2 の凸部 6 4 が形成される (T 1 > T 2)。本例では、高さ T 1 と高さ T 2 との差 (T 1 - T 2) は例えば 0.50 μm である。柱状スペーサ 4 6 及び凸部 6 4 は、第 2 のセルギャップ維持用構造物を構成する。基板貼合せ前には、柱状スペーサ 4 5 の共通電極 4 1 からの高さ C 1 と柱状スペーサ 4 6 の共通電極 4 1 からの高さ C 2 とはほぼ同一であり (C 1 = C 2)、例えば共に 3.2 μm である。

【0069】

本実施の形態による液晶表示装置は滴下注入 (ODF) 法を用いて作製されており、基板 2、4 間の外周部には液晶を封止するために切れ目なく塗布されたシール材が形成されている。ODF 法を用いて作製される液晶表示装置のセルギャップ G 1 は、滴下される液晶量により決まる。本実施の形態では、基板 2、4 間のセルギャップ G 1 が (T 1 + C 1) < G 1 < (T 2 + C 2) の関係を満たすような液晶量が滴下される。したがって、柱状スペーサ 4 5 と凸部 6 3 は互いに接触し、(G 1 - (T 2 + C 2)) (例えば 0.25 μm) だけ圧縮される。一方、柱状スペーサ 4 6 と凸部 6 4 とは互いに接触せず、(G 1 - (T 1 + C 1)) (例えば 0.25 μm) の間隙を介して対向する。すなわち、柱状スペーサ 4 5 及び凸部 6 3 を備えた第 1 のセルギャップ維持用構造物は、常時セルギャップ G 1 を維持し、柱状スペーサ 4 6 及び凸部 6 4 を備えた第 2 のセルギャップ維持用構造物は、外部から加圧されたときにセルギャップ G 1 より狭いセルギャップ G 2 (図示せず) を維持するようになっている。

【0070】

柱状スペーサ 4 5 の上底面積 (第 1 のセルギャップ維持用構造物の支持面積) S 1 と柱状スペーサ 4 6 の上底面積 (第 2 のセルギャップ維持用構造物の支持面積) S 2 とはほぼ同一であり (S 1 = S 2)、例えば共に 300 μm² である。柱状スペーサ 4 5 は 5 つの B 画素に 1 つ配置され、柱状スペーサ 4 6 は全 R 画素及び全 G 画素に配置されている。し

たがって、第1のセルギャップ維持用構造物の面積密度D1は、第2のセルギャップ維持用構造物の面積密度D2の1/10になっている(D1:D2=1:10)。なお、柱状スペーサ45が形成されないB画素のTFT基板2側の構成は、R画素及びG画素のTFT基板2側の構成と同様であってもよい。

【0071】

例えば製造ばらつきにより柱状スペーサ45が0.15µm低く形成された場合であっても、基板貼合せ後には柱状スペーサ45（及び凸部63）は0.10µmだけ圧縮されることになる。したがって、作製した液晶表示パネルは重力むらの発生しない内部圧力を有する。一方、柱状スペーサ46が0.15µm高く形成された場合であっても、基板貼合せ後には柱状スペーサ46と凸部64の間には0.10µmの間隙が存在するため、常温時に互いに接触しないことになる。したがって、低温下での気泡の発生を防止できる。

10

【0072】

また、液晶表示パネルの基板2、4間に外部から高い圧力が加えられたときには、第1のセルギャップ維持用構造物に加えて第2のセルギャップ維持用構造物もセルギャップを維持する。したがって、セルギャップむらが生じず、外部からの加圧に対する高い耐性が得られる。

【0073】

本実施の形態によれば第1の実施の形態と同様の効果が得られるだけでなく、外部から圧力が加えられていないときには低い面積密度D1で形成された第1のセルギャップ維持用構造物だけがセルギャップG1を維持しているため、低温下での気泡の発生を防止できる。一方、外部から圧力が加えられたときには高い面積密度(D1+D2)で形成された第1及び第2のセルギャップ維持用構造物がセルギャップG2を維持するため、セルギャップむらを抑制できる。また、本実施の形態によれば、ODF法を用いて作製される液晶表示装置において、広い製造マージン及び高い耐加圧性という相反する2つの効果を同時に実現できる。

20

【0074】

次に、本実施の形態による液晶表示装置の製造方法について簡単に説明する。図13は、対向基板4の製造工程を示している。まず、図13(a)に示すように、ガラス基板11等の絶縁性基板上にCr金属又は樹脂ブラックを用いてBM48を形成する。次に、図13(b)に示すように、顔料分散型感光性着色樹脂等を用いてCF樹脂層40R、40G、40Bを順次形成する。次に、図13(c)に示すように、ITO等の透明導電膜をスパッタリングして共通電極41を形成する。次に、図13(d)に示すように、例えばノボラック樹脂系ポジ型感光性レジストを基板全面に塗布し、フォトリソグラフィ法を用いて所定の配置パターンの線状突起42を形成する。次に、図13(e)に示すように、例えばアクリル樹脂系ネガ型感光性レジストを基板全面に塗布し、フォトリソグラフィ法を用いて所定の位置に所定の上面面積を有する柱状スペーサ45、46を形成する。柱状スペーサ45は例えば5つのB画素に1つの配置密度で配置され、柱状スペーサ46は全R画素及び全G画素に1つずつの配置密度で配置される。以上の工程を経て、対向基板4が作製される。

30

【0075】

図14は、ODF法を用いた液晶表示パネルの製造工程を示す図である。図14(a)、(c)、(e)は各工程での対向基板4の状態を示す斜視図であり、図14(b)、(d)、(f)は各工程での柱状スペーサ45（又は46）近傍の状態を示す概略断面図である。まず対向基板4及び別工程で作製されたTFT基板2の表面に配向膜を形成し、図14(a)、(b)に示すように、例えば対向基板4の外周部の全周に、光硬化型のシール材60を切れ目なく塗布する。次に、図14(c)、(d)に示すように、対向基板4上に所定量の液晶6を滴下する。なお図14(d)では、滴下された状態の液晶6ではなく、後述する工程で充填された状態の液晶6を示している。次に、図14(e)、(f)に示すように、対向基板4とTFT基板2とを真空中で貼り合わせ、大気圧に戻すことにより液晶6を基板2、4間に充填する。このとき、セルギャップは液晶6の滴下量により

40

50

制御され、柱状スペーサ 45 は T F T 基板 2 に接触して所定の変位量だけ圧縮される。シール材 60 を硬化させた後、パネル切断、偏光板貼付け等の工程を経て液晶表示パネルが完成する。その後、モジュール工程等を経て液晶表示装置が完成する。

【0076】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では透過型の液晶表示装置を例に挙げたが、本発明はこれに限らず、反射型や半透過型等の他の液晶表示装置にも適用できる。

【0077】

また上記実施の形態では、2つの副画素を備えた画素領域を有する液晶表示装置を例に挙げたが、本発明はこれに限らず、3つ又はそれ以上の副画素を備えた画素領域を有する液晶表示装置にも適用できる。

10

【0078】

さらに上記実施の形態では、チャンネルエッチ型の T F T を備えた液晶表示装置を例に挙げたが、本発明はこれに限らず、チャンネル保護膜型の T F T を備えた液晶表示装置にも適用できる。

【0079】

以上説明した実施の形態による液晶表示装置は、以下のようにまとめられる。

(付記1)

対向配置された一对の基板と、

前記一对の基板間に封止された液晶と、

20

一方の前記基板上に形成された第1の画素電極と、前記一方の基板上に形成され、前記第1の画素電極から分離された第2の画素電極とをそれぞれ備えた複数の画素領域と、

前記画素領域毎に配置され、前記第1の画素電極に電氣的に接続されたソース電極を備えたトランジスタと、

他方の前記基板上に形成され、前記液晶を配向規制する線状の配向規制用構造物と、

前記ソース電極に電氣的に接続され、絶縁膜を介して前記第2の画素電極の少なくとも一部に対向し、基板面に垂直に見て少なくとも一部が前記配向規制用構造物に重なって配置されかつ前記配向規制用構造物に沿って延びる制御容量電極を備え、前記ソース電極と前記第2の画素電極とを容量結合する制御容量部と

を有することを特徴とする液晶表示装置。

30

(付記2)

付記1記載の液晶表示装置において、

前記制御容量電極の幅は、前記配向規制用構造物の幅よりも狭いこと

を特徴とする液晶表示装置。

(付記3)

付記1又は2に記載の液晶表示装置において、

前記画素領域端部を遮光する遮光膜をさらに有し、

前記制御容量電極は、基板面に垂直に見て少なくとも一部が前記遮光膜に重なって配置されていること

を特徴とする液晶表示装置。

40

(付記4)

付記1乃至3のいずれか1項に記載の液晶表示装置において、

前記画素領域は、長さXの短辺と長さ約3Xの長辺とを有する長形状であり、

前記配向規制用構造物は、一方の前記長辺の両端に位置する2つの前記画素領域角部をそれぞれ通り、前記長辺に対し約45°の角度をなす方向であって互いにほぼ垂直な方向にそれぞれ直線状に延伸する2つの領域を前記画素領域内に有していること

を特徴とする液晶表示装置。

(付記5)

付記4記載の液晶表示装置において、

前記制御容量電極は、前記配向規制用構造物の前記2つの領域にそれぞれ沿って延伸す

50

る 2 つの斜め延伸部と、他方の前記長辺に沿って延伸し、前記 2 つの斜め延伸部間を接続する長さ約 X の接続部とを有すること
を特徴とする液晶表示装置。

(付記 6)

付記 5 記載の液晶表示装置において、
前記配向規制用構造物の幅を Y とし、前記接続部の幅を Z としたとき、
前記制御電極の前記第 2 の画素電極に対する重なり面積 S は、
$$S \leq (Y \times \sqrt{(X^2 + X^2)} - Y^2 / 2) \times 2 + X \times Z$$

の関係を満たすこと
を特徴とする液晶表示装置。

10

(付記 7)

付記 6 記載の液晶表示装置において、
前記絶縁膜はシリコン窒化膜からなり、100 nm 以上 300 nm 以下の膜厚を有すること
を特徴とする液晶表示装置。

(付記 8)

付記 6 又は 7 に記載の液晶表示装置において、
前記配向規制用構造物の幅 Y は 8 μm 以上 12 μm 以下であること
を特徴とする液晶表示装置。

(付記 9)

付記 6 乃至 8 のいずれか 1 項に記載の液晶表示装置において、
前記接続部の幅 Z は 2 μm 以上 15 μm 以下であること
を特徴とする液晶表示装置。

20

(付記 10)

付記 1 乃至 9 のいずれか 1 項に記載の液晶表示装置において、
前記一对の基板間の外周部に切れ目なく塗布され、前記液晶を封止するシール材と、
前記一对の基板の双方に接触し、第 1 のセルギャップを維持する第 1 のセルギャップ維持用構造物と、

外部から加圧されたときに前記第 1 のセルギャップより狭い第 2 のセルギャップを維持する第 2 のセルギャップ維持用構造物とをさらに有すること

30

を特徴とする液晶表示装置。

(付記 11)

付記 10 記載の液晶表示装置において、
前記第 1 のセルギャップ維持用構造物は、前記トランジスタのゲート電極と同層に形成された第 1 層と、前記ソース電極と同層に形成された第 2 層とを共に有し、

前記第 2 のセルギャップ維持用構造物は、前記第 1 層又は前記第 2 層のいずれか一方を有すること

を特徴とする液晶表示装置。

【図面の簡単な説明】

【0080】

40

【図 1】本発明の第 1 の実施の形態による液晶表示装置の概略構成を示す図である。

【図 2】本発明の第 1 の実施の形態による液晶表示装置の 1 画素の構成を示す図である。

【図 3】本発明の第 1 の実施の形態による液晶表示装置の構成を示す断面図である。

【図 4】画素領域 P と線状突起 42 と制御容量電極 33 の接続部 33b とを模式的に示す図である。

【図 5】保護膜 31 の膜厚と画素の光透過率との関係を示すグラフである。

【図 6】保護膜 31 の膜厚と色視角との関係を示すグラフである。

【図 7】保護膜 31 の膜厚とコモン電位のシフト量 ΔV_{com}との関係を示すグラフである。

【図 8】本発明の第 2 の実施の形態による液晶表示装置の B 画素の構成を示す図である。

50

【図 9】本発明の第 2 の実施の形態による液晶表示装置の R 画素又は G 画素の構成を示す図である。

【図 10】本発明の第 2 の実施の形態による液晶表示装置の断面構成を示す図である。

【図 11】T F T 基板 2 と貼り合わせる前の対向基板 4 の構成を示す断面図である。

【図 12】対向基板 4 と貼り合わせる前の T F T 基板 2 の構成を示す断面図である。

【図 13】対向基板 4 の製造工程を示す図である。

【図 14】O D F 法を用いた液晶表示パネルの製造工程を示す図である。

【図 15】従来の液晶表示装置の概略の断面構成を示す図である。

【図 16】M V A 方式の液晶表示装置の断面構成を模式的に示す図である。

【図 17】M V A 方式の液晶表示装置の断面構成の他の例を模式的に示す図である。

10

【図 18】M V A 方式の液晶表示装置の 1 画素の構成を示す図である。

【図 19】M V A 方式の液晶表示装置の断面構成を示す図である。

【図 20】M V A 方式の液晶表示装置の液晶分子の配向方向を模式的に示す図である。

【図 21】M V A 方式の液晶表示装置の T-V 特性を示すグラフである。

【図 22】特許文献 2 に開示された液晶表示装置の構成を示す図である。

【図 23】容量結合 H T 法を用いた従来の M V A 方式の液晶表示装置の 1 画素の構成を示す図である。

【図 24】容量結合 H T 法を用いた従来の M V A 方式の液晶表示装置の断面構成を示す図である。

【符号の説明】

20

【0081】

2 T F T 基板

4 対向基板

6 液晶

10、11 ガラス基板

12 ゲートバスライン

14 ドレインバスライン

16 a、16 b 画素電極

18 蓄積容量バスライン

19 蓄積容量電極

30

20 T F T

21 ドレイン電極

22 ソース電極

23 ゲート電極

25 コンタクトホール

28 動作半導体層

29 オーミックコンタクト層

30 絶縁膜

31 保護膜

33 制御容量電極

40

33 a、33 c 斜め延伸部

33 b 接続部

40、40 R、40 G、40 B C F 樹脂層

41 共通電極

42 線状突起

44、47 スリット

45、46 柱状スペーサ

48 B M

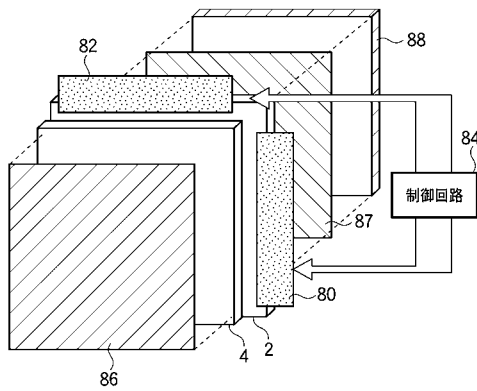
48 a 開口部

50、51 垂直配向膜

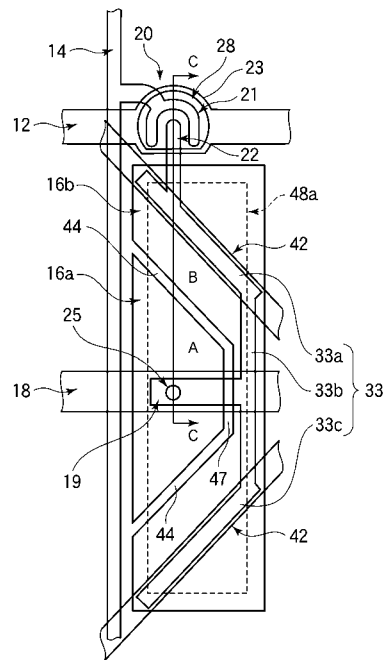
50

- 60 シール材
- 61 n^+a-Si 層
- 62 $a-Si$ 層
- 63、64 凸部
- 80 ゲートバスライン駆動回路
- 82 ドレインバスライン駆動回路
- 84 制御回路
- 86、87 偏光板
- 88 バックライトユニット

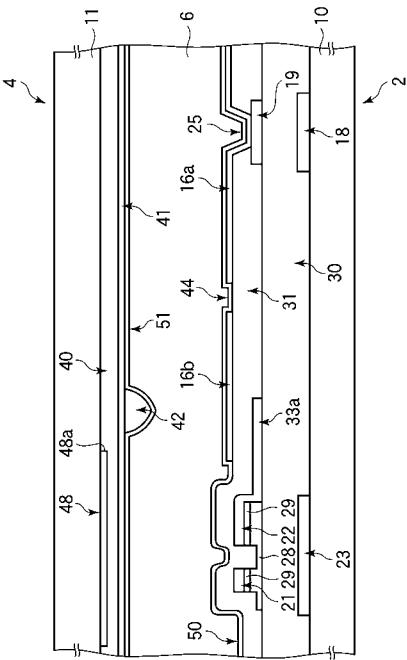
【図 1】



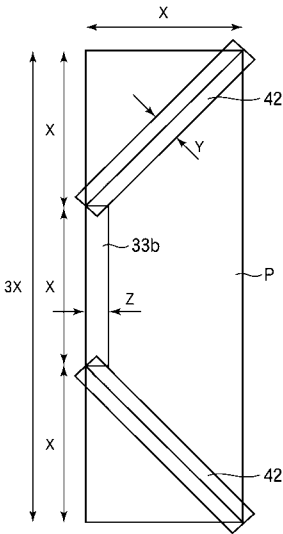
【図 2】



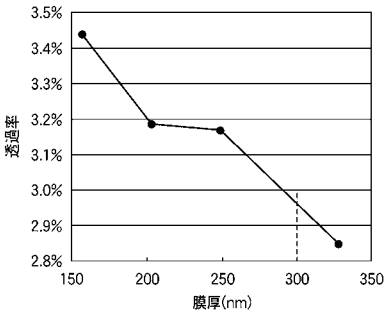
【図 3】



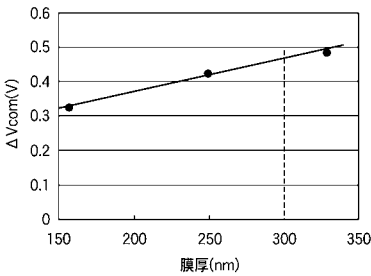
【図 4】



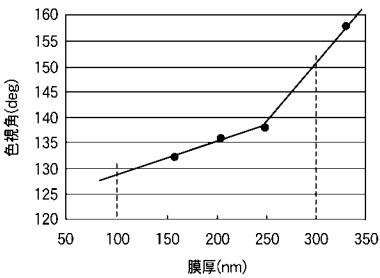
【図 5】



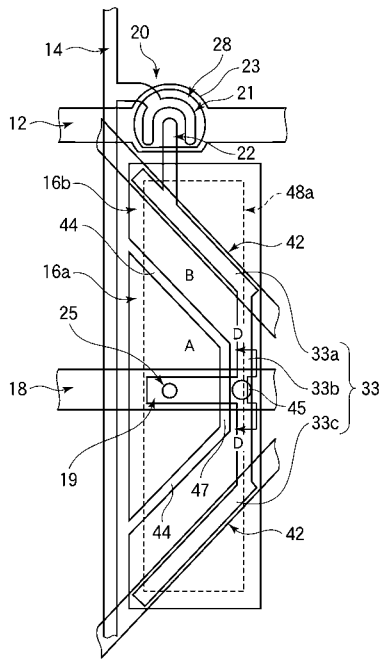
【図 7】



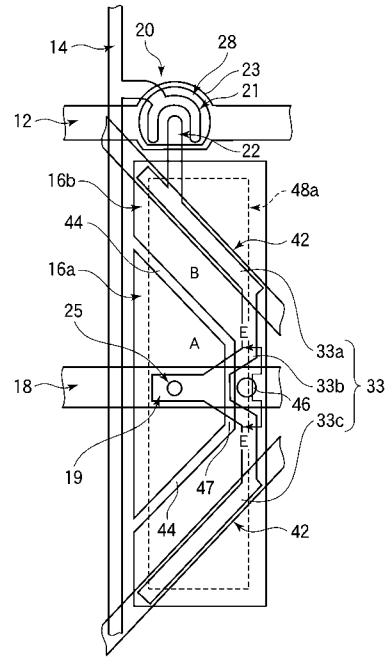
【図 6】



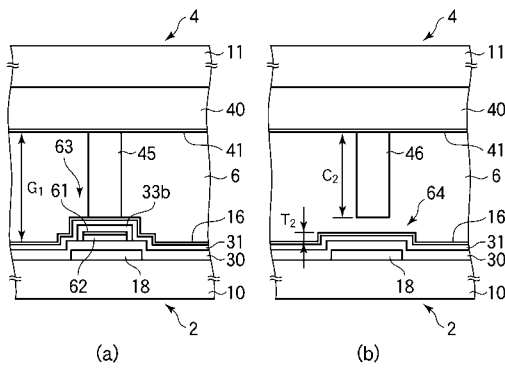
【図 8】



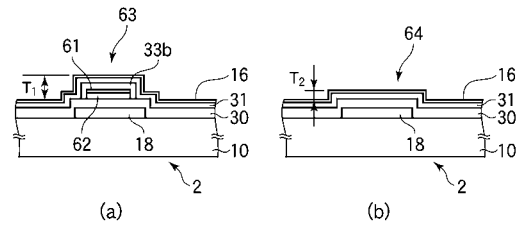
【図 9】



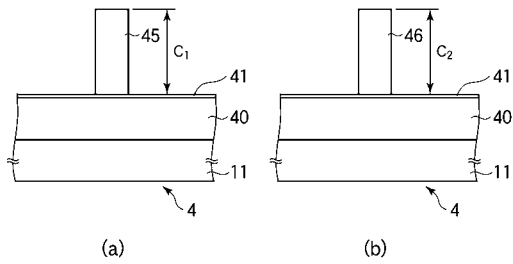
【図 10】



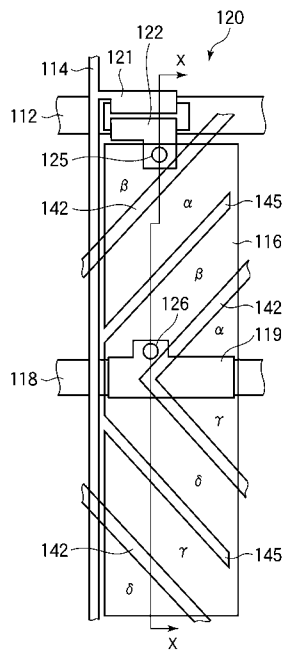
【図 12】



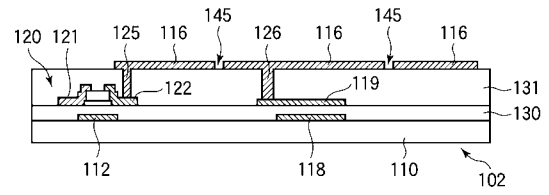
【図 11】



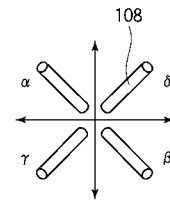
【図 18】



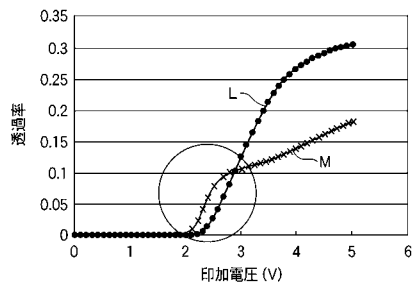
【図 19】



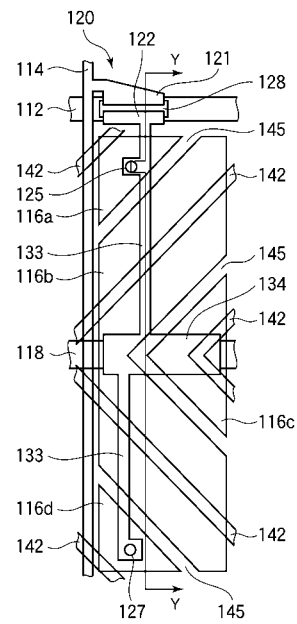
【図 20】



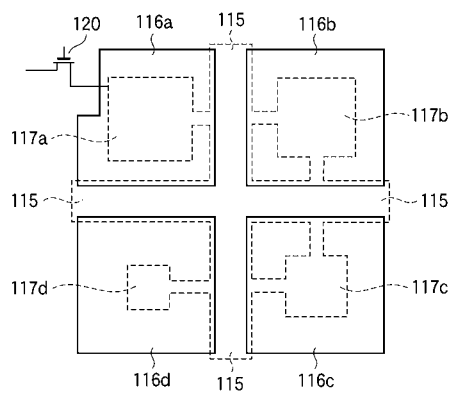
【図 21】



【図 23】



【図 22】



フロントページの続き

- (72)発明者 田口 善久
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 長岡 謙一
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 澤崎 学
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 藤田 都志行

- (56)参考文献 特開2005-004212 (JP, A)
特開2005-055896 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 3 7
G 0 2 F	1 / 1 3 3 9

专利名称(译)	液晶表示装置		
公开(公告)号	JP4628801B2	公开(公告)日	2011-02-09
申请号	JP2005011519	申请日	2005-01-19
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	美崎克紀 藤川徹也 田口善久 長岡謙一 澤崎学		
发明人	美崎 克紀 藤川 徹也 田口 善久 長岡 謙一 澤崎 学		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1337 G02F1/1339		
CPC分类号	G02F1/133707 G02F1/13394 G02F1/136213 G02F1/1393 G02F2001/13396 G02F2001/134345 G02F2001/134354 G02F2001/136218 G02F2201/123		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1337.505 G02F1/1339.500 G02F1/1333.505 G02F1/1335.500 G02F1/1337.500 G02F1/1339.505		
F-TERM分类号	2H089/LA09 2H089/MA04X 2H089/MA04Y 2H089/NA13 2H089/NA14 2H089/NA40 2H089/PA05 2H089/QA12 2H089/QA15 2H089/TA02 2H089/TA05 2H089/TA09 2H089/TA12 2H089/TA13 2H090 /HA16 2H090/HB03X 2H090/HB08Y 2H090/HD05 2H090/HD14 2H090/LA02 2H090/LA03 2H090/LA04 2H090/MA01 2H090/MA14 2H090/MB14 2H091/FA02Y 2H091/FA35Y 2H091/GA03 2H091/GA06 2H091/GA08 2H091/GA09 2H091/GA13 2H091/LA03 2H091/LA11 2H091/LA15 2H091/LA19 2H092 /GA14 2H092/GA28 2H092/HA04 2H092/JA24 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JB05 2H092/JB52 2H092/JB56 2H092/JB69 2H092/NA04 2H092/PA02 2H092/PA03 2H092/PA04 2H092 /PA08 2H092/PA09 2H189/DA04 2H189/DA07 2H189/DA45 2H189/DA48 2H189/DA49 2H189/EA04Y 2H189/FA16 2H189/FA22 2H189/HA14 2H189/HA16 2H189/JA10 2H189/JA30 2H189/JA31 2H189 /KA17 2H189/LA05 2H189/LA08 2H189/LA10 2H189/LA14 2H189/LA15 2H189/LA17 2H189/LA20 2H190/HB03 2H190/HD05 2H190/LA02 2H190/LA03 2H190/LA04 2H190/LA22 2H190/LA25 2H191 /FA02Y 2H191/FA14Y 2H191/GA05 2H191/GA08 2H191/GA11 2H191/GA15 2H191/GA19 2H191 /LA03 2H191/LA11 2H191/LA19 2H191/LA25 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA43 2H192/EA22 2H192/EA43 2H192 /GD14 2H192/GD23 2H192/JA13 2H290/AA33 2H290/BB13 2H290/BB24 2H290/BB44 2H290/BB73 2H290/CA14 2H290/CA46 2H291/FA02Y 2H291/FA14Y 2H291/GA05 2H291/GA08 2H291/GA11 2H291/GA15 2H291/GA19 2H291/LA03 2H291/LA11 2H291/LA19 2H291/LA25		
代理人(译)	盛岡正树		
其他公开文献	JP2006201356A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种MVA型液晶显示装置，其目的是提供一种具有高亮度和良好显示质量的液晶显示装置。密封在一对基板之间的液晶，形成在一个基板上的像素电极16a和与像素电极16a分离的像素电极16b堆叠在一对相对的基板上，与每个多个像素区域被设置在每个像素区域中，具有源极22电连接到像素电极16a中的TFT20，其形成在另一基板，线性到液晶以取向控制上并且突出部42电连接到源电极22，通过绝缘膜面对至少像素电极16b的部分，至少垂直于基板面观看时的部分被设置成重叠的线性突起42并且，控制电容电极33沿着线状突起42延伸，并且电容性地耦合源电极22和像素电极16b。The

