

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4498337号
(P4498337)

(45) 発行日 平成22年7月7日 (2010.7.7)

(24) 登録日 平成22年4月23日 (2010.4.23)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 642A

G09G 3/20 621B

G09G 3/20 623X

G09G 3/20 623R

請求項の数 7 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2006-282953 (P2006-282953)
 (22) 出願日 平成18年10月17日 (2006.10.17)
 (65) 公開番号 特開2008-102212 (P2008-102212A)
 (43) 公開日 平成20年5月1日 (2008.5.1)
 審査請求日 平成20年9月29日 (2008.9.29)

前置審査

(73) 特許権者 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

略マトリクス状に配置される複数の液晶画素と、

__前記複数の液晶画素の列に沿って配置された複数の信号線を各々所定数ずつ含む複数の信号線群と、

__前記複数の液晶画素を行単位に選択し選択行の液晶画素を前記複数の信号線を介して駆動する駆動回路とを備え、

__前記駆動回路は、

__各行の液晶画素の選択期間において、__前記複数の信号線群の各々に含まれる所定数の信号線に割当てられた所定数の画素電圧を群駆動周期で並列的に出力する信号線ドライバ、

__前記信号線ドライバから前記群駆動周期で出力される所定数の画素電圧を前記複数の信号線群の各々に分配するマルチプレクサ、および

__前記信号線ドライバの出力電圧極性を所定複数の画素行毎に反転させる場合に、__極性反転を必要とする先頭行のみの液晶画素の選択期間において、__前記複数の信号線群の全てを前記信号線ドライバに電氣的に接続してから、__前記群駆動周期毎に1群ずつ前記複数の信号線群を順次前記信号線ドライバから電氣的に切り離すように前記マルチプレクサを制御するコントローラを含むことを特徴とする液晶表示装置。

【請求項 2】

前記信号線ドライバは前記複数の信号線の総数に対して2以上の整数分の1に等しい所定数の出力端を有し、前記マルチプレクサは前記複数の信号線群の全てを前記信号線ドラ

10

20

イバに電氣的に接続する際に前記所定数の出力端から出力される所定数の画素電圧の各々を同極性で駆動すべき液晶画素列に対応する少なくとも2信号線と一緒に供給する複数のアナログスイッチを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記所定数の出力端は互いに隣接する出力端とは逆の出力電圧極性に設定される所定数の出力バッファであることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】

前記所定数の出力バッファの出力電圧極性は2画素行、3画素行、4画素行、および5画素行のいずれか毎に反転されることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

前記信号線ドライバは前記複数の信号線の総数に対して2以上の整数分の1に等しい所定数の出力端を有し、前記マルチプレクサは前記複数の信号線群の全てを前記信号線ドライバに電氣的に接続する際に前記所定数の出力端から出力される所定数の画素電圧の各々を同極性で駆動すべき同色の液晶画素列に対応する少なくとも2信号線に供給する複数のアナログスイッチを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項6】

前記所定数の出力端は互いに隣接する出力端とは逆の出力電圧極性に設定される所定数の出力バッファであることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】

前記所定数の出力バッファの出力電圧極性は前記2画素行、3画素行、4画素行、および5画素行のいずれか毎に反転されることを特徴とする請求項6に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、略マトリクス状に配置される複数の液晶画素の行を少なくとも2回に分けて駆動する液晶表示装置に関し、特に複数の液晶画素に対する液晶駆動電圧が所定行数毎に逆極性に設定される液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、コンピュータ、カーナビゲーションシステム、あるいはテレビ受信機等において画像を表示するために広く利用されている。

【0003】

液晶表示装置は、一般にアレイ基板および対向基板間に液晶層を挟持した構造の液晶表示パネルを備える。アクティブマトリクス型の液晶表示パネルでは、アレイ基板が略マトリクス状に配置される複数の画素電極、複数の画素電極の行に沿って配置される複数の走査線、複数の画素電極の列に沿って配置される複数の信号線、複数の走査線および複数の信号線の交差位置近傍に配置される複数の画素スイッチング素子を有する。複数の走査線はこれら走査線の一端に隣接して設けられる走査線駆動回路によって順次駆動され、複数の信号線はこれら信号線の一端に隣接して設けられる信号線駆動回路によって各走査線の駆動中に駆動される。各画素スイッチング素子は例えば薄膜トランジスタであり、対応走査線が駆動されたときに導通して対応信号線の電位を対応画素電極に印加する。対向基板には、共通電極が複数の画素電極に対向して設けられる。一对の画素電極および共通電極はこれら電極間に位置する液晶層の一部である画素領域と共に液晶画素を構成する。各液晶画素では、画素領域内の液晶分子配列が画素電極および共通電極間の電位差である液晶駆動電圧に対応した電界によって制御される。

【0004】

従来、信号線駆動回路の回路規模を小さくするために各行の液晶画素を2回に分けて駆動する技術が提案されている（例えば、特許文献1を参照）。この技術では、例えば図9に示すように、アナログスイッチA SW1、A SW2、A SW3、A SW4、…がマルチプレクサとして信号線駆動回路の出力バッファD1、D2、…および複数の信号線X1、

10

20

30

40

50

X 2, X 3, X 4, …間に設けられる。アナログスイッチA S W 1, A S W 4, …は制御信号C T L 0によって制御され、アナログスイッチA S W 2, A S W 3, …は制御信号C T L 1によって制御される。制御信号C T L 0および制御信号C T L 1は図10に示すように遷移する。

【0005】

アナログスイッチA S W 1, A S W 4は制御信号C T L 0の立ち下がりにより一緒に導通し、信号線駆動回路の出力バッファD 1, D 2をそれぞれ信号線X 1, X 4に電氣的に接続する。また、アナログスイッチA S W 2, A S W 3は制御信号C T L 1の立ち下がりにより一緒に導通し、信号線駆動回路の出力バッファD 1, D 2をそれぞれ信号線X 3, X 2に電氣的に接続する。すなわち、走査線Y 1, Y 2, Y 3, Y 4, …の各々が駆動される期間においてアナログスイッチA S W 1, A S W 4とアナログスイッチA S W 2, A S W 3とを交互に導通させるように制御信号C T L 0, C T L 1を遷移させると、対応行の液晶画素P Xが2回に分けて駆動される。この構成では、信号線駆動回路の出力バッファD 1, D 2, …の数が信号線X 1, X 2, X 3, X 4, …の半数しか必要とされないため、信号線駆動回路の回路規模を小さくできる。実際の信号線駆動回路は各々所定数の出力バッファを持つ複数のドライバICで構成されるので、結果的にドライバICの数が削減されることになる。尚、信号線X 2, X 3は図9において交差してアナログスイッチA S W 3, A S W 2に接続されているが、このような構成は各行の液晶画素P Xに対する液晶駆動電圧、具体的には共通電極C Eの電位に対する画素電極P Eの電位を1画素列毎に逆極性にする場合に有効である。すなわち、出力バッファD 1, D 2から1回目の駆動時に出力される画素電圧V_sの極性に対して2回目の駆動時に出力される画素電圧V_sの極性反転を必要としないため、信号線駆動回路の消費電力および充電誤差を低減できる。

【特許文献1】特開2003-295834号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、画素電圧を例えば1行毎に逆極性に設定することがフリッカと呼ばれるちらつきの対策として行われているが、市松状の網かけドットパターンを表示させたときにフリッカが目立ってしまうという問題がある。これを解消するため、画素電圧は2行以上の所定画素行数毎に逆極性に設定されることが好ましい。所定画素行数が図9に示すように4画素行である場合、信号線X 1～X 4の電位極性が図10に示すように4水平走査期間(4H)毎に遷移する。

【0007】

しかしながら、このような極性制御は信号線X 1, X 4, …の不所望な電位変動を生じさせる原因となる。制御信号C T L 0, C T L 1が各水平走査期間の前半および後半において図10に示すように遷移する場合、信号線X 1, X 4は信号線X 2, X 3がフローティング状態にある間に信号線駆動回路の出力バッファD 1, D 2にそれぞれ接続され、信号線X 2, X 3は信号線X 1, X 4が電氣的なフローティング状態にある間に信号線駆動回路の出力バッファD 2, D 1にそれぞれ接続される。各画素電極P Eは対応画素スイッチング素子Wを介して設定された電位を保持するが、この後、図9に示す寄生容量C_{sd-R}および寄生容量C_{sd-L}がそれぞれ画素電極P Eおよびその右側の信号線X間、並びに画素電極P Eおよびその左側の信号線X間に生じる。ここで、制御信号C T L 1が図10において円で囲って示すように4行の液晶画素P Xのうちの先頭行である画素ラインL 1に対応する1水平走査期間の後半で立ち下がると、信号線X 2の電位が出力バッファD 2から出力される画素電圧V_sの極性反転により正極性から負極性に遷移し、信号線X 3の電位が出力バッファD 1から出力される画素電圧V_sの極性反転により負極性から正極性に遷移する。このとき、信号線X 1の電位は、信号線X 2から寄生容量C_{sd-R}、電位保持状態の画素電極P E、寄生容量C_{sd-L}を介して信号線X 1に至る容量結合経路の存在によって信号線X 2の電位変動の影響を受ける。また、信号線X 4の電位は信号線X 3から寄生容量C_{sd-L}、電位保持状態の画素電極P E、寄生容量C_{sd-R}を介して信号線X 4に至る容量

結合経路の存在により信号線X3の電位変動の影響を受ける。具体的には、画素ラインL1において信号線X1、X4に画素スイッチング素子Tを介して接続された画素電極PEの電位が変動してしまうことになる。こうして変動した電位は、この画素ラインL1に対応する全ての画素スイッチング素子Tと一緒に非導通になったときに画素電極PEに保持される。この結果、図11に示す2ドットおきの横筋が表示画面において4画素行毎に発生する。ここでは、全ての画素の階調が表示画面において横筋を観察し易くするために同じレベルに設定されている。このような横筋は、画素電圧Vsが4画素行毎に逆極性に設定される場合だけでなく、例えば2画素行毎、あるいは3画素行毎に逆極性に設定される場合でも発生する。

【0008】

本発明の目的は、各行の液晶画素を少なくとも2回に分けて駆動する場合に発生する横筋を防止できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0009】

本発明によれば、略マトリクス状に配置される複数の液晶画素と、前記複数の液晶画素の列に沿って配置された複数の信号線を各々所定数ずつ含む複数の信号線群と、前記複数の液晶画素を行単位に選択し選択行の液晶画素を前記複数の信号線を介して駆動する駆動回路とを備え、前記駆動回路は、各行の液晶画素の選択期間において、前記複数の信号線群の各々に含まれる所定数の信号線に割当てられた所定数の画素電圧を群駆動周期で並列的に出力する信号線ドライバ、前記信号線ドライバから前記群駆動周期で出力される所定数の画素電圧を前記複数の信号線群の各々に分配するマルチプレクサ、および前記信号線ドライバの出力電圧極性を所定複数の画素行毎に反転させる場合に、極性反転を必要とする先頭行のみの液晶画素の選択期間において、前記複数の信号線群の全てを前記信号線ドライバに電氣的に接続してから、前記群駆動周期毎に1群ずつ前記複数の信号線群を順次前記信号線ドライバから電氣的に切り離すように前記マルチプレクサを制御するコントローラを含む液晶表示装置が提供される。

【発明の効果】

【0010】

この液晶表示装置では、信号線ドライバの出力電圧極性を所定画素行数毎に反転させる場合に、マルチプレクサが極性反転を必要とする先頭行の液晶画素の選択期間において複数の信号線群の全てを信号線ドライバに電氣的に接続してから群駆動周期毎に1群ずつ複数の信号線群を順次信号線ドライバから電氣的に切り離す。これにより、複数の信号線群の各々に含まれる所定数の信号線が選択期間において最初に信号線ドライバから出力される所定数の画素電圧によって一律に駆動され、これら信号線の電位が極性反転される。複数の信号線群の1つが群駆動周期に等しい最初の期間の終了に際して信号線ドライバから電氣的に切り離されると、この信号線群に含まれる所定数の信号線の電位がこれら信号線に割当てられた所定数の画素電圧に等しく設定される。これ以降、所定数の画素電圧が群駆動周期で信号線ドライバから並列的に出力され、残りの信号線群の各々に含まれる所定数の信号線がこれら所定数の画素電圧によって一律に駆動される。これら残りの信号線群は群駆動周期毎に1群ずつ順次信号線ドライバから電氣的に切り離されるため、切離信号線群に含まれる所定数の信号線の電位はこれら信号線に割当てられた所定数の画素電圧に等しく設定される。すなわち、複数の信号線群の1つが最初に信号線ドライバから電氣的に切り離されるまでに、これら信号線の全てに対する極性反転が完了し、残りの信号線群に含まれる所定数の信号線の電位はこれら信号線にそれぞれに割当てられた所定数の画素電圧に等しくなるまで群駆動周期で変化する。上述のような駆動形式であると、複数の信号線群相互が容量結合していても、先にフローティング状態になった信号線群の電位が他の信号線群の電位の極性反転に伴って大幅に変動することがない。従って、各行の液晶画素を少なくとも2回に分けて駆動する場合に発生する横筋を防止できる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の第1実施形態に係る液晶表示装置について添付図面を参照して説明する。

【0012】

図1はこの液晶表示装置の回路構成を概略的に示し、図2は図1に示す液晶表示パネルの断面構造を概略的に示す。液晶表示装置は例えばノーマリホワイトの液晶表示パネルDPを備える。この液晶表示パネルDPは一对の電極基板であるアレイ基板1および対向基板2間に液晶層3を挟持した構造を有する。

【0013】

アレイ基板1は、ガラス板等からなる透明絶縁基板GL、この透明絶縁基板GL上に形成される複数の画素電極PE、およびこれら画素電極PE上に形成される配向膜ALを含む。対向基板2はガラス板等からなる透明絶縁基板GL、この透明絶縁基板GL上に形成されるカラーフィルタ層CF、このカラーフィルタ層上に形成される共通電極CE、およびこの共通電極CE上に形成される配向膜ALを含む。液晶層3は対向基板2とアレイ基板1の間隙に液晶材料を充填することにより得られる。また、一对の偏光板PLが液晶表示パネルDPの外側に設けられ、バックライトBLがアレイ基板1側の偏光板PLの外側に設けられる。

【0014】

アレイ基板1では、複数の画素電極PEが略マトリクス状に配置される。また、複数の走査線Y(Y1, Y2, Y3, ...)が複数の画素電極PEの行に沿って配置され、複数の信号線X(X1, X2, X3, ...)が複数の画素電極PEの列に沿って配置され、複数の画素スイッチング素子Tがこれら走査線Yおよび信号線Xの交差位置近傍に配置される。各画素スイッチング素子Tは、走査線Yに接続されるゲート、信号線Xおよび画素電極PE間に接続されるソースドレインプスを有する薄膜トランジスタからなり、対応走査線Yを介して駆動されたときに導通して対応信号線Xの電位を対応画素電極PEに印加する。

【0015】

各画素電極PEおよび共通電極CEは例えばITO等の透明電極材料からなり、それぞれ配向膜ALで覆われ、液晶層3の一部である画素領域と共に液晶画素PXを構成する。液晶画素PXは画素電極PEおよび共通電極CE間に液晶容量C1cを有し、画素領域内の液晶分子配列はこれら画素電極PEおよび共通電極CEの電位差として液晶容量C1cに保持される液晶駆動電圧に対応した電界によって制御される。

【0016】

また、カラーフィルタ層CFは複数の画素電極PEの列にそれぞれ対向して行方向に繰返し並べたストライプ状の赤着色層、緑着色層、および青着色層を含む。ここで、赤着色層は第1, 4, 7, ...列の画素電極PEに対向し、これら画素電極PEに対応する液晶画素PXを赤画素Rに設定して、赤画素列R1, R2, R3, ...を構成させる。緑着色層は第2, 5, 8, ...列の画素電極PEに対向し、これら画素電極PEに対応する液晶画素PXを緑画素Gに設定して、緑画素列G1, G2, G3, ...を構成させる。青着色層は第3, 6, 9, ...列の画素電極PEに対向し、これら画素電極PEに対応する液晶画素PXを青画素Bに設定して青画素列B1, B2, B3, ...を構成させる。

【0017】

液晶表示装置は、さらに複数の液晶画素PXを行単位に選択し選択行の液晶画素PXを複数の信号線Xを介して駆動する駆動回路DRを備える。駆動回路DRは、走査線ドライバ10、信号線ドライバ20、マルチプレクサ30、およびコントローラ30を有する。例えば図1に示すように、走査線ドライバ10、信号線ドライバ20、およびコントローラ30は液晶表示パネルDPの外部に設けられ、マルチプレクサ30は液晶表示パネルDP上に設けられる。ここでは、複数の信号線X1, X2, X3, X4, ...がマルチプレクサ30によって各々所定数ずつ含む複数の信号線群として例えば2つの信号線群(信号線X1, X4, X5, X8, ...および信号線X2, X3, X6, X7, ...)に区分されている。走査線ドライバ10は複数の走査線Yを順次駆動して複数の液晶画素PXを行単位に

選択するように構成される。信号線ドライバ20は各行の液晶画素PXの選択期間において第1信号線群（信号線X1, X4, X5, X8, …）および第2信号線群（信号線X2, X3, X6, X7, …）の各々に割当てられた所定数の画素電圧Vsを群駆動周期Gで並列的に出力するように構成される。マルチプレクサ30は信号線ドライバ20から群駆動周期で出力される所定数（＝信号線X1, X2, X3, …の総数に対して2以上の整数分の1、ここでは半分）の画素電圧Vsを第1および第2信号線群の各々に分配するように構成される。信号線ドライバ20の出力電圧極性は所定画素行数、例えば4画素行毎に反転される。コントローラ40は、走査線ドライバ10および信号線ドライバ20を上述のように動作させる制御に加えて、極性反転を必要とする先頭行の液晶画素PXの選択期間において第1および第2信号線群の全てを信号線ドライバ20に電氣的に接続してから群駆動周期毎に1群ずつ第1および第2信号線群を1群ずつ順次信号線ドライバ20から電氣的に切り離させるマルチプレクサ30の制御、および極性反転を必要しない行の液晶画素PXの選択期間において群駆動周期毎に第1および第2信号線群を1群ずつ順次信号線ドライバ20に電氣的に接続し切り離させるマルチプレクサ30の制御を行うように構成される。

10

【0018】

信号線ドライバ20は例えば複数のドライバICからなり、コントローラ40から信号線群単位に供給されるデジタル映像信号を所定数の画素電圧Vsに変換するD/A変換部21および、D/A変換部21から得られる所定数の画素電圧Vsを出力する出力バッファ部22を含む。出力バッファ部22は、複数の信号線X1, X2, X3, …の総数の整数分の1である所定数の出力バッファD1, D2, D3, D4, …を信号線ドライバ20の出力端として有する。マルチプレクサ30は、出力バッファD1, D2, D3, D4, …の各々から2回に分けて出力される同極性の2画素電圧を1列おきの同極性画素列に対して設けられた2信号線に一对のアナログスイッチを介して分配する構成であり、先頭行の液晶画素PX、すなわち画素ラインL1の選択期間の前半に全アナログスイッチを導通させ、この間に各出力バッファから出力される画素電圧により対応2信号線の電位を一緒に極性反転させるように制御される。具体的には、マルチプレクサ30がそれぞれ複数の信号線X1, X2, X3, X4, …に割当てられた複数のアナログスイッチASW1, ASW2, ASW3, ASW4, …を含む。複数のアナログスイッチASW1, ASW2, ASW3, ASW4, …の各々は例えばPチャネル型の薄膜トランジスタからなる。例えばアナログスイッチASW1, ASW4, ASW5, ASW8, ASW9, ASW12, …は第1信号線群である信号線X1, X4, X5, X8, X9, X12…と出力バッファD1, D2, D3, D4, D5, D6…との間に接続され、コントローラ40から供給される制御信号CTL0により制御される。残りのアナログスイッチASW2, ASW3, ASW6, ASW7, ASW10, ASW11, …は第2信号線群である信号線X2, X3, X6, X7, X10, X11…と出力バッファD1, D2, D3, D4, D5, D6…との間に接続され、コントローラ40から供給される制御信号CTL1により制御される。例えば制御信号CTL0が立ち下がると、アナログスイッチASW1, ASW4, ASW5, ASW8, ASW9, ASW12, …が全て導通して、信号線X1, X4, X5, X8, X9, X12…を出力バッファD1, D2, D3, D4, D5, D6…に電氣的に接続する。他方、制御信号CTL1が立ち下がると、アナログスイッチASW2, ASW3, ASW6, ASW7, ASW10, ASW11, …が全て導通して、信号線X2, X3, X6, X7, X10, X11…を出力バッファD1, D2, D3, D4, D5, D6…に電氣的に接続する。

20

30

40

【0019】

極性反転を必要とする先頭行の液晶画素PX、すなわち画素ラインL1の選択期間（＝1H：1水平走査期間）では、図3に示すように、制御信号CTL0, CTL1の両方が群駆動周期G（＝H/2）に等しい1Hの前半の開始直後に信号線X1, X4, X5, X8, X9, X12…および信号線X2, X3, X6, X7, X10, X11…の全てをそれぞれ出力バッファD1, D2, D3, D4, D5, D6…に電氣的に接続するために立

50

ち下がり、制御信号 C T L 0 が 1 H の前半の終了直前に信号線 X 1, X 4, X 5, X 8, X 9, X 1 2 … をそれぞれ出力バッファ D 1, D 2, D 3, D 4, D 5, D 6 … から電氣的に切り離すために立ち上がり、制御信号 C T L 1 がこれに続く 1 H の後半の終了直前に信号線 X 2, X 3, X 6, X 7, X 1 0, X 1 1 … をそれぞれ出力バッファ D 1, D 2, D 3, D 4, D 5, D 6 … から電氣的に切り離すために立ち上がる。

【0020】

他方、極性反転を必要としない行の液晶画素 P X、すなわち画素ライン L 2 ~ L 4 の各々の選択期間 (= 1 H : 1 水平走査期間) では、図 3 に示すように、制御信号 C T L 0 が群駆動周期 G (= H / 2) に等しい 1 H の前半の開始直後に信号線 X 1, X 4, X 5, X 8, X 9, X 1 2 … をそれぞれ出力バッファ D 1, D 2, D 3, D 4, D 5, D 6 … に電氣的に接続するために立ち下がり、この 1 H の前半の終了直前に信号線 X 1, X 4, X 5, X 8, X 9, X 1 2 … をそれぞれ出力バッファ D 1, D 2, D 3, D 4, D 5, D 6 … から電氣的に切り離すために立ち上がる。続いて、制御信号 C T L 1 が群駆動周期 G に等しい 1 H の後半の開始直後に信号線 X 2, X 3, X 6, X 7, X 1 0, X 1 1 … をそれぞれ出力バッファ D 1, D 2, D 3, D 4, D 5, D 6 … に電氣的に接続するために立ち下がり、この 1 H の後半の終了直前に信号線 X 2, X 3, X 6, X 7, X 1 0, X 1 1 … をそれぞれ出力バッファ D 1, D 2, D 3, D 4, D 5, D 6 … から電氣的に切り離すために立ち上がる。

【0021】

ここで、例えば信号線 X 1, X 2, X 3, X 4 の電位に注目する。信号線 X 1, X 4 が画素ライン L 1 の選択期間の前半において信号線 X 3, X 2 と一緒に出力バッファ D 1, D 2 にそれぞれ電氣的に接続されると、信号線 X 1, X 3 の電位が例えば負極性から正極性に極性反転して出力バッファ D 1 から出力される画素電圧 V_s に対応して変化し、信号線 X 4, X 2 の電位が例えば正極性から負極性に極性反転して出力バッファ D 2 から出力される画素電圧 V_s に対応して変化する。これらが画素ライン L 1 の選択期間の前半において完了すると、信号線 X 1, X 4 が出力バッファ D 1, D 2 から電氣的に切り離され、次の画素ライン L 2 の選択期間において再び出力バッファ D 1, D 2 に電氣的に接続されるまでフローティング状態となる。信号線 X 3, X 2 は画素ライン L 1 の選択期間の前半において出力バッファ D 1, D 2 から電氣的に切り離されず、画素ライン L 1 の選択期間の後半において出力バッファ D 1, D 2 からそれぞれ前半と同じ極性で出力される正極性の画素電圧 V_s および負極性の画素電圧 V_s に対応して変化する。これらが画素ライン L 1 の選択期間の後半において完了すると、信号線 X 3, X 2 が出力バッファ D 1, D 2 から電氣的に切り離される。

【0022】

上述の制御によれば、信号線 X 1, X 2, X 3, X 4 の電位が画素ライン L 1 の選択期間の前半において全て極性反転される。このため、信号線 X 1, X 4 がフローティング状態にある画素ライン L 1 の選択期間の後半において信号線 X 2, 3 の電位を極性反転する必要が無い。従って、信号線 X 2 から寄生容量 C_{sd-R}、電位保持状態の画素電極 P E、寄生容量 C_{sd-L} を介して信号線 X 1 に至る容量結合経路、並びに信号線 X 3 から寄生容量 C_{sd-L}、電位保持状態の画素電極 P E、寄生容量 C_{sd-R} を介して信号線 X 4 に至る容量結合経路が存在しても、信号線 X 2, 3 の電位の極性反転に起因した信号線 X 1, X 4 の著しい電位変動が発生しない。

【0023】

図 4 は上述のマルチプレクサ 30 を用いて設定される複数の信号線 X の電位を示す。図 4 では、例えば R 1 + が第 1 列の赤画素 R 用である正極性の画素電圧 V_s を表し、R 2 - が第 2 列の赤画素 R 用である負極性の画素電圧 V_s を表し、G 2 + が第 2 列の緑画素 G 用である正極性の画素電圧 V_s を表し、G 3 - が第 3 列の緑画素 G 用である負極性の画素電圧 V_s を表し、B 3 + が第 3 列の青画素 B 用である正極性の画素電圧 V_s を表し、B 4 - が第 4 列の青画素 B 用である負極性の画素電圧 V_s を表し、B 1 + が第 1 列の青画素 B 用である正極性の画素電圧 V_s を表し、G 1 - が第 1 列の緑画素 G 用である負極性の画素電圧

10

20

30

40

50

V_s を表し、 $R3+$ が第3列の赤画素R用である正極性の画素電圧 V_s を表し、 $B2-$ が第2列の青画素B用である負極性の画素電圧 V_s を表し、 $G4+$ が第4列の緑画素G用である正極性の画素電圧 V_s を表し、 $R4-$ が第4列の赤画素R用である負極性の画素電圧 V_s を表す。他の画素に対する画素電圧 V_s もこれらと同様の規則で表記されている。

【0024】

第2信号線群である信号線 $X2$ 、 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…の電位は第2セットの画素ライン $L1$ の選択期間の前半で出力バッファ $D1$ 、 $E2$ 、 $D3$ 、 $D4$ 、 $D5$ 、 $D6$ 、…から出力される画素電圧 V_s に対応して図4において四角で囲った $R2+$ 、 $R1-$ 、 $G3+$ 、 $G2-$ 、 $B4+$ 、 $B3-$ 、…にそれぞれ設定される。これらは、第1セットの画素ライン $L4$ の選択期間の後半で設定された $G1-$ 、 $B1+$ 、 $B2-$ 、 $R3+$ 、 $R4-$ 、 $G4+$ 、…に対して極性反転されている。これら信号線 $X2$ 、 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…の電位は第2セットの画素ライン $L1$ の選択期間の後半でさらに出力バッファ $D1$ 、 $E2$ 、 $D3$ 、 $D4$ 、 $D5$ 、 $D6$ 、…から出力される画素電圧 V_s に対応して $G1+$ 、 $B1-$ 、 $B2+$ 、 $R3-$ 、 $R4+$ 、 $G4-$ 、…にそれぞれ設定される。

10

【0025】

本実施形態によれば、信号線 $X2$ 、 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…の電位が第2セットの画素ライン $L1$ の選択期間の後半において $R2+$ 、 $R1-$ 、 $G3+$ 、 $G2-$ 、 $B4+$ 、 $B3-$ 、…から $G1+$ 、 $B1-$ 、 $B2+$ 、 $R3-$ 、 $R4+$ 、 $G4-$ 、…に極性反転せずに変化する。ここで、信号線 $X2$ に注目すると、信号線 $X2$ の電位は $R2+$ から $G1+$ に変化することになる。 $R2+$ と $G1+$ とが仮に同じ値であるとすれば、実際の信号線 $X2$ の電位は画素ライン $L1$ の選択期間の後半で全く変化しない。これは、残りの信号線 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…の電位についても同様である。従って、赤画素R、緑画素G、および青画素Gの全てを同一の輝度に設定するベタ表示であれば、各行の液晶画素を少なくとも2回に分けて駆動する場合に発生する横筋を防止できる。

20

【0026】

但し、例えば黄色の単色ベタ表示であると、例えば信号線 $X3$ の電位が第2セットの画素ライン $L1$ の選択期間の後半において $R1-$ に対応した中間階調値から $B1-$ に対応した最小階調値に変化する。この変化は既にフローティング状態にあって容量結合された隣接信号線、具体的には信号線 $X4$ あるいは $X5$ に影響してこれらの電位を変動させることになる。

30

【0027】

ちなみに、図5は上述のマルチプレクサ30を従来のように制御した場合に設定される複数の信号線 X の電位を示す。図5では、画素電圧 V_s が図4に示すものと同様の規則で表記されている。出力バッファ $D1$ 、 $E2$ 、 $D3$ 、 $D4$ 、 $D5$ 、 $D6$ 、…は第2セットの画素ライン $L1$ の選択期間の前半で第2信号線群、すなわち信号線 $X2$ 、 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…に対して画素電圧 V_s を出力しない。このため、信号線 $X2$ 、 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…の電位は第1セットの画素ライン $L4$ の選択期間の後半で設定された $G1-$ 、 $B1+$ 、 $B2-$ 、 $R3+$ 、 $R4-$ 、 $G4+$ 、…に維持される。第2セットの画素ライン $L1$ の選択期間の後半になって、出力バッファ $D1$ 、 $E2$ 、 $D3$ 、 $D4$ 、 $D5$ 、 $D6$ 、…が信号線 $X2$ 、 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…に対して画素電圧 V_s を出力すると、これら信号線 $X2$ 、 $X3$ 、 $X6$ 、 $X7$ 、 $X10$ 、 $X11$ 、…の電位は図5において矢印で示すように $G1-$ 、 $B1+$ 、 $B2-$ 、 $R3+$ 、 $R4-$ 、 $G4+$ 、…から $G1+$ 、 $B1-$ 、 $B2+$ 、 $R3-$ 、 $R4+$ 、 $G4-$ 、…に極性反転される。これら極性反転は第1信号線群、すなわち信号線 $X1$ 、 $X4$ 、 $X5$ 、 $X8$ 、 $X9$ 、 $X12$ …がフローティング状態にある間に行われる。このため、赤画素R、緑画素G、および青画素Gの全てを同一の輝度に設定するベタ表示であっても、各行の液晶画素を少なくとも2回に分けて駆動する場合に発生する横筋を防止できない。

40

【0028】

以下、本発明の第2実施形態に係る液晶表示装置について添付図面を参照して説明する。

50

【0029】

図6はこの液晶表示装置の回路構成を概略的に示す。この液晶表示装置は赤画素R、緑画素G、および青画素Gの全てを同一の輝度に設定するようなベタ表示のような制約を横筋の防止において受けないようにしたものであり、以下に説明する事項を除いて第1実施形態の液晶表示装置と同様に構成される。図6では、第1実施形態と同様な部分を同一参照符号で表し、その詳細な説明を省略する。

【0030】

図6に示す液晶表示装置において、マルチプレクサ30は、出力バッファD1、D2、D3、D4、D5、D6…の各々から2回に分けて出力される同色、同極性の2画素電圧を6列おきの同色、同極性画素列に対して設けられた2信号線に一对のアナログスイッチを介して分配する構成であり、先頭行の液晶画素PX、すなわち画素ラインL1の選択期間の前半に全アナログスイッチを導通させ、この間に各出力バッファから出力される画素電圧により対応2信号線の電位を一緒に極性反転させるように制御される。具体的には、アナログスイッチASW1、ASW4、ASW5、ASW8、ASW9、ASW12、…が第1信号線群である信号線X1、X4、X5、X8、X9、X12…と出力バッファD1、D4、D5、D2、D3、D6…との間に接続され、コントローラ40から供給される制御信号CTL0により制御される。残りのアナログスイッチASW2、ASW3、ASW6、ASW7、ASW10、ASW11、…は第2信号線群である信号線X2、X3、X6、X7、X10、X11…と出力バッファD2、D3、D6、D1、D4、D5…との間に接続され、コントローラ40から供給される制御信号CTL1により制御される。例えば制御信号CTL0が立ち下がると、アナログスイッチASW1、ASW4、ASW5、ASW8、ASW9、ASW12、…が全て導通して、信号線X1、X4、X5、X8、X9、X12…を出力バッファD1、D4、D5、D2、D3、D6…に電氣的に接続する。他方、制御信号CTL1が立ち下がると、アナログスイッチASW2、ASW3、ASW6、ASW7、ASW10、ASW11、…が全て導通して、信号線X2、X3、X6、X7、X10、X11…を出力バッファD2、D3、D6、D1、D4、D5…に電氣的に接続する。

【0031】

極性反転を必要とする先頭行の液晶画素PX、すなわち画素ラインL1の選択期間(=1H:1水平走査期間)では、図3に示すように、制御信号CTL0、CTL1の両方が群駆動周期G(=H/2)に等しい1Hの前半の開始直後に信号線X1、X4、X5、X8、X9、X12…の全てをそれぞれ出力バッファD1、D4、D5、D2、D3、D6…に電氣的に接続し、信号線X2、X3、X6、X7、X10、X11…の全てをそれぞれ出力バッファD2、D3、D6、D1、D4、D5…に電氣的に接続するために立ち下がり、制御信号CTL0が1Hの前半の終了直前に信号線X1、X4、X5、X8、X9、X12…をそれぞれ出力バッファD1、D4、D5、D2、D3、D6…から電氣的に切り離すために立ち上がり、制御信号CTL1がこれに続く1Hの後半の終了直前に信号線X2、X3、X6、X7、X10、X11…をそれぞれ出力バッファD2、D3、D6、D1、D4、D5…から電氣的に切り離すために立ち上がる。

【0032】

他方、極性反転を必要としない行の液晶画素PX、すなわち画素ラインL2~L4の各々の選択期間(=1H:1水平走査期間)では、制御信号CTL0が群駆動周期G(=H/2)に等しい1Hの前半の開始直後に信号線X1、X4、X5、X8、X9、X12…をそれぞれ出力バッファD1、D4、D5、D2、D3、D6…に電氣的に接続するために立ち下がり、この1Hの前半の終了直前に信号線X1、X4、X5、X8、X9、X12…をそれぞれ出力バッファD1、D4、D5、D2、D3、D6…から電氣的に切り離すために立ち上がる。続いて、制御信号CTL1が群駆動周期Gに等しい1Hの後半の開始直後に信号線X2、X3、X6、X7、X10、X11…をそれぞれ出力バッファD2、D3、D6、D1、D4、D5…に電氣的に接続するために立ち下がり、この1Hの後半の終了直前に信号線X2、X3、X6、X7、X10、X11…をそれぞれ出力バッファ

ァ D 2, D 3, D 6, D 1, D 4, D 5 … から電氣的に切り離すために立ち上がる。

【0033】

図7は上述のマルチプレクサ30を用いて設定される複数の信号線Xの電位を示す。図7では、例えばR1+が第1列の赤画素R用である正極性の画素電圧Vsを表し、G3-が第3列の緑画素G用である負極性の画素電圧Vsを表し、B3+が第3列の青画素B用である正極性の画素電圧Vsを表し、R2-が第2列の赤画素R用である負極性の画素電圧Vsを表し、G2+が第2列の緑画素G用である正極性の画素電圧Vsを表し、B4-が第4列の青画素B用である負極性の画素電圧Vsを表し、R3+が第3列の赤画素R用である正極性の画素電圧Vsを表し、G1-が第1列の緑画素G用である負極性の画素電圧Vsを表し、B1+が第1列の青画素B用である正極性の画素電圧Vsを表し、R4-が第4列の赤画素R用である負極性の画素電圧Vsを表し、G4+が第4列の緑画素G用である正極性の画素電圧Vsを表し、B2-が第2列の青画素B用である負極性の画素電圧Vsを表す。他の画素に対する画素電圧Vsもこれらと同様の規則で表記されている。

【0034】

第2信号線群である信号線X2, X3, X6, X7, X10, X11, …の電位は第2セットの画素ラインL1の選択期間の前半で出力バッファD2, D3, D6, D1, D4, D5 … から出力される画素電圧Vsに対応して図7において四角で囲ったG3+, B3-, B4+, R1-, R2+, G2-, …にそれぞれ設定される。これらは、第1セットの画素ラインL4の選択期間の後半で設定されたG1-, B1+, B2-, R3+, R4-, G4+, …に対して極性反転されている。これら信号線X2, X3, X6, X7, X10, X11, …の電位は第2セットの画素ラインL1の選択期間の後半でさらに出力バッファD2, D3, D6, D1, D4, D5 … から出力される画素電圧Vsに対応してG1+, B1-, B2+, R3-, R4+, G4-, …にそれぞれ設定される。

【0035】

本実施形態では、信号線X2, X3, X6, X7, X10, X11, …の電位が第2セットの画素ラインL1の選択期間の後半においてG3+, B3-, B4+, R1-, R2+, G2-, …からG1+, B1-, B2+, R3-, R4+, G4-, …に極性反転せずに変化する。ここで、信号線X2に注目すると、信号線X2の電位はG3+からG1+に変化することになる。G3+とG1+とは同一色の値であることから、実際の信号線X2の電位は画素ラインL1の選択期間の後半で全く変化しないようにできる。これは、残りの信号線X3, X6, X7, X10, X11, …の電位についても同様である。すなわち、赤色、緑色、青色のような単色、さらには赤色、緑色および青色のいずれかを最小階調とした黄色、マゼンタ、シアンのベタ表示で、各行の液晶画素を少なくとも2回に分けて駆動する場合に発生する横筋を防止できる。

【0036】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【0037】

第2実施形態では、マルチプレクサ30が出力バッファD1, D2, D3, …の各々から2回に分けて出力される2画素電圧Vsを2信号線Xに分配するように構成されたが、例えば図8に示すように出力バッファD1, D2, D3, D3, D4, D5, D6, …から3回に分けて出力される同色、同極性の3画素電圧Vsを6列おきの同色、同極性の画素列R1, R3, R5、画素列G1, G3, G5、画素列B1, B3, B5、画素列R2, R4, R6、画素列G2, G4, G6、画素列B2, B4, B6に対してそれぞれ設けられた3信号線、すなわち信号線X1, X7, X13、信号線X2, X8, X14、信号線X3, X9, X15、信号線X4, X10, X16、信号線X5, X11, X17、画素列X6, X12, X18、…に3個1組のアナログスイッチを介して分配するように構成されてもよい。この場合、制御信号CTL0, CTL1, CTL2がコントローラ40からマルチプレクサ30に供給され、3個1組のアナログスイッチの全てが先頭行の液晶画素PX、すなわち画素ラインL1の選択期間のうちの最初の1/3期間に導通し、この

間に出力バッファD 1, D 2, D 3, D 3, D 4, D 5, D 6の各々から出力される画素電圧Vsにより対応3信号線を一緒に極性反転させるように制御される。

【0038】

ちなみに、マルチプレクサ30は出力バッファD 1, D 2, D 3, …の各々から4回に分けて出力される4画素電圧Vsを4信号線Xに分配するような構成、あるいはこれらよりも多い回数に分けて出力される回数分の画素電圧Vsを回数分の信号線Xに分配するような構成に変更してもよい。

【0039】

さらに、各実施形態では、複数の液晶画素PXが4行という所定画素行数毎に極性反転されたが、本発明は複数の液晶画素PXが2行、3行、5行、…のように2行以上の画素行数毎に極性反転させる場合にも適用できる。

10

【0040】

また、本発明は例えばTN, OCB, MVA, IPSとして知られるような液晶表示パネルDPの表示モードに適用できる。特にOCBモードの液晶表示パネルDPにおいて、本発明は黒挿入駆動と併用できる。

【図面の簡単な説明】

【0041】

【図1】本発明の第1実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図2】図1に示す液晶表示パネルの断面構造を概略的に示す。

【図3】図1に示すマルチプレクサの制御によって生じる4信号線の電位変化を示す波形図である。

20

【図4】図1に示すマルチプレクサを用いて設定される複数の信号線の電位を示す図である。

【図5】図1に示すマルチプレクサを従来のように制御した場合に設定される複数の信号線の電位を示す図である。

【図6】本発明の第2実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図7】図6に示すマルチプレクサを用いて設定される複数の信号線の電位を示す図である。

【図8】図6に示すマルチプレクサの変形例を説明するための図である。

【図9】従来のマルチプレクサの構成および制御方法を説明するための図である。

30

【図10】図9に示すマルチプレクサの制御によって生じる4信号線の電位変化を示す波形図である。

【図11】図10に示す電位変化に伴って生じる横筋を示す図である。

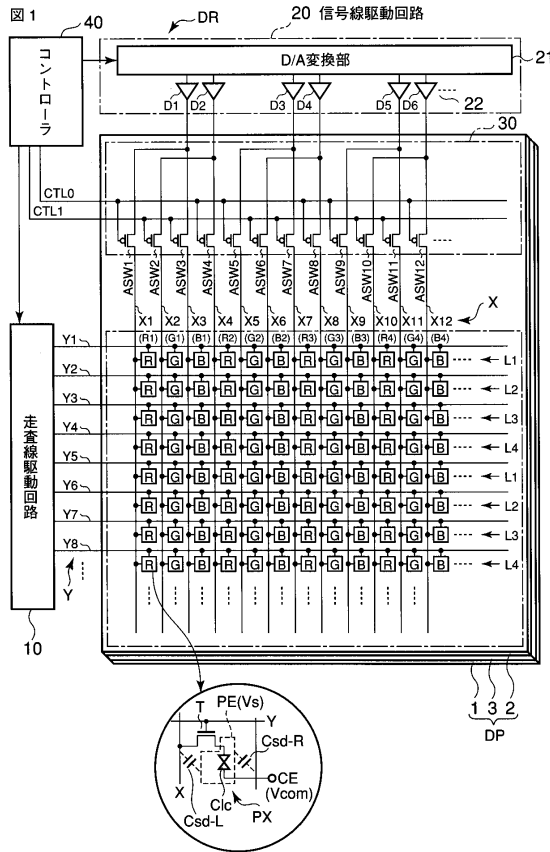
【符号の説明】

【0042】

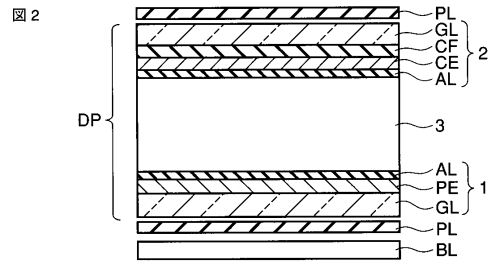
1…アレイ基板、2…対向基板、3…液晶層、10…走査線ドライバ、20…信号線ドライバ、D/A変換部、22…出力ドライバ部、30…マルチプレクサ、40…コントローラ、ASW1～ASW18…アナログスイッチ、D1～D6…出力バッファ、DP…液晶表示パネル、DR…駆動回路、PE…画素電極、CE…共通電極、C1c…液晶容量、PX…液晶画素、R…赤画素、G…緑画素、B…青画素、T…画素スイッチング素子、Y…走査線、X…信号線。

40

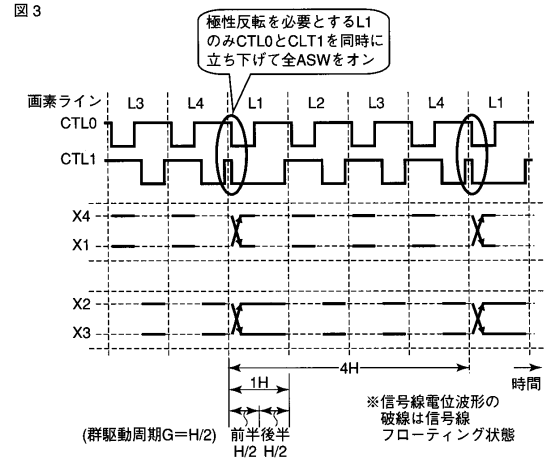
【図 1】



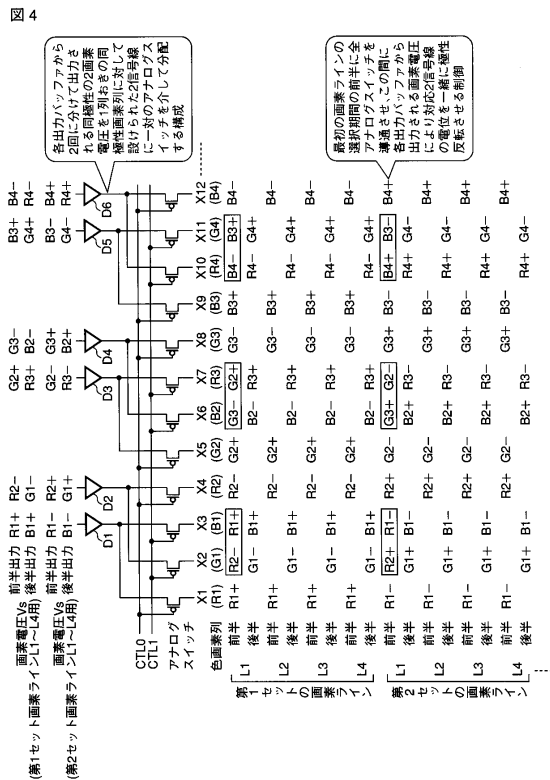
【図 2】



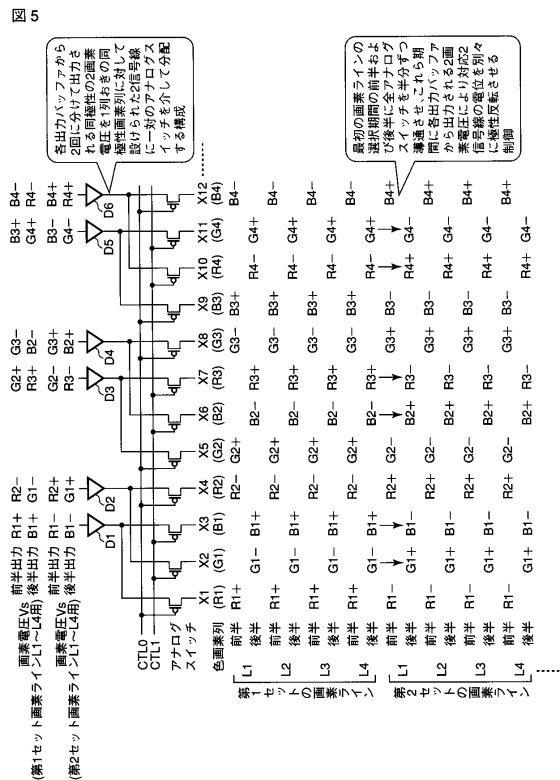
【図 3】



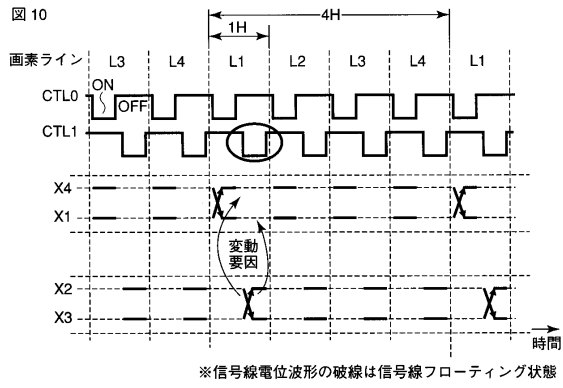
【図 4】



【図 5】

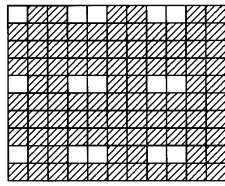


【図 10】



【図 11】

図 11



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 0 5
G 0 2 F 1/133 5 5 0

(74)代理人 100084618
弁理士 村松 貞男

(72)発明者 田中 幸生
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 深海 徹夫
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 後藤 亮治

(56)参考文献 特開2003-167556 (JP, A)
特開2003-255907 (JP, A)
特開2001-255852 (JP, A)
特開2004-012944 (JP, A)
特開2002-297109 (JP, A)
特開2004-258485 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
G 0 2 F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP4498337B2	公开(公告)日	2010-07-07
申请号	JP2006282953	申请日	2006-10-17
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	田中幸生 深海徹夫		
发明人	田中 幸生 深海 徹夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/0297 G09G2310/08 G09G2320/0209 G09G2320/0233		
FI分类号	G09G3/36 G09G3/20.642.A G09G3/20.621.B G09G3/20.623.X G09G3/20.623.R G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA34 2H093/NA63 2H093/NB22 2H093/NC12 2H093/NC16 2H093/NC23 2H093/NC24 2H093/NC34 2H093/ND05 2H093/ND15 2H093/ND60 2H193/ZA04 2H193/ZC02 2H193/ZC20 2H193/ZD34 2H193/ZF36 5C006/AC21 5C006/AC27 5C006/AF43 5C006/AF51 5C006/AF53 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BF14 5C006/BF24 5C006/BF34 5C006/EB04 5C006/FA22 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD23 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP2008102212A JP2008102212A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止每行的液晶像素被分开驱动时产生的水平条纹。液晶显示装置包括多个液晶像素PX，多个信号线组，每个信号线组包括预定数量的多个信号线X，以及液晶像素PX用于通过多条信号线X的驱动的驱动电路DR，驱动电路DR被分配给信号线X的预定数量包括在每个所述多个信号线组到液晶像素PX的各行中的选择期间的在组驱动期间20输出的像素电压的预定数量时，多路复用器30，用于从信号线驱动器20分配像素电压的预定数量的信号线驱动器是该组的驱动期间的每个所述多个信号线组中的输出，并将该信号所有的多个信号线组与所述第一行的液晶像素PX的选择期间需要的信号线驱动器20的极性反转电扭转线驱动器20每隔预定数目的像素行的输出电压极性在连接之后的每个组驱动周期中，多个信号线组一个接一个地连接并且控制器40用于控制多路复用器30，以使其与下一个信号线驱动器20电断开。点域1

【 图 4 】

