

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4293867号
(P4293867)

(45) 発行日 平成21年7月8日(2009.7.8)

(24) 登録日 平成21年4月17日(2009.4.17)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2003-313762 (P2003-313762)	(73) 特許権者	599142729
(22) 出願日	平成15年9月5日(2003.9.5)		奇美電子股▲ふん▼有限公司
(65) 公開番号	特開2005-84180 (P2005-84180A)		Chi Mei Optoelectronics Corporation
(43) 公開日	平成17年3月31日(2005.3.31)		台湾台南県台南科学工業園区新市郷奇業路1号
審査請求日	平成18年9月1日(2006.9.1)		NO. 1, Chi-Yeh Road, Tainan Science-Base Industrial Park, Tainan Country, Taiwan, R. O. C.
		(74) 代理人	100094248
			弁理士 楠本 高義
		(74) 代理人	100124718
			弁理士 増田 建

最終頁に続く

(54) 【発明の名称】画素の大型化に対応したIPS液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

透明の絶縁基板と、
 前記絶縁基板上において平行に複数形成されたゲート線と、
 前記ゲート線同士の間形成されたCs線と、
 前記ゲート線およびCs線を覆うように絶縁基板上に積層された絶縁層と、
 前記絶縁層上において、ドレイン電極とソース電極とを備え、前記ゲート線の一部をゲート電極としたトランジスタと、
 前記絶縁層を介してゲート線と直交し、前記ドレイン電極に接続された信号線と、
 前記絶縁層上において、前記ゲート線が形成された方向と同方向に形成され、前記ソース電極に接続された画素内配線と、
 前記絶縁層を介して前記Cs線と対向する複数のパッドと、
 前記トランジスタ、信号線、画素内配線およびパッドを覆うように絶縁層上に積層された樹脂層と、
 前記パッド上の樹脂層に形成された複数の第1スルーホールと、
 前記画素内配線上の樹脂層に形成された前記第1スルーホールと同数の第2スルーホールと、
 前記第2スルーホール、樹脂層表面および第1スルーホールを介して前記信号線とパッドとを接続する複数の画素電極と、
 を含むIPS液晶ディスプレイ。

10

20

【請求項 2】

前記樹脂層上において、前記ゲート線および信号線とオーバーラップする第 1 共通電極と、

前記樹脂層上で前記第 1 共通電極に接続され、該第 1 共通電極とで前記画素電極の周囲を囲む第 2 共通電極と、

を含む請求項 1 に記載の IPS 液晶ディスプレイ。

【請求項 3】

前記樹脂層表面において、前記画素電極が、前記パッドから前記第 1 スルーホールを介して前記第 2 スルーホールの逆方向に延長された請求項 1 または 2 に記載の IPS 液晶ディスプレイ。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画素が大型化しても種々の欠陥が発生しにくく、欠陥が発生しても容易にリペアできる IPS (in-plane-switching) 液晶ディスプレイに関する。

【背景技術】**【0002】**

近年、液晶ディスプレイが大型化している。これは、薄型大画面テレビに液晶ディスプレイが使用されるようになったためである。液晶ディスプレイをテレビに使用するためには、パソコンで使用される液晶ディスプレイと比較して広視野角が要求される。これは、テレビであれば複数人が同時に液晶ディスプレイを見ることになるからである。広視野角の液晶ディスプレイの一つとして、IPS 液晶ディスプレイがある。

20

【0003】

IPS 液晶ディスプレイは、アレイ基板とカラーフィルター基板が一定間隔で対向し、両基板の間に液晶が充填されている。図 6 に示す一般的な IPS 液晶ディスプレイのアレイ基板 60 の製造は下記の (1) ~ (8) の順でおこなう。(1) ガラス基板などの透明絶縁基板を準備する。(2) ガラス基板上にゲート線 62 および Cs (storage capacity) 線 64 を形成する。(3) CVD (chemical vapor deposition) によって絶縁層を形成する。(4) ゲート線 62 の一部をゲート電極とした TFT (thin film transistor) 66、TFT 66 のドレイン電極に接続される信号線 68、絶縁層を介して Cs 線 64 と対向するパッド 70、パッド 70 と TFT 66 のソース電極とを接続する画素内配線 72 を同一層に形成する。(5) それらの上に絶縁層を積層する。(6) パッド 70 上の絶縁層にスルーホール 74 を形成する。(7) 画素電極 76 および共通電極 78 を形成する。(8) 両電極 76、78 を形成した層の上に配向層を形成する。

30

【0004】

画素電極 76 はスルーホール 74 を介してパッド 70 に接続されており、画素内で帯状の電極となっている。帯状の電極の数は任意である。共通電極 78 は画素電極 76 と同じように帯状であり、画素電極 76 と同一層に形成される。画素電極 76 と共通電極 78 は同一層で平行になっている。両電極 76、78 によってガラス基板と平行な電界を発生させ、電界の強弱で液晶の配向を変化させる。

40

【0005】

また、共通電極 78 は、画素の周縁にも形成され、一部の共通電極 78 が信号線 68 とオーバーラップする。このようにオーバーラップさせると、信号線 68 で発生した電界を共通電極 78 でシールドでき、液晶の誤動作を防ぐことができる。画素内で画素電極 76 と対向する共通電極 78 は、信号線とオーバーラップすることではなく、画素の途中で切れている。

【0006】

テレビの解像度は一定である。したがって、液晶ディスプレイをテレビに使用する場合、液晶ディスプレイもそれに合わせる必要がある。すなわち、テレビの大型化に合わせて液晶ディスプレイも大型化した場合、画素数は一定で、各画素が大きくなる。

50

【 0 0 0 7 】

画素電極 7 6 と共通電極 7 8 との間隔は液晶の特性などで決定されている。したがって、画素を大きくした場合、画素内の画素電極 7 6 および共通電極 7 8 の数を増やして対応する。途切れた共通電極 7 8 が増加し、共通電極 7 8 のマクロな面内抵抗が大きくなり、表示パターンによっては、クロストークなどの画質劣化が発生する。

【 0 0 0 8 】

すべての画素電極 7 6 は絶縁層に開けたスルーホール 7 4 を介してパッド 7 0 に接続されている。スルーホール 7 4 の形成不良で画素電極 7 6 とパッド 7 0 とに接続不良が発生したり、C s 線 6 4 上の絶縁層を形成したときに穴が開いてしまい、画素電極 7 6 の電位が C s 線 6 4 の電位と同じになったりする場合がある。その画素すべての画素電極 7 6 に所望の電位を印加することができず、画素全体が欠陥となる。

10

【 0 0 0 9 】

図 7 に示すように、パッド 7 0 上の絶縁層に複数のスルーホール 7 5 を開けて、複数の画素電極 7 6 がそれぞれのスルーホール 7 5 を介してパッド 7 0 に接続される構成の I P S 液晶ディスプレイのアレイ基板 6 1 も存在する。あるスルーホール 7 5 に不良があっても、そのスルーホール 7 5 に接続された画素電極 7 6 のみが不良となり、他の画素電極 7 6 は正常に動作できる。しかし、ある画素電極 7 6 自体が高抵抗の不良となると、画素電極 7 6 に流れる方形波の交流電流の角が丸まって直流成分が発生する。時間の経過とともに配向膜を介して隣の画素電極 7 6 に直流電流が流れる。数時間から数十時間の液晶ディスプレイの使用によって両電極 7 6 が同電位になり、画素全体がスイッチングのできない不良となる。

20

【 0 0 1 0 】

上記のように画素が大きくなることによって、種々の問題が生じやすくなる。これらの問題が発生すると、液晶ディスプレイの表示品質の低下につながる。また、これらの問題によって、液晶ディスプレイの製造歩留まりが悪化する。

【 0 0 1 1 】

データ線からの漏れ電界を低減することにより、開口率を大きくすることができる液晶ディスプレイが特許文献 1 に開示されている。共通電極の一部をデータ線にオーバーラップさせることによって、漏れ電界を防止している。しかし、特許文献 1 は、漏れ電界をシールドし、かつ、開口率を大きくすることについて記載されているが、画素が大型化したときに発生する欠陥に対するリペアについては記載がない。

30

【 0 0 1 2 】

【特許文献 1】特開平 1 0 - 1 8 6 4 0 7 号公報 (図 1)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

本発明の目的は、画素が大型化しても種々の欠陥が発生しにくく、発生しても容易にリペアできる I P S 液晶ディスプレイを提供することにある。

【課題を解決するための手段】

【 0 0 1 4 】

40

本発明の I P S 液晶ディスプレイは、透明の絶縁基板と、前記絶縁基板上において平行に複数形成されたゲート線と、前記ゲート線同士の間形成された C s 線と、前記ゲート線および C s 線を覆うように絶縁基板上に積層された絶縁層と、前記絶縁層上において、ドレイン電極とソース電極とを備え、前記ゲート線の一部をゲート電極としたトランジスタと、前記絶縁層を介してゲート線と直交し、前記ドレイン電極に接続された信号線と、前記絶縁層上において、前記ゲート線が形成された方向と同方向に形成され、前記ソース電極に接続された画素内配線と、前記絶縁層を介して前記 C s 線と対向する複数のパッドと、前記トランジスタ、信号線、画素内配線およびパッドを覆うように絶縁層上に積層された樹脂層と、前記パッド上の樹脂層に形成された複数の第 1 スルーホールと、前記画素内配線上の樹脂層に形成された前記第 1 スルーホールと同数の第 2 スルーホールと、前記

50

第2スルーホール、樹脂層表面および第1スルーホールを介して前記信号線とパッドとを接続する複数の画素電極と、を含む。本発明のIPS液晶ディスプレイは、パッドが複数に分かれており、それぞれに画素電極が接続されている。

【0015】

前記樹脂層上において、前記ゲート線および信号線とオーバーラップする第1共通電極と、前記樹脂層上で前記第1共通電極に接続され、該第1共通電極とで前記画素電極の周囲を囲む第2共通電極と、を含んでもよい。第1共通電極および第2共通電極で画素電極を囲み、画素内の第2共通電極は途切れることはない。

【0016】

前記樹脂層表面において、前記画素電極が、前記パッドから前記第1スルーホールを介して前記第2スルーホールの逆方向に延長されてもよい。

10

【発明の効果】

【0017】

本発明のIPS液晶ディスプレイは、パッドを複数に分けて、それぞれにゲート線を接続する。1本のゲート線やパッドに不良が発生すると、そのゲート線をカットしたり、パッドとCs線とをショートさせたりする。したがって、画素全体をリペアするのではなく、サブ画素単位でリペアすることが可能である。

【0018】

第1共通電極および第2共通電極で画素電極を囲んでおり、それらの共通電極が途中で途切れることはない。したがって、共通電極が高抵抗になることによって発生するクロストークを防ぐことができる。

20

【発明を実施するための最良の形態】

【0019】

本発明に係るIPS液晶ディスプレイの実施形態について図面を使用して説明する。図5に示すように、IPS液晶ディスプレイ10は、アレイ基板12とカラーフィルタ基板14とが一定間隔を有して対向している。両基板12, 14の間には液晶16がシール18で封止されており、液晶16を駆動させることによってIPS液晶ディスプレイを表示装置として使用できる。以下、液晶16を駆動させるための画素電極などを有するアレイ基板12について詳述する。

【実施例1】

30

【0020】

図1および図2(a), (b)に示すように、アレイ基板12は、ガラス基板20の上に複数の層が形成され、縦横に配線がなされている。ガラス基板20は、他の透明の絶縁基板であってもよい。なお、図1などに示すゲート線22などの回路パターンは左右や上下に連続している。

【0021】

図2および図3に示すように、ガラス基板20の上には、複数のゲート線22が形成されている。ゲート線22同士は平行である。例えば、ガラス基板20が横長の長方形であれば、ゲート線22が形成された方向は横方向である。また、ゲート線22同士の間に、ゲート線22と平行にCs線24が形成されている。

40

【0022】

ゲート線22およびCs線24が形成されたガラス基板20上には、ゲート線22などを覆うように絶縁層26が積層されている。絶縁層26はCVDなどの積層技術によって積層される。絶縁層材料は、SiO_xやSiN_xである。

【0023】

図2および図4に示すように、絶縁層26上には、複数の信号線30が平行に形成されている。ゲート線22と信号線30は絶縁層26を介して立体交叉している。信号線30の方向はゲート線22と直交する方向である。信号線30とゲート線22とが層を違えて縦横に形成され、平面視した場合に信号線30とゲート線22とで囲まれる領域が1つの画素となる。したがって、IPS液晶ディスプレイ10は複数の画素が縦横に配置されて

50

いる。信号線 30 は、アルミニウムなどで形成される。なお、信号線 30 は図示するように山型（日本語の「く」の字型）の連続した配線であるが、説明では便宜上、直線であるとする。

【0024】

ゲート線 22 と信号線 30 が立体交叉した近傍に T F T 28 が設けられている。T F T 28 は、周知のように、ゲート電極、ドレイン電極およびソース電極を有するスイッチング素子である。ゲート線 22 の上方に T F T 28 を設けることによって、ゲート線 22 の一部がゲート電極となる。信号線 30 とドレイン電極とが接続されている。ゲート線 22 に電圧を印加することによって T F T 28 がオンする。T F T 28 がオンしている間に信号線 30 に所望の信号電圧を印加すると、後述する画素電極に信号電圧が印加され、液晶 16 が駆動する。

10

【0025】

絶縁層 26 上で、かつ、画素内には、画素内配線 32 が形成されている。画素内配線 32 は、一端がソース電極に接続されている。画素内配線 32 はゲート線 22 と同方向に形成されている。ゲート線 22 と画素内配線 32 とはオーバーラップしていない。オーバーラップさせてしまうと、後述する共通電極と画素電極とが同一層で接続されてしまうからである。画素内配線 32 は、T F T 28 のソース電極から後述する画素電極に信号電圧を供給する経路となる。

【0026】

C s 線 24 の上の絶縁層 26 上で、かつ、画素内には、複数のパッド 34 が形成されている。C s 線 24 とパッド 34 が絶縁層 26 を介して対向することによって、蓄積容量を形成する。蓄積容量は画素の電位を保持するためのコンデンサである。パッド 34 の数は、後述する画素電極の数と同数である。従来の I P S 液晶ディスプレイであれば 1 個のパッドにすべての画素電極が接続されていたが、本発明は 1 本の画素電極に対して 1 個のパッドとなる。

20

【0027】

図 2 に示すように、信号線 30、T F T 28、画素内配線 32 およびパッド 34 が形成された絶縁層 26 上には、信号線 30 などを覆うように樹脂層（ポリマー）36 が形成されている。樹脂層 36 を設けることによって、信号線 30 と共通電極とをオーバーラップさせることができ、液晶ディスプレイの開口率を向上させることができる。

30

【0028】

それぞれのパッド 34 上の樹脂層 36 の一部には、第 1 スルーホール 38 が開けられている。また、画素内配線 32 上の樹脂層 36 には第 2 スルーホール 40 が開けられている。第 2 スルーホール 40 の数は第 1 スルーホール 38 の数と同数である。

【0029】

図 1 に示すように、画素電極 42 は、画素内配線 32 とパッド 34 とを接続している。画素電極 42 が画素内配線 32 からパッド 34 までを接続する経路は、第 2 スルーホール 40、樹脂層 36 表面および第 1 スルーホール 38 の順である。画素電極 42 は、パッド 34 から第 1 スルーホール 38 を介し、樹脂層 36 表面において第 2 スルーホール 40 の逆方向に延長されている。画素電極 42 は I T O（indium tin oxide）で形成する。

40

【0030】

樹脂層 36 表面上で、ゲート線 22 および信号線 30 とオーバーラップする第 1 共通電極 44 が形成されている。また、第 1 共通電極 44 に接続され、第 1 共通電極 44 とで画素電極 42 の周囲を囲む第 2 共通電極 46 が形成されている。第 1 共通電極 44 および第 2 共通電極 46 は一体であり、この 2 つの電極を合わせて共通電極 48 とする。画素電極 42 と共通電極 48 とが樹脂層 36 上で平行になっている構成である。従来の I P S 液晶ディスプレイであれば画素内で共通電極が分離されていたが、本発明の構成は、画素内に形成される共通電極 48 が分離せずに 1 本でつながっている。

【0031】

図 1 に示すように、各画素電極 42 は共通電極 48 に囲まれている。各画素電極 42 が

50

共通電極 4 8 によって囲まれた領域をサブ画素とする。各画素は複数のサブ画素を含み、例えば、図 1 の画素であれば 3 つのサブ画素を含む。

【 0 0 3 2 】

画素電極 4 2 と共通電極 4 8 とが形成された樹脂層 3 6 上には配向膜 5 0 が形成されている。以上の構成が、本発明の IPS 液晶ディスプレイ 1 0 に使用されるアレイ基板 1 2 の構成である。本発明の IPS 液晶ディスプレイ 1 0 は、CVD などの積層方法による材料の積層と周知のパターニング技術とを繰り返して製造する。

【 0 0 3 3 】

以上より、本発明の構成は、各画素電極 4 2 がそれぞれパッド 3 4 に接続される構成である。あるパッド 3 4 と Cs 線 2 4 のショートが発生した場合、画素全体が輝点となる。そこで、ショートの発生したパッド 3 4 に接続された画素電極 4 2 をレーザーでカットする。カットする位置は、第 2 スルーホール 4 0 の近傍である。カットした画素電極 4 2 を有するサブ画素のみが暗点となり、他のサブ画素に何ら影響はない。すなわち、本発明の IPS 液晶ディスプレイ 1 0 は、サブ画素単位でリペアが可能である。

【 0 0 3 4 】

また、逆に IPS 液晶ディスプレイ 1 0 の製造時に画素電極 4 2 が切れていた場合、その画素電極 4 2 が接続されたパッド 3 4 と Cs 線 2 4 とをレーザーでショートさせる。上の場合と同じ状態になり、リペアが可能である。

【 0 0 3 5 】

さらに、不良個所の画素電極 4 2 をカットすることによって、正常部の画素電極 4 2 の電位は、蓄積容量が減少し、直流電流が発生する。直流電流の発生しているサブ画素は、実行値の上昇により、リペアで暗くなったサブ画素の輝度を補償することができる。

【 0 0 3 6 】

画素内において、1 本の画素電極 4 2 を共通電極 4 8 が囲っている。すなわち、共通電極 4 8 はパッド 3 4 およびスルーホール 3 8 に邪魔されないので、途中で途切れずにつながっている。画素が大型化しても共通電極 4 8 の抵抗が大きくなることはなく、従来技術で説明したクロストークが発生しにくい。

【 0 0 3 7 】

以上、本発明について実施例 1 で説明したが、本発明は上記の実施例 1 に限定されることはない。その他、本発明は、主旨を逸脱しない範囲で当業者の知識に基づき種々の改良、修正、変更を加えた態様で実施できるものである。

【図面の簡単な説明】

【 0 0 3 8 】

【図 1】本発明の IPS 液晶ディスプレイのアレイ基板の正面図である。

【図 2】IPS 液晶ディスプレイのアレイ基板の断面図であり、(a) は図 1 の X - X ' 断面図であり、(b) は図 1 の Y - Y ' 断面図である。

【図 3】ガラス基板上のゲート線および Cs 線を示す図である。

【図 4】絶縁層上の信号線、TFT、画素内配線およびパッドを示す図である。

【図 5】IPS 液晶ディスプレイの断面図である。

【図 6】従来の IPS 液晶ディスプレイのアレイ基板の正面図である。

【図 7】従来の IPS 液晶ディスプレイのアレイ基板の正面図であり、パッドが複数に分かれている構成の図である。

【符号の説明】

【 0 0 3 9 】

1 0 : IPS 液晶ディスプレイ

1 2 : アレイ基板

1 4 : カラーフィルター基板

1 6 : 液晶

1 8 : シール

2 0 : ガラス基板

10

20

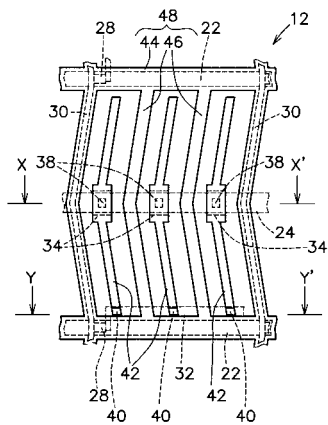
30

40

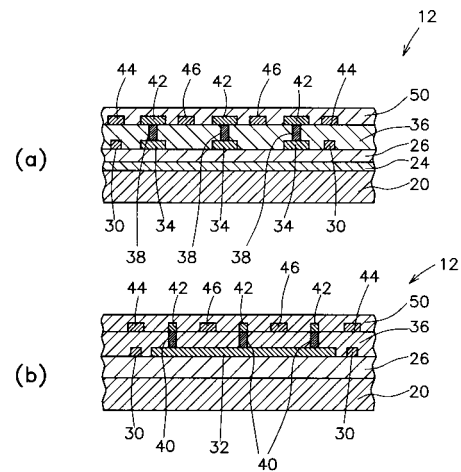
50

- 22 : ゲート線
- 24 : Cs 線
- 26 : 絶縁層
- 28 : TFT
- 30 : 信号線
- 32 : 画素内配線
- 34 : パッド
- 36 : 樹脂層
- 38 : 第1スルーホール
- 40 : 第2スルーホール
- 42 : 画素電極
- 44 : 第1共通電極
- 46 : 第2共通電極
- 48 : 共通電極
- 50 : 配向層

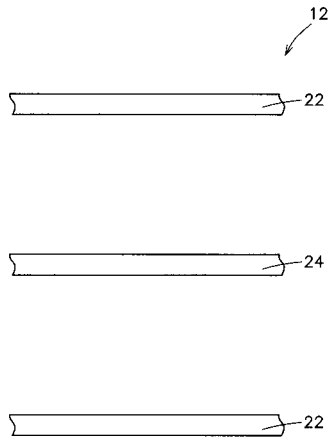
【図1】



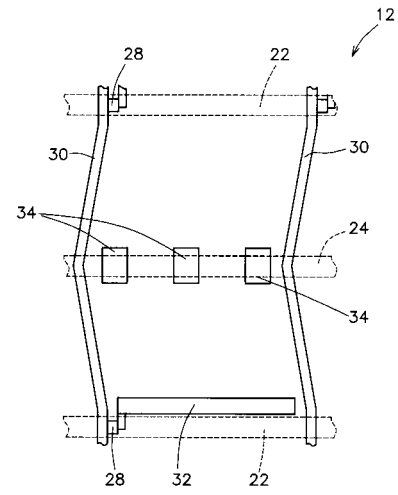
【図2】



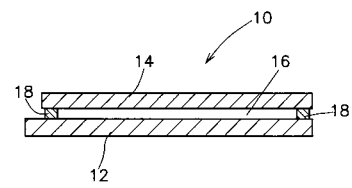
【図 3】



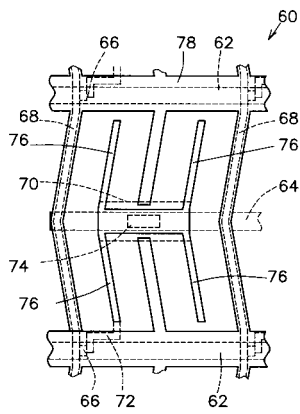
【図 4】



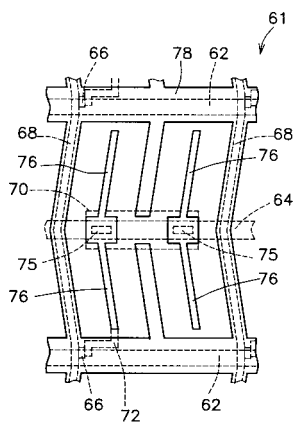
【図 5】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 清水 栄寿
滋賀県野洲郡野洲町市三宅800番地 インターナショナル ディスプレイ テクノロジー株式会
社内
- (72)発明者 草深 薫
滋賀県野洲郡野洲町市三宅800番地 インターナショナル ディスプレイ テクノロジー株式会
社内
- (72)発明者 池崎 充
滋賀県野洲郡野洲町市三宅800番地 インターナショナル ディスプレイ テクノロジー株式会
社内

審査官 奥田 雄介

- (56)参考文献 特開2004-361700(JP,A)
特開2004-226549(JP,A)
特開2005-37913(JP,A)
特開平11-264993(JP,A)
特開2003-140188(JP,A)
特開2003-207797(JP,A)
特開2003-107509(JP,A)
特開2003-058080(JP,A)
特開2003-207803(JP,A)
特開2003-140164(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1368

专利名称(译)	IPS液晶显示器对应大像素尺寸		
公开(公告)号	JP4293867B2	公开(公告)日	2009-07-08
申请号	JP2003313762	申请日	2003-09-05
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	奇美电子股▲ふん▼有限公司		
当前申请(专利权)人(译)	奇美电子股▲ふん▼有限公司		
[标]发明人	清水栄寿 草深薫 池崎充		
发明人	清水 栄寿 草深 薫 池崎 充		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA29 2H092/JA24 2H092/JA34 2H092/JA42 2H092/JA46 2H092/JA48 2H092/JB57 2H092/JB64 2H092/JB68 2H092/JB73 2H092/NA01 2H092/NA25 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB84 2H192/BC12 2H192/BC14 2H192/BC31 2H192/CB05 2H192/CC05 2H192/CC55 2H192/DA12 2H192/DA42 2H192/HB34 2H192/HB46 2H192/HB64		
其他公开文献	JP2005084180A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种IPS液晶显示器，即使在像素尺寸变大的情况下也几乎不会引起各种缺陷，并且即使在被捕获时也容易修复缺陷。解决方案：在IPS液晶显示器10中，焊盘34被分成分别连接到像素电极42的多个焊盘。各个像素电极42被公共电极48包围。因此，当像素时几乎不会产生缺陷。尺寸较大，即使在产生缺陷的情况下也很容易修复。Ž

