

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B1)

(11) 特許番号

特許第4191240号
(P4191240)

(45) 発行日 平成20年12月3日 (2008. 12. 3)

(24) 登録日 平成20年9月26日 (2008. 9. 26)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2008-201269 (P2008-201269)	(73) 特許権者	000005049
(22) 出願日	平成20年8月4日 (2008. 8. 4)		シャープ株式会社
(62) 分割の表示	特願2007-551852 (P2007-551852) の分割		大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
原出願日	平成18年7月28日 (2006. 7. 28)	(74) 代理人	110000338
審査請求日	平成20年8月8日 (2008. 8. 8)		特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2005-373485 (P2005-373485)	(72) 発明者	津幡 俊英
(32) 優先日	平成17年12月26日 (2005. 12. 26)		大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
(33) 優先権主張国	日本国 (JP)		シャープ株式会社内
早期審査対象出願		(72) 発明者	岡田 美広
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内
		(72) 発明者	伴 厚志
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶パネル、液晶表示装置、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項 1】

トランジスタと、該トランジスタの一方の導通電極から引き出された引き出し配線と、該引き出し配線に接続された画素電極と、保持容量配線と、該保持容量配線から延伸する延伸部とを備え、

該延伸部と上記引き出し配線の一部とが絶縁層を介して重なる重畳部が設けられ、

上記画素電極にはスリットが形成され、上記重畳部が該スリットの下に設けられていることを特徴とするアクティブマトリクス基板。

【請求項 2】

上記スリットは液晶分子配向制御用スリットであることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 3】

上記画素電極には切り欠き部が形成され、該切り欠き部の少なくとも一部が、上記引き出し配線の、上記導通電極から上記画素電極との接続部までの部分と重なっていることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 4】

上記切り欠き部は、上記画素電極のエッジ部分に形成されていることを特徴とする請求項 3 記載のアクティブマトリクス基板。

【請求項 5】

上記トランジスタのもう一方の導通電極がデータ信号線に接続されており、

10

20

上記保持容量配線からは、上記延伸部とは別の延伸部がデータ信号線に沿うように延伸し、この別の延伸部が上記画素電極のエッジと重なっていることを特徴とする請求項１記載のアクティブマトリクス基板。

【請求項６】

上記延伸部の端部と上記引き出し配線の端部との重なり部分が上記重畳部となっていることを特徴とする請求項１に記載のアクティブマトリクス基板。

【請求項７】

請求項３記載のアクティブマトリクス基板とブラックマトリクスが形成された対向基板とを備え、

上記切り欠き部の少なくとも一部が上記ブラックマトリクスと重なっていることを特徴とする液晶パネル。

10

【請求項８】

請求項１～６のいずれか１項に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。

【請求項９】

請求項１～６のいずれか１項に記載のアクティブマトリクス基板を備えることを特徴とする液晶表示装置。

【請求項１０】

請求項９に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えたテレビジョン受像機。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置等の表示装置に用いられるアクティブマトリクス基板に関する。

【背景技術】

【０００２】

図１５は、液晶表示装置に用いられる従来のアクティブマトリクス基板の構成である。同図に示されるように、アクティブマトリクス基板１００には、交差配置された複数の走査信号線１１６および複数のデータ信号線１１５と、各信号線（１１５・１１６）の交点近傍に形成されたＴＦＴ１１２（Thin Film Transistor：薄膜トランジスタ）と、画素電極１１７とを備える。ＴＦＴ１１２は、そのソース電極１１９がデータ信号線１１５に接続され、そのドレイン電極１０８がドレイン引き出し電極１０７を介して画素電極１１７に接続される。なお、走査信号線１１６は、ＴＦＴ１１２のゲート電極を兼ねている。

30

【０００３】

ドレイン引き出し電極１０７と画素電極１１７との間に配される絶縁膜には穴が開けられており、これによってドレイン引き出し電極１０７と画素電極１１７とを接続するコンタクトホール１１０が形成されている。画素電極１１７はＩＴＯ等の透明電極であり、アクティブマトリクス基板下からの光（バックライト光）を透過させる。

40

【０００４】

このアクティブマトリクス基板１００においては、走査信号線１１６に送られる走査信号（ゲートＯＮ電圧）によってＴＦＴ１１２がＯＮ（ソース電極１１９とドレイン電極１０８とが導通状態）状態となり、この状態においてデータ信号線１１５に送られるデータ信号（信号電圧）が、ソース電極１１９、ドレイン電極１０８およびドレイン引き出し電極１０７を介して画素電極１１７に書き込まれる。なお、保持容量（Ｃｓ）配線１１８は、ＴＦＴ１１２のオフ期間中における液晶層の自己放電を回避する等の機能を有する。

【０００５】

このようなアクティブマトリクス基板１００の製造プロセスにおいては、異物や膜残り等によってＴＦＴ１１２のソース電極１１９とドレイン電極１０８との間で短絡（リーク

50

）が生じることがある。このようなＴＦＴ不良が発生すると、画素電極１１７に正常な電圧（ドレイン電圧）が印加されなくなり、液晶表示装置において画素欠陥（輝点や黒点）となって現れる。これにより、液晶表示装置の製造歩留りが低下してしまう。

【０００６】

このＴＦＴ不良を救済する手法として、１つの画素に対して複数のＴＦＴを並列に接続し、冗長構造とする構成が提案されている（特許文献１参照）。

【特許文献１】日本国公開特許公報「特開平７－１９９２２１号公報（公開日：１９９５年８月４日）」

【発明の開示】

【０００７】

特許文献１記載の液晶表示装置は複数のＴＦＴ（アクティブ素子）を並列配置することで冗長性を持たせるものであるが、ＴＦＴと走査信号線との間の寄生容量が増加するこのような冗長構造は、近年のように信号書き込み周波数が高くなると、表示品位（特に動画表示）の低下を招来するという問題がある。加えて、容量負荷が増えるために消費電力が増加し、また、ＴＦＴを並列に複数設けるために開口率が低下するという問題もある。

【０００８】

本発明は、上記課題に鑑みてなされたものであり、その目的は、ＴＦＴ不良（例えば、ソース電極とドレイン電極との短絡）を修正でき、かつ、高速表示への対応および消費電力の抑制を実現しうるアクティブマトリクス基板を提供する点にある。

【０００９】

すなわち、本発明のアクティブマトリクス基板は、上記課題を解決するために、トランジスタと、該トランジスタの一方の導通電極から引き出された引き出し配線と、該引き出し配線に接続された画素電極と、保持容量配線と、該保持容量配線から延伸する延伸部とを備え、該延伸部と上記引き出し配線の一部とが絶縁層を介して重なる重畳部が設けられ、上記画素電極にはスリットが形成され、上記重畳部が該スリットの下に設けられていることを特徴とする。

【００１０】

本構成によれば、トランジスタに動作不良が発生した場合に、上記絶縁層を貫通させて上記延伸部（修正用配線）および引き出し配線を接続するとともに、この引き出し配線を、画素電極との接続部（例えば、コンタクトホール）および上記一方の導通電極間に断線させることで、欠陥画素の画素電極をトランジスタから切り離しつつ該画素電極を上記延伸部および引き出し配線を介して保持容量配線に接続することができる。これにより、欠陥画素の画素電極を保持容量配線の電位に落とすことができる。したがって、本アクティブマトリクス基板を例えばノーマリーブラックの液晶表示装置に用いた場合には、動作不良が発生した画素（欠陥画素）を黒点化し、これを目立ちにくくすることができる。

【００１１】

さらに、上記構成では、保持容量配線から修正用配線を引き出すものであるため、アクティブ素子を並列に配置する従来の構成と比較して容量負荷増加を大幅に抑えることができる。これにより、高速駆動への対応が可能となり、不要な消費電力増加も回避することができる。

【００１２】

本発明では、上記トランジスタが電界効果トランジスタ（ＴＦＴ含む）であり、上記引き出し配線が、電界効果トランジスタのドレイン電極（上記一方の導通電極）に接続する構成とすることができる。

【００１３】

本発明においては、上記引き出し配線は、修正用配線と重畳する部分と一方の導通電極との間に形成されるコンタクトホールによって上記画素電極に接続されていることが好ましい。例えば、上記修正用配線の端部と上記引き出し配線の端部とが重なる構成とする。

【００１４】

こうすれば、コンタクトホールを別の場所に設ける場合と比較して引き出し配線（遮光

10

20

30

40

50

性)を短くすることができる。したがって、本アクティブマトリクス基板の開口率を向上させることができる。この場合、上記画素電極には切り欠き部(あるいは割り貫き部)が形成され、該切り欠き部の少なくとも一部が、上記引き出し配線のコンタクトホールまでの部分と重なっていることが好ましい。こうすれば、トランジスタに動作不良が発生した場合に、引き出し配線を、切り欠き部と重畳する部分(上に画素電極がない部分)で切断することができ、切断工程が容易となる。さらに、この切り欠き部は、画素電極のエッジ部分に形成されていることが好ましい。こうすれば、切り欠き部が表示に与える影響を可及的に小さくすることができる。また、対向基板と組み合わせられたときに、上記切り欠き部の少なくとも一部が、該対向基板が有するブラックマトリクスと重畳することが好ましい。こうすれば、切り欠き部による光漏れを、ブラックマトリクスによって防止することができる。

10

【0015】

本発明においては、上記引き出し配線は、上記コンタクトホール内に、電極が形成されていない割り貫き部を有する構成とすることもできる。こうすれば、本来遮光部分であるコンタクトホールに光透過部分を形成することができる。したがって、本アクティブマトリクス基板の開口率を向上させることができる。この場合、上記コンタクトホールの開口部は、上記割り貫き部と交差する延伸形状であることが好ましい。こうすれば、製造工程で起こる位置ずれに強くなり、光透過部分を有しつつも、引き出し配線および画素電極の接触面積を十分担保できるコンタクトホールを実現できる。

【0016】

20

本発明においては、上記保持容量配線は、トランジスタのもう一方の導通電極に接続するデータ信号線に沿うように延伸しており、この延伸部分が上記画素電極のエッジと重畳していることが好ましい。こうすれば、この延伸部分によって画素電極およびデータ信号線間の電界を遮蔽あるいは弱めることができる。したがって、本アクティブマトリクス基板を表示装置に適用したときに、その表示品位を向上させることが可能となる。

【0017】

本発明においては、上記画素電極には、電極が形成されていない液晶分子配向制御用スリットが設けられ、(基板面の法線方向から見たときに)修正用配線の少なくとも一部が、上記液晶分子配向制御用スリットと重畳していることが好ましい。

【0018】

30

このように液晶分子配向制御用スリットを画素電極に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。

【0019】

さらに、画素電極のスリット下に修正用配線を形成することで、フリンジフィールド効果を高めることができる。また、画素電極のスリットは光透過領域(開口部)として機能していない領域であることから、修正用配線をこのスリットと重なるように形成することで、保持容量配線の延伸(引き出し)による開口率低下を回避することができる。

【0020】

本アクティブマトリクス基板は、液晶分子配向制御用突起を有する対向基板との組み合わせが可能であり、上記修正用配線は、少なくともその一部が上記液晶分子配向制御用突起と重畳するように形成されていることが好ましい。

40

【0021】

このように液晶分子配向制御用突起を対向基板(対向電極)に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。また、液晶分子配向制御用突起は光透過領域(開口部)として機能していない領域であることから、修正用配線をこの液晶分子配向制御用突起と重なるように形成することで、保持容量配線の延伸(引き出し)による開口率の低下を回避することができる。

【0022】

本発明においては、上記画素電極には、電極が形成されていない液晶分子配向制御用ス

50

リットが設けられ、上記引き出し配線の少なくとも一部が、上記液晶分子配向制御用スリットと重畳していることが好ましい。

【0023】

このように液晶分子配向制御用スリットを画素電極に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。

【0024】

また、画素電極のスリットは光透過領域（開口部）として機能していない領域であることから、上記引き出し配線をこのスリットと重なるように形成することで、引き出し配線による開口率の低下を回避することができる。この場合、上記引き出し配線を、上記一方の導通電極と上記コンタクトホールとの間において上記液晶分子配向制御用スリットと重畳するように形成しておくことが好ましい。こうすれば、トランジスタに動作不良が発生した場合に、引き出し配線を、液晶分子配向制御用スリットとの重畳部分（すなわち、上に画素電極がない部分）で切断することができ、便利である（切断工程が容易である）。

【0025】

本アクティブマトリクス基板は、液晶分子配向制御用突起を有する対向基板との組み合わせが可能であり、上記引き出し配線は、少なくともその一部が上記液晶分子配向制御用突起と重畳するように形成されていることが好ましい。

【0026】

このように液晶分子配向制御用突起を対向基板（対向電極）に設けることで、本アクティブマトリクス基板を液晶表示装置に適用したときに、その広視野角化を実現させることができる。また、液晶分子配向制御用突起は光透過領域（開口部）として機能していない領域であることから、上記引き出し配線（遮光性）をこの液晶分子配向制御用突起と重なるように形成することで、引き出し配線による開口率の低下を回避することができる。

【0027】

本アクティブマトリクス基板は、トランジスタと、該トランジスタの一方の導通電極に接続する画素電極と、保持容量配線とを備えたアクティブマトリクス基板であって、上記保持容量配線を延伸し、この保持容量配線の延伸部と上記引き出し配線とが絶縁層を介して重畳する重畳部を設けることで、上記絶縁層の貫通による上記延伸部および引き出し配線の接続を可能にしたことを特徴とすると表現することもできる。

【0028】

本アクティブマトリクス基板は、各画素領域に、第1および第2のトランジスタと、第1のトランジスタの一方の導通電極に接続する第1の画素電極と、第2のトランジスタの一方の導通電極に接続する第2の画素電極と、第1および第2の保持容量配線とを備えたアクティブマトリクス基板であって、上記第1のトランジスタの一方の導通電極から引き出された第1の引き出し配線と、上記第1の保持容量配線から引き出された第1の修正用配線と、上記第2のトランジスタの一方の導通電極から引き出された第2の引き出し配線と、上記第2の保持容量配線から引き出された第2の修正用配線とを備え、上記第1の修正用配線は、絶縁層を介して上記第1の引き出し配線の一部と重なり、上記第2の修正用配線は、絶縁層を介して上記第2の引き出し配線の一部と重なっている構成とすることもできる。

【0029】

上記構成においては、1つの画素が2以上の副画素に分割され、副画素それぞれが個別に駆動される（いわゆるマルチ画素駆動）。該構成では、副画素の総輝度でもって表示を行うため、例えば1つの副画素を修正して黒点化しても画素全体は黒点にはならない。したがって、欠陥画素をより目立ちにくくすることができる。

【0030】

本発明の表示装置は、上記アクティブマトリクス基板を備えることを特徴とする。

【0031】

本発明の表テレビジョン受像機は、上記表示装置と、テレビジョン放送を受信するチュ

10

20

30

40

50

ーナ部とを備えることを特徴とする。

【 0 0 3 2 】

本発明のアクティブマトリクス基板の欠陥修正方法は、トランジスタと、該トランジスタの一方の導通電極に接続する画素電極と、保持容量配線とを備えたアクティブマトリクス基板の欠陥を修正する、アクティブマトリクス基板の欠陥修正方法であって、上記トランジスタの一方の導通電極に接続する引き出し配線を形成するとともに、上記保持容量配線あるいはこれに接続する修正用配線を、上記引き出し配線の一部と絶縁層を介して重畳するように形成し、かつ、上記引き出し配線をコンタクトホールによって画素電極に接続しておき、上記トランジスタに動作不良が発生した場合には、上記絶縁層を貫通させて引き出し配線および保持容量配線を接続するとともに、この引き出し配線を上記一方の導通電極およびコンタクトホール間にて断線させることを特徴とする。

10

【 0 0 3 3 】

上記方法によれば、上記トランジスタに動作不良が発生した場合に、画素電極と修正用配線とを引き出し配線を介して接続し、欠陥画素の画素電極を保持容量配線の電位に落とすことができる。したがって、例えばノーマリーブラックの液晶表示装置に用いた場合には、動作不良が発生した画素（欠陥画素）を黒点化し、これを目立ちにくくすることができる。上記方法では、上記断線を、画素電極のエッジ部分と重畳する位置で行うことが好ましい。また、上記画素電極に、上記断線を行う箇所と重畳する切り欠き部を形成しておくことが好ましい。

【 0 0 3 4 】

20

上記方法においては、画素電極に、電極が形成されていない液晶分子配向制御用スリットが設けられる場合に、上記断線を行う箇所がこの液晶分子配向制御用スリットと重畳するように上記引き出し配線を形成しておくことが好ましい。こうしておけば、断線工程が容易である。

【 0 0 3 5 】

以上のように、本アクティブマトリクス基板によれば、トランジスタに動作不良が発生した場合に、画素電極と保持容量配線とを、修正用配線および引き出し配線を介して接続することができる。これにより、例えばノーマリーブラックの液晶表示装置に用いた場合には、動作不良のある画素（欠陥画素）を黒点化し、これを目立ちにくくすることができる。これにより、歩留りを向上させることができる。さらに、上記構成では、アクティブ素子を並列に配置する従来の構成と比較して容量負荷増加を大幅に抑えることができる。これにより、高速駆動への対応が可能となり、不要な消費電力増加も回避することができる。

30

【発明を実施するための最良の形態】

【 0 0 3 6 】

本発明の実施の一形態を図 1 ～ 図 1 4 に基づいて説明すれば以下のとおりである。

【 0 0 3 7 】

図 1 は、本実施の形態に係るアクティブマトリクス基板の構成を示す（基板裏面からの）透視平面図である。

【 0 0 3 8 】

40

図 1 に示されるように、アクティブマトリクス基板 1 0 には、互いに直交するように図中左右方向に形成された複数の走査信号線 1 6 および図中上下方向に形成されたデータ信号線 1 5 と、各信号線（1 5 ・ 1 6）の交点近傍に形成された T F T 1 2（Thin Film Transistor：薄膜トランジスタ）と、画素電極 1 7 とを備える。T F T 1 2 は、そのソース電極 9 がデータ信号線 1 5 に接続され、そのドレイン電極 8 がドレイン引き出し配線 7（引き出し配線）を介して画素電極 1 7 に接続される。なお、走査信号線 1 6 は、T F T 1 2 のゲート電極を兼ねている。この T F T オンゲート構造によって開口率を向上させることができる。画素電極 1 7 は I T O 等の透明電極であり、アクティブマトリクス基板 1 0 下からの光（バックライト光）を透過させる。

【 0 0 3 9 】

50

このアクティブマトリクス基板 10 においては、走査信号線 16 に送られる走査信号（ゲート ON 電圧）によって TFT 12 が ON（ソース電極 9 とドレイン電極 8 とが導通状態）状態となり、この状態においてデータ信号線 15 に送られるデータ信号（信号電圧）が、ソース電極 9、ドレイン電極 8 およびドレイン引き出し配線 7 を介して画素電極 17 に書き込まれる。本アクティブマトリクス基板 10 の各部の詳細は以下のとおりである。

【0040】

画素電極 17 には、液晶分子の配向を制御するためのスリット（液晶分子配向制御用スリット）55 が横 V 字形状（V 字を 90 度回転させた形状）に設けられている。これは、広視野角化を目的として、特に大型液晶 TV 等に用いられる MVA（Multi-domain Vertical Alignment）方式に用いられる構成である（例えば、特開 2001-83523 号公報参照）。この MVA 方式は、アクティブマトリクス基板の画素電極にスリット（電極切除パターン）を設けるとともに、対向基板の対向電極に液晶分子配向制御用突起（リブ）を設け、これによって形成されるフリンジフィールド（Fringe Field）を利用するものである。このフリンジフィールドによって液晶分子の配向方向を複数方向に分散させることができ、広視野角が実現される。なお、スリット 55 の（基板面垂直方向から見たときの）平面形状としては、図 1 に示すように、一定の周期でジグザクに屈曲した帯状等が考えられる。

【0041】

保持容量（Cs）配線 18 は、図 1 において、データ信号線 15 と直交して（走査信号線 16 に平行に）画素電極 17 を横切るように形成されている。保持容量配線 18 からは修正用配線 19 が引き出され、また保持容量配線延伸部 20 が延伸している。

【0042】

修正用配線 19 は、保持容量配線 18 の中程（画素電極 17 の中央部下付近）から斜めに引き出され、その端部が重畳部 57 となっている。この重畳部 57 において、ドレイン引き出し配線 7 の端部と修正用配線 19 の端部とが重畳する。一方、保持容量配線延伸部 20 は、データ信号線 15 に沿って画素電極 17 のエッジを跨ぐ（保持容量配線延伸部 20 の一部が画素電極 17 に重畳し、他の部分が重畳しない）ように形成されている。

【0043】

ここで、保持容量配線 18 と画素電極 17 と両者間に位置する（層間）絶縁膜とによって保持容量が形成され、また、保持容量配線延伸部 20 と画素電極 17 と両者間に位置する（層間）絶縁膜とによって保持容量が形成される。なお、修正用配線 19 と画素電極 17 と両者間に位置する（層間）絶縁膜とによっても保持容量が形成される。これらの保持容量は、画素電極 17 に次のデータ信号が入力されるまでの間、画素電極 17 に書き込まれた電位を保持するための補助的な容量として機能する。

【0044】

さらに、本アクティブマトリクス基板 10 では、修正用配線 19 が TFT 不良の修正用として（後に詳述）、保持容量配線延伸部 20 がデータ信号線 15 および画素電極 17 間の電界の遮蔽あるいは低減用として利用される。

【0045】

なお、修正用配線 19 が保持容量配線 18 から斜めに引き出されているのは、この修正用配線 19 と、アクティブマトリクス基板 10 の対向基板（対向電極）に設けられる液晶分子配向制御用突起（リブ）とを重畳させるためである。このように、遮光性の修正用配線 19 を、同じく遮光性の配向制御用突起（リブ）下に形成することで、修正用配線 19 による開口率低下を回避することができる。また、光漏れも防止できる。

【0046】

ドレイン引き出し配線 7 は、重畳部 57（一方の端部）とドレイン電極 8（もう一方の端部）との間に、コンタクト領域 C1・C2 を備える。このコンタクト領域 C1 にはコンタクトホール 11a が形成され、このコンタクトホール 11a 内においてドレイン引き出し配線 7 と画素電極 17 とが接続される。また、コンタクト領域 C2 にはコンタクトホール 11b が形成され、このコンタクトホール 11b 内においてドレイン引き出し配線 7 と

画素電極 17 とが接続される。ここで、ドレイン引き出し配線 7 も、上記した対向基板（対向電極）の液晶分子配向制御用突起（リブ）と重畳するように形成されている。このように、遮光性のドレイン引き出し配線 7 を、同じく遮光性のリブ下に形成することで、ドレイン引き出し配線 7 による開口率低下を回避することができる。また、光漏れも防止できる。

【0047】

図 2 は、図 1 の TFT 12 の断面図である。同図に示すように、ガラス基板 60 上にゲート電極を兼ねる走査信号線 16 が形成され、このゲート電極上にゲート絶縁膜 23 が形成される。このゲート絶縁膜 23 上には半導体層（i 層）50 が形成され、この半導体層 50 上に、ドレイン電極 8 およびソース電極 9 が形成される。このドレイン電極 8 上にはドレイン引き出し配線 7 が形成され、ソース電極 9 上にはデータ信号線 15 が形成される。そして、ドレイン引き出し配線 7 上、ドレイン電極 8 およびソース電極 9 間、およびデータ信号線 15 上にパッシベーション膜 26 が形成されている。

10

【0048】

図 3 は、図 1 の重畳部（57）を含む断面図である。同図に示すように、ガラス基板 60 上に修正用配線 19 が形成され、この修正用配線 19 上にゲート絶縁膜 23 を介してドレイン引き出し配線 7 が形成される。この修正用配線 19 とドレイン引き出し配線 7 とがゲート絶縁膜 23 を介して重なる部分が重畳部 57 である。本実施の形態では、上記重畳部 57 の面積を約 $200 \mu\text{m}^2$ としており、TFT 12 に短絡等の不良が発生した場合に絶縁層（ゲート絶縁膜）23 を貫通させて修正用配線 19 およびドレイン引き出し配線 7 を導通させることが可能である。

20

【0049】

このように、重畳部 57 の面積を約 $200 \mu\text{m}^2$ とすることで、イットリウムアルミニウムガーネット（YAG）レーザ等にて絶縁膜の溶融加工を行う場合に、十分なレーザ照射領域が確保され、修正用配線 19 とドレイン引き出し配線 7 との導通の信頼性を向上させることができる。また、フォトリソグラフィ工程でのアライメントずれによる重畳部の面積の変動、レーザ照射時における YAG レーザの照射ビーム径の広がり、レーザ照射後の修正用配線 19 やドレイン引き出し配線 7 の溶融箇所がテーパ状となる膜形状を考慮した場合には、重畳部の面積をある程度大きくすることがより好ましく、具体的には、 $400 \mu\text{m}^2$ 以上であることがより好ましい。

30

【0050】

ドレイン引き出し配線 7 上にはパッシベーション膜 26 が形成される。なお、図 1 の場合は、重畳部 57 がスリット 55 に重ならないため、パッシベーション膜 26 上に画素電極（ITO）が形成される（この点、図示せず）。

【0051】

以下に、本実施の形態における TFT 不良（画素欠陥）の修正方法について説明する。

【0052】

TFT 12 に不良があったものとして、これを修正した後のアクティブマトリクス基板を図 4 に示す。同図に示されるように、TFT 12 に不良が認められた場合、ドレイン引き出し配線 7 をドレイン電極 8 およびコンタクトホール 11b 間で断線させるとともに、重畳部 57 においてゲート絶縁膜 23（図 3 参照）を貫通させ、修正用配線 19 およびドレイン引き出し配線 7 を導通させる。これにより、修正用配線 19 と画素電極 17 とがドレイン引き出し配線の一部 7r およびコンタクトホール 11a・11b を介して電氣的に接続される。これにより、画素電極 17 の電位を常に保持容量配線 18 に等しくすることができ、ノーマリーブラックの液晶表示装置において黒点（輝点に比べて目立たない）とすることができる。上記断線箇所は、ドレイン電極 8 およびコンタクトホール 11b（あるいはコンタクトホール 11a）間であればどこでも良い。もっとも、断線（切断）箇所を決定しておき、その箇所を予め細く形成する等、カットをし易くしておいても構わない。

40

【0053】

50

ここで、ドレイン引き出し配線 7 を切断する際、その上部に I T O (画素電極 1 7) が存在しない方が、切断工程が容易である。そこで、図 7 のように、ドレイン引き出し配線 7 を、ドレイン電極 8 およびコンタクトホール 1 1 a (1 1 b) 間においてスリット 5 5 下を経由するように引き回しておき、このスリット 5 5 の下で切断を行うことも可能である。また、図 9 のように、画素電極 1 7 のエッジ部分に切り欠き部 (あるいは割り貫き部) 6 6 を形成しておき、この下でドレイン引き出し配線 7 を切断することもできる。画素電極 1 7 のエッジを対向基板のブラックマトリクス (図 1 0 参照) と重畳させれば、切り欠き部 6 6 による光漏れも防止できる。ここで、ブラックマトリクスは T F T の遮光用のブラックマトリクスと兼用させることができるため、開口率の低下を抑制することができる。

10

【 0 0 5 4 】

ドレイン引き出し配線 7 のカットは、例えば、切断箇所に対してアクティブマトリクス基板 1 0 の表面または裏面からレーザを照射することによって行われる (破壊分離)。使用するレーザ波長としては、例えば、Y A G レーザの第 4 高調波 (波長 2 6 6 n m) が挙げられる。一方、ドレイン引き出し配線 7 と修正用配線 1 9 との導通 (重畳部 5 7 のメルト) には、導通箇所 (重畳部 5 7) に対してアクティブマトリクス基板 1 0 の表面または裏面からレーザを照射することによって行われる。使用するレーザ波長としては、例えば、Y A G レーザの第 2 高調波 (波長 5 3 2 n m) が挙げられる。

【 0 0 5 5 】

アクティブマトリクス基板の欠陥は、外観検査や電氣的検査などによって特定できる。この電氣的検査の一例として、結晶を電界中に設置すると電界強度に応じて結晶の光透過率が変化するという電気光学効果を応用した手法がある。すなわち、電界強度に応じて透過率が線形的に変化するモデュレータの一面に透明電極が形成され、その反対面は光が反射するように反射面が形成されている。モデュレータは、この反射面側がアクティブマトリクス基板 1 0 と対向するように設置され、モデュレータの電極側から照射された光は、モデュレータ内を透過し、前記反射面で反射される。この反射光を C C D (電荷結合素子: C h a r g e C o u p l e d D e v i c e s) カメラで受光する。この反射光の強度に基づいて、アクティブマトリクス基板の欠陥箇所を特定する。また、外観検査の一例としては、パターン認識により隣接する絵素同士でパターンを比較し、差のある場合に欠陥と判定する方法がある。

20

30

【 0 0 5 6 】

なお、アクティブマトリクス基板の欠陥修正は、少なくとも画素電極を形成した後に行うことができ、ドレイン引き出し配線 7 形成後、チャネルエッチング後に行うこともできる。ただ、リークしているチャネルを確実に電氣的に切り離し、迂回経路を形成するには、パネル点灯確認ができる液晶層形成後 (アクティブマトリクス基板とカラーフィルタ基板とを貼り合わせ、液晶を注入・封止し、液晶パネル状態にした後) の方がより好ましい。

【 0 0 5 7 】

以下、本アクティブマトリクス基板の製造方法の一例について説明する。本実施の形態では、ガラス、プラスチック等の透明絶縁性基板 6 0 上に、走査信号線 1 6 に接続されたゲート電極が設けられる。ただし、本実施の形態では走査信号線上 1 6 に T F T 1 2 が設けられているため、走査信号線 1 6 が T F T 1 2 のゲート電極として機能している。走査信号線 1 6 (ゲート電極) は、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属膜、それらの合金膜、あるいはそれらの積層膜を 1 0 0 0 ~ 3 0 0 0 の膜厚でスパッタリング法等の方法にて成膜し、これをフォトリソ法等にて必要な形状にパターンニングすることで形成される。

40

【 0 0 5 8 】

また、走査信号線 1 6 (ゲート電極) の形成と同一工程にて保持容量配線 1 8、修正用配線 1 9、保持容量配線延伸部 2 0 が形成される。このように同一工程にて形成することで、製造工程の短縮及び製造コストの低減が可能になる。修正用配線 1 9 および保持容量

50

配線延伸部 20 は、後工程にて上層に形成されるドレイン引き出し配線 7 と重なるように形成しておく。

【0059】

さらに、本実施の形態では、走査信号線 16（ゲート電極）、保持容量配線 18、修正用配線 19 および保持容量配線延伸部 20 上を覆うようにゲート絶縁膜 23 が設けられている。ゲート絶縁膜 23 は、窒化シリコンや酸化シリコン等の絶縁膜により形成される。その上には走査信号線 16（ゲート電極）と重なるように、アモルファスシリコンやポリシリコン等からなる高抵抗半導体層 50 が設けられ、さらにオーミックコンタクト層として、ソース電極 9 およびドレイン電極 8 となる、リン等の不純物をドーブした n^+ アモルファスシリコン等からなる低抵抗半導体層が設けられる。これら窒化シリコンや酸化シリコン等のゲート絶縁膜 23、アモルファスシリコン等の高抵抗半導体層 50、 n^+ アモルファスシリコン等の低抵抗半導体層（8・9）は、それぞれプラズマ CVD（化学的気相成長）法等により成膜され、フォトリソ法等によりパターン形成される。

10

【0060】

本実施の形態では、例えば、ゲート絶縁膜 23 としての窒化シリコン膜の膜厚を 3000 ~ 5000 程度、高抵抗半導体層 50 としてのアモルファスシリコン膜の膜厚を 1000 ~ 3000 程度、低抵抗半導体層（8・9）として n^+ アモルファスシリコン膜の膜厚を 400 ~ 700 程度とした。

【0061】

データ信号線 15 およびドレイン引き出し配線 7 は同一工程により形成される。データ信号線 15 およびドレイン引き出し配線 7 は、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属膜、それらの合金膜、あるいはそれらの積層膜を 1000 ~ 3000 の膜厚でスパッタリング法等の方法にて形成し、フォトリソ法等にて必要な形状にパターン形成することで形成される。TFT12 は、アモルファスシリコン膜等の高抵抗半導体層 50、 n^+ アモルファスシリコン膜等の低抵抗半導体層 8・9 に対して、データ信号線 15 およびドレイン引き出し配線 7 のパターンをマスクにし、ドライエッチングにてチャネルエッチングを行うことで形成する。

20

【0062】

本実施形態では、パッシベーション膜 26（層間絶縁膜）として、窒化シリコン、酸化シリコン等の無機絶縁膜、が設けられる。例えば、プラズマ CVD 法等により成膜した 2000 ~ 5000 程度の膜厚の窒化シリコン膜を用いることができる。

30

【0063】

本実施の形態では、コンタクトホール 11（11a・11b）は、TFT12、走査信号線 16、データ信号線 15、ドレイン引き出し配線 7 の上部を覆うように形成されたパッシベーション膜 26 を貫いて形成されている。コンタクトホール 11 は、フォトリソ法等にて必要な形状にパッシベーション膜 26 をパターニングすることで形成される。

【0064】

本実施の形態では、画素電極 17 は、パッシベーション膜 26 の上層に形成され、例えば、ITO、IZO、酸化亜鉛、酸化スズ等の透明性を有する導電膜を、スパッタリング法等により 1000 ~ 2000 程度の膜厚で成膜し、これをフォトリソ法等にて必要な形状にパターニングすることで形成される。

40

【0065】

本アクティブマトリクス基板 10 を液晶パネル化したときの構成を図 10 に示す。同図に示すように、本アクティブマトリクス基板 10 を備える液晶パネル 80 は、バックライト光源側から順に、偏光板 81、本アクティブマトリクス基板 10、配向膜 82、液晶層 83、カラーフィルタ基板 84、および偏光板 85 を備える。カラーフィルタ基板 84 は、液晶層 83 側から順に、配向膜 85、共通（対向）電極 86、着色層 87（ブラックマトリクス 99 を含む）、ガラス基板 88 を備える。そして、この共通（対向）電極 86 に液晶分子配向制御用突起（リブ）86x が設けられている。液晶分子配向制御用突起 86

50

xは、例えば、感光性樹脂等により形成される。リブ86xの(基板面垂直方向から見たときの)平面形状としては、一定の周期でジグザクに屈曲した帯状(横V字形状)等が挙げられる。

【0066】

ここで、液晶パネル化する際の、アクティブマトリクス基板とカラーフィルタ基板との間に液晶を封入する方法を説明しておく。液晶の封入方法については、基板周辺に液晶注入のため注入口を設けておいて真空で注入口を液晶に浸し、大気開放することによって液晶を注入した後UV硬化樹脂などで注入口を封止する、真空注入法などの方法で行ってもよい。しかしながら、垂直配向の液晶パネルでは、水平配向パネルに比べ注入時間が非常に長くなることから、以下に示す液晶滴下貼り合せ法を用いることが好ましい。まず、アクティブマトリクス基板の周囲にUV硬化型シール樹脂を塗布し、カラーフィルタ基板に滴下法により液晶の滴下を行う。液晶滴下法により液晶によって所望のセルギャップとなるよう最適な液晶量をシールの内側部分に規則的に滴下する。次に、上記のようにシール描画および液晶滴下を行ったカラーフィルタ基板とアクティブマトリクス基板とを貼合せするため、貼り合わせ装置内の雰囲気をも1Paまで減圧し、この減圧下において基板の貼合せを行う。その後、雰囲気を大気圧にしてシール部分を押しつぶし、所望のセルギャップを得る。ついでUV照射によってシール樹脂を仮硬化した後、シール樹脂の最終硬化を行うためにベークを行う。この時点でシール樹脂の内側に液晶が行き渡り液晶がセル内に充填された状態となる。そして、ベーク完了後にパネル単位への分断を行い、偏光板を貼り付ける。以上により、図10に示すような液晶パネルが完成する。

【0067】

本実施の形態では、アクティブマトリクス基板を図5のように構成することも可能である。すなわち、1つの画素Pの中に2つの副画素P1・P2を設ける。副画素P1において、TFT12aと、TFT12aのドレイン電極に接続するドレイン引き出し配線7aと、画素電極17aと、保持容量配線18aとが設けられるとともに、画素電極17aがコンタクトホール11a・11bを介してドレイン引き出し配線7aに接続され、かつ、保持容量配線18aから引き出された修正用配線19aとドレイン引き出し配線7aとが絶縁層を介して重畳する重畳部57aが設けられる。また、副画素P2において、TFT12bと、TFT12bのドレイン電極に接続するドレイン引き出し配線7bと、画素電極17bと、保持容量配線18bとが設けられるとともに、上記画素電極17bがコンタクトホール11x・11yを介してドレイン引き出し配線7bに接続され、かつ、保持容量配線18bから引き出された修正用配線19bとドレイン引き出し配線7bとが絶縁層を介して重畳する重畳部57bが設けられる。なお、TFT12a・12bのゲート電極は、ともに走査信号線16が兼ねている。

【0068】

ここで、保持容量配線18aは、画素電極17aの、走査信号線16の反対側にあってデータ信号線15と直角をなすエッジに重畳するように形成され、修正用配線19aは、保持容量配線18aにおけるデータ信号線15との交差部分近傍から、画素電極17a内に横V字(V字を90度回転させた形状)を描くように引き出され、その端部が重畳部57aとなっている。また、保持容量配線18bは、画素電極17bの、走査信号線16の反対側にあってデータ信号線15と直角をなすエッジに重畳するように形成され、修正用配線19bは、保持容量配線18bにおけるデータ信号線15との交差部分近傍から、画素電極17b内に横V字(V字を90度回転させた形状)を描くように引き出され、その端部が重畳部57bとなっている。

【0069】

図5のような構成は、マルチ画素構造と呼ばれる。このような2以上の副画素により画素を構成することで、画素欠陥が発生し修正を行っても、正常画素の割合の低下が抑えられる。本構成によれば、例えば3.7インチ960×540ドットの表示装置の場合、1画素サイズは284μm×854μmであるが、2つの副画素から構成すれば1画素サイズはその2分の1となり、正常画素の割合の低下を抑えることができる。

【0070】

このマルチ画素構造が適用される場合には、副画素 $P_1 \cdot P_2$ の輝度が互いに異なるように駆動することが好ましい。こうすれば、1つの画素内に明るい副画素および暗い副画素の両方が存在するため、面積階調によって中間調を表現することができ、液晶ディスプレイ画面の斜め視角における白浮きを改善できる。

【0071】

このマルチ画素構成においては、1つの画素 P に、互いに逆の位相の信号電圧が印加される2以上の保持容量配線 ($18a \cdot 18b$) が設けられる。そして、各保持容量配線 ($18a \cdot 18b$) は、異なる副画素 ($P_1 \cdot P_2$) の画素電極 ($17a \cdot 17b$) と絶縁層を介して重畳する。これにより、明るい副画素および暗い副画素を形成することができる。なお、各保持容量配線 ($18a \cdot 18b$) に印加される互いに逆の位相の信号電圧とは、複数の副画素を有する画素において、面積階調を操作するために用いられる Cs 波形電圧のことを意味し、ゲート信号のオフ後に、容量結合を行うタイミングで、ソースから供給されるドレイン信号電圧 (V_s) の突き上げに寄与する Cs 波形電圧 (Cs 極性が+) と、 V_s の突き下げに寄与する Cs 波形電圧 (Cs 極性が-) との2種類がある。このようなマルチ画素構造 (面積階調技術) においては、 Cs 波形電圧、 Cs 容量及び液晶容量の容量結合により、画素への実効電圧を副画素毎に変えて明・暗の副画素を形成させ、これらのマルチ駆動を実現することができる。なお、マルチ画素構造 (面積階調技術) については、例えば、特開2004-62146号公報等に詳細が開示されている。

【0072】

なお、マルチ画素構造にする場合、例えば、明るい副画素の面積が暗い副画素の面積と等しい1:1画素分割構造や、明るい副画素の面積が暗い副画素の面積の1/3である1:3画素分割構造等が挙げられる。中でも、1:3画素分割構造が液晶ディスプレイ画面の斜め視角における白浮き対策 (視野角改善) として特に有効である。

【0073】

なお、明るい副画素を P_1 、暗い副画素を P_2 として、暗い副画素 P_2 の TFT_{12b} にてチャネルリークした場合は、明るい副画素 P_1 よりも比較的欠陥として認識されにくい。したがって、明るい副画素 P_1 のみに修正用配線 $19a$ とドレイン引き出し配線 $7a$ とが重なる部分 $57a$ を設け (すなわち、図5において、画素 P_2 には重畳部 $57b$ を設けない)、欠陥画素修正を実施するようにしても構わない。こうすれば、画素欠陥修正工程を削減でき、また、開口率の低下を抑えることもできる。

【0074】

本実施の形態では、アクティブマトリクス基板を図6のように構成することも可能である。すなわち、修正用配線 19 を画素電極 17 のスリット 55 に重なるように形成する。このように、画素電極スリット 55 下に画素電極 17 と異なる電位の修正用配線 19 を配設することで、スリット 55 におけるフリンジフィールド効果がより効果的に発現し、液晶の配向規制力が向上する。また、光漏れも防止できる。さらに、開口率に寄与しないスリット 55 の下に遮光性の修正用配線 19 を形成することで、修正用配線 19 による開口率低下を回避することができる。この場合、図14のように、画素電極 17 のスリット 55 のできるだけ多くの部分の下 (好ましくはスリット 55 の下すべて) に保持容量配線 18 の延伸部 21 を設けておけば、一層効果的である。

【0075】

さらに、図6のように、ドレイン引き出し配線 7 の (できるだけ多くの部分) を画素電極 17 のスリット 55 に重なるように形成することが好ましい。こうすれば、開口率に寄与しない液晶分子配向制御用スリット 55 の下に遮光性のドレイン引き出し配線 7 を形成することで、ドレイン引き出し配線 7 による開口率低下を回避することができる。また、光漏れも防止できる。また、トランジスタ 12 に動作不良が発生した場合に、ドレイン引き出し配線 7 を、液晶分子配向制御用スリット 55 との重畳部分 (すなわち、上に画素電極 17 がない部分) で切断することが可能となり、切断工程が容易となる。

【0076】

10

20

30

40

50

本実施の形態では、アクティブマトリクス基板を図 8 のように構成することも可能である。すなわち、コンタクト領域 C 1 (のドレイン引き出し配線 7) に、図中上下方向を長手方向とする長方形形状の割り貫き部 5 a (電極非形成領域) を設ける。そして、ドレイン引き出し配線 7 と画素電極 1 7 との間に配される絶縁膜 (図示せず) に、上記割り貫き部 5 a とその中程部分で略直角に交差する、図中左右方向を長手方向とする長方形形状の穴を設ける。これにより、上記絶縁膜の穴がホール開口部となって、コンタクトホール 1 1 a が形成され、このコンタクトホール 1 1 a 内においてドレイン引き出し配線 7 と画素電極 1 7 とが接続される。また、コンタクト領域 C 2 (のドレイン引き出し配線 7) に、図中左右方向を長手方向とする長方形形状の割り貫き部 5 b (電極非形成領域) を設ける。そして、ドレイン引き出し配線 7 と画素電極 1 7 との間に配される絶縁膜 (図示せず) に、上記割り貫き部 5 b とその中程部分で略直角に交差する、図中上下方向を長手方向とする長方形形状の穴を設ける。これにより、上記絶縁膜の穴がホール開口部となって、コンタクトホール 1 1 b が形成され、このコンタクトホール 1 1 b 内においてドレイン引き出し配線 7 と画素電極 1 7 とが接続される。このように、光が透過しないドレイン引き出し配線 7 に電極が形成されていない割り貫き部 5 a ・ 5 b (光透過部) を設けることで、光透過率 (開口率) を向上させることができる。加えて、コンタクトホール 1 1 を、その開口部が上記割り貫き部 5 と交差する延伸形状となるように形成しているため、製造工程 (フォトリソグラフ等) での位置ずれに強く、電極領域および画素電極間のコンタクト面積の変動 (減少) を回避あるいは大幅に抑えることができる。この図 8 の構成は、ドレイン引き出し配線 7 のコンタクト領域が、画素電極 1 7 のスリット 5 5 や液晶分子配向制御突起 (リブ) の下に形成しない (できない) 場合に特に好適といえる。

【 0 0 7 7 】

本実施の形態では、図 1 に示すように、重畳部 5 7 の形状を四角形としているがこれに限定されない。例えば、円形、三角形、半円形、台形等であってもよい。すなわち、修正用配線 1 9 の一部が、ゲート絶縁膜 2 3 を介してドレイン引き出し配線 7 のパターンに重なるように設けられ、少なくともレーザ照射用の領域が確保されていれば良い。また、重畳部 5 7 の配置場所も特に限定されるものではない。また、保持容量配線 1 8、修正用配線 1 9、あるいは保持容量配線延伸部 2 0 の形成位置も上記した各構成に限定されない。

【 0 0 7 8 】

上記実施の形態で得られるアクティブマトリクス基板と、アクティブマトリクス基板の各画素に対応するようにマトリクス状に設けられた赤、緑、青のうちのいずれか 1 つの着色層と、各着色層の間に設けられた遮光性のブラックマトリクスからなるように形成されたカラーフィルタ基板を貼り合わせ、液晶を注入・封止することで、液晶表示パネルが形成される (図 1 0 参照)。この液晶パネルにドライバ (液晶駆動用 L S I) 等を接続し、偏光板やバックライトを装着することで本発明の液晶表示装置が形成される。

【 0 0 7 9 】

この液晶表示装置を適用したテレビジョン受信機について、図 1 1 ~ 図 1 3 を参照しながら以下に説明する。

【 0 0 8 0 】

図 1 1 は、テレビジョン受信機用における液晶表示装置 6 0 1 の回路ブロックである。液晶表示装置 6 0 1 は、図 1 1 に示すように、Y / C 分離回路 5 0 0、ビデオクロマ回路 5 0 1、A / D コンバータ 5 0 2、液晶コントローラ 5 0 3、液晶パネル 5 0 4、バックライト駆動回路 5 0 5、バックライト 5 0 6、マイコン 5 0 7、階調回路 5 0 8 を備えた構成となっている。上記構成の液晶表示装置 6 0 1 において、まず、テレビ信号の入力映像信号は、Y / C 分離回路 5 0 0 に入力され、輝度信号と色信号に分離される。輝度信号と色信号はビデオクロマ回路 5 0 1 にて光の 3 原色である、R、G、B に変換され、さらに、このアナログ R G B 信号は A / D コンバータ 5 0 2 により、デジタル R G B 信号に変換され、液晶コントローラ 5 0 3 に入力される。液晶パネル 5 0 4 では液晶コントローラ 5 0 3 からの R G B 信号が所定のタイミングで入力されると共に、階調回路 5 0 8 からの R G B それぞれの階調電圧が供給され、画像が表示されることになる。これらの処理を含

め、システム全体の制御はマイコン 507 が行うことになる。なお、映像信号として、テレビジョン放送に基づく映像信号、カメラにより撮像された映像信号、インターネット回線を介して供給される映像信号など、様々な映像信号に基づいて表示可能である。

【0081】

さらに、本テレビジョン受像機は、図12に示すように、チューナ部600と液晶表示装置601を備えており、チューナ部600はテレビジョン放送を受信して映像信号を出力し、液晶表示装置601はチューナ部600から出力された映像信号に基づいて画像（映像）表示を行う。

【0082】

また、本テレビジョン受信機は、例えば、図13に示すように、液晶表示装置601を第1筐体301と第2筐体306とで包み込むようにして挟持した構成となっている。第1筐体301は、液晶表示装置601で表示される映像を透過させる開口部301aが形成されている。また、第2筐体306は、液晶表示装置601の背面側を覆うものであり、該液晶表示装置601を操作するための操作回路305が設けられるとともに、下方に支持用部材308が取り付けられている。

【0083】

表示装置としては、図11に示した液晶表示装置を適用できるが、有機EL表示装置などの他の表示装置でも適用可能である。

【0084】

なお、本発明は液晶表示装置に限定されるものではなく、例えば、カラーフィルタ基板と、カラーフィルタ基板と対向するように本発明のアクティブマトリクス基板を配置し、それら基板と基板との間に有機EL層を配置することで有機ELパネルとし、パネルの外部引き出し端子にドライバ等を接続することにより有機EL表示装置を構成することも可能である。また、液晶表示装置や有機EL表示装置以外であっても、アクティブマトリクス基板で構成される表示装置であれば、本発明は適用可能である。

【産業上の利用可能性】

【0085】

本発明のアクティブマトリクス基板は、例えば液晶テレビに好適である。

【図面の簡単な説明】

【0086】

【図1】本実施の形態に係るアクティブマトリクス基板の構成を示す平面図である。

【図2】本アクティブマトリクス基板の構造を示す断面図である。

【図3】本アクティブマトリクス基板の構造を示す断面図である。

【図4】本実施の形態に係るアクティブマトリクス基板（欠陥修正後）の構成を示す平面図である。

【図5】本アクティブマトリクス基板の構成例を示す平面図である。

【図6】本アクティブマトリクス基板の構成例を示す平面図である。

【図7】本アクティブマトリクス基板の構成例を示す平面図である。

【図8】本アクティブマトリクス基板の構成例を示す平面図である。

【図9】本アクティブマトリクス基板の構成例を示す平面図である。

【図10】本アクティブマトリクス基板を備える液晶パネルの断面図である。

【図11】本実施の形態に係る液晶表示装置の構成を示すブロック図である。

【図12】本実施の形態に係るテレビジョン受像機の構成を示すブロック図である。

【図13】本実施の形態に係るテレビジョン受像機の構成を示す斜視図である。

【図14】本アクティブマトリクス基板の構成例を示す平面図である。

【図15】従来のアクティブマトリクス基板の構成を示す平面図である。

【符号の説明】

【0087】

5 切り貫き部

7 ドレイン引き出し配線（引き出し配線）

10

20

30

40

50

- 8 ドレイン電極
- 10 アクティブマトリクス基板
- 11 コンタクトホール
- 18・18a・18b 保持容量配線
- 19 修正用配線
- 20 保持容量配線延伸部
- 12 T F T
- 15 データ信号線
- 16 走査信号線
- 17 画素電極
- 55 スリット
- 57 重畳部
- 66 切り欠き部
- 86x 液晶分子配向制御用突起
- 99 ブラックマトリクス

10

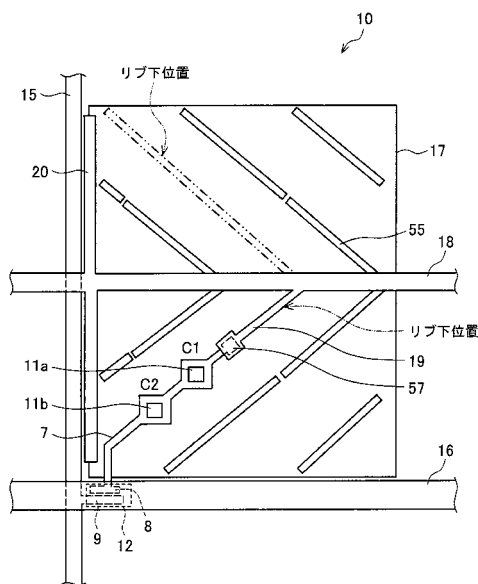
【要約】

本アクティブマトリクス基板は、トランジスタと、該トランジスタの一方の導通電極に接続する画素電極と、保持容量配線とを備えたアクティブマトリクス基板であって、上記トランジスタの一方の導通電極から引き出された引き出し配線と、上記保持容量配線から引き出された修正用配線とを備え、該修正用配線は、絶縁層を介して上記引き出し配線の一部と重なっている。これにより、T F T不良（例えば、ソース電極とドレイン電極との短絡）を修正でき、また、高速表示への対応および消費電力の抑制も実現できる。

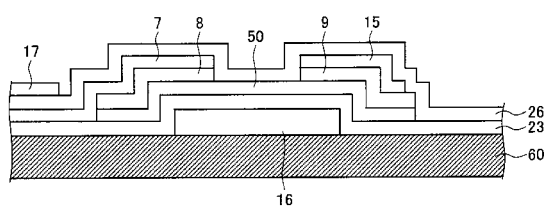
20

【選択図】図1

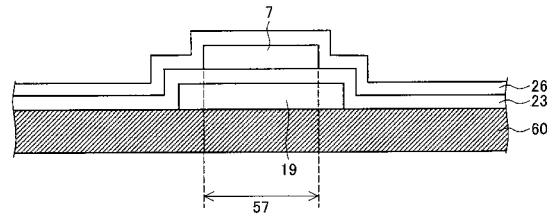
【図1】



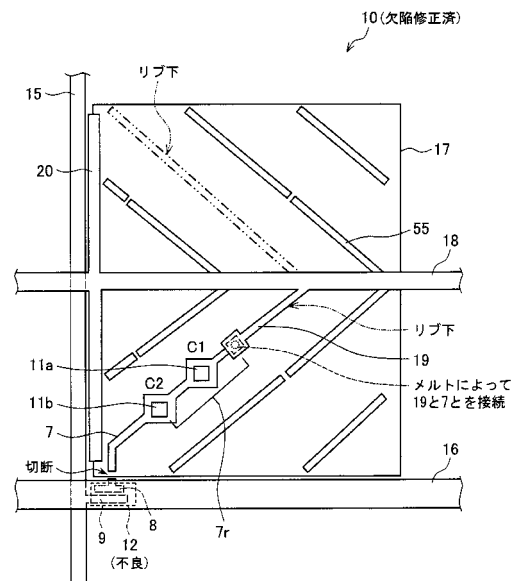
【図2】



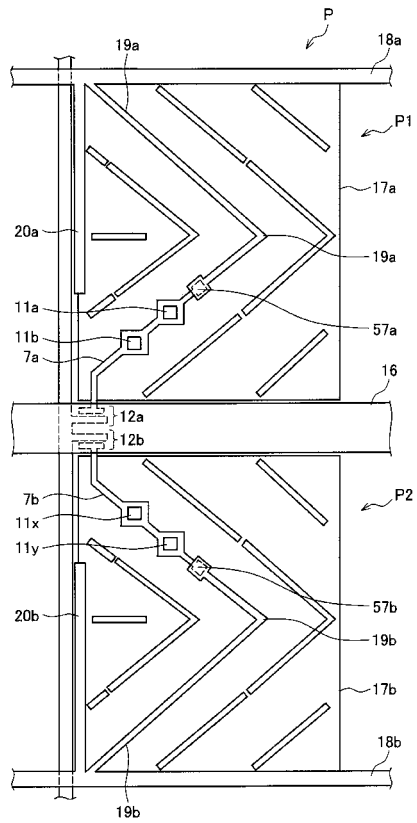
【図3】



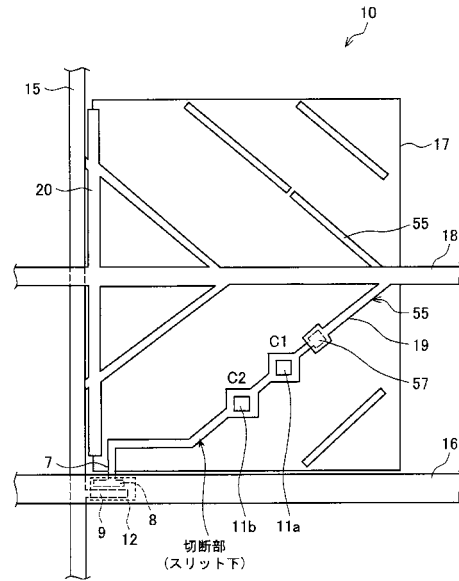
【図4】



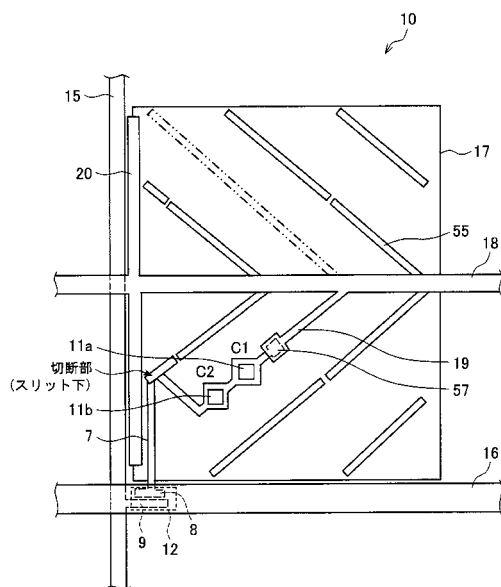
【 図 5 】



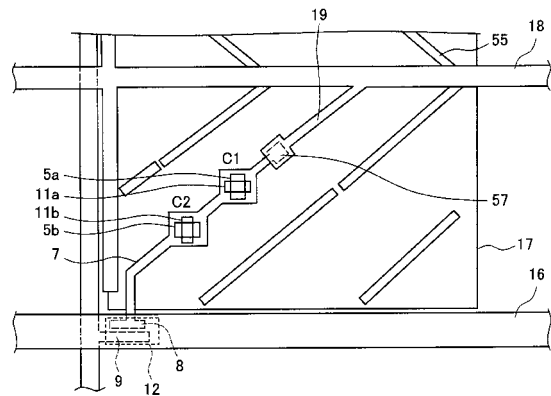
【 図 6 】



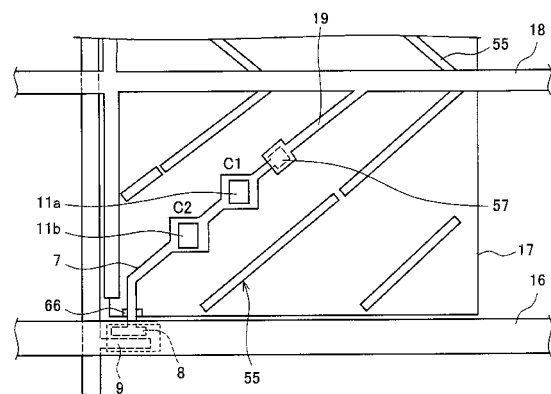
【圖 7】



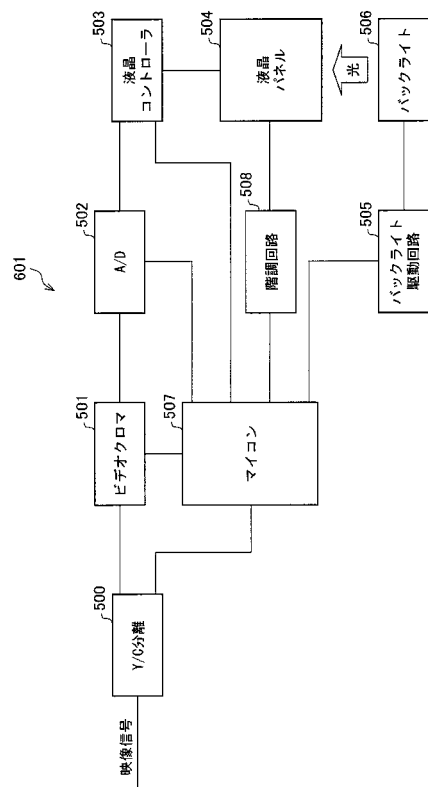
【圖 8】



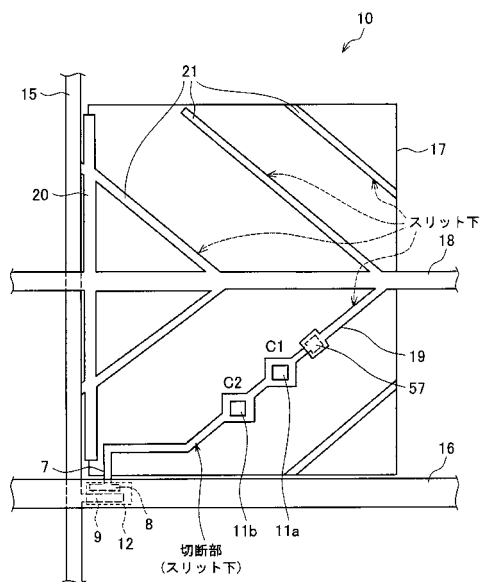
【 図 9 】



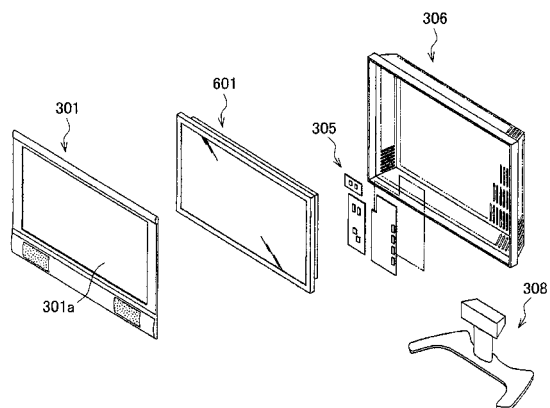
【 図 1 1 】



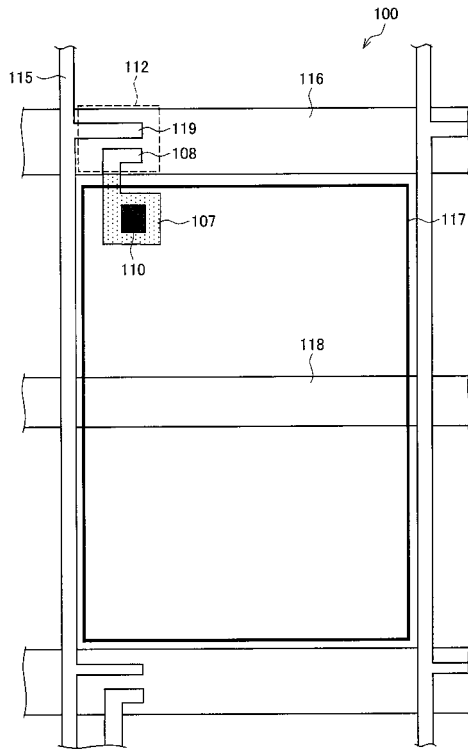
【 図 1 4 】



【 图 1 3 】



【図 15】



フロントページの続き

(72)発明者 杉原 利典
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 右田 昌士

(56)参考文献 特開 2 0 0 4 - 3 4 8 1 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 4 3

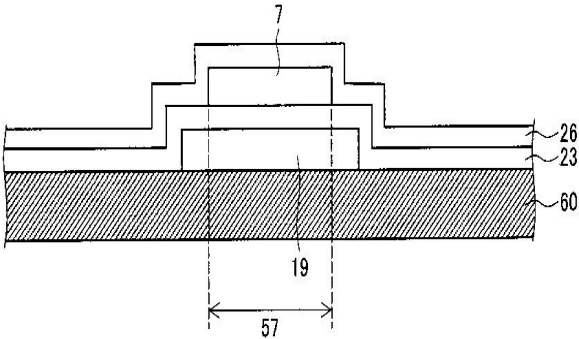
专利名称(译)	有源矩阵基板，液晶面板，液晶显示装置，电视接收器		
公开(公告)号	JP4191240B1	公开(公告)日	2008-12-03
申请号	JP2008201269	申请日	2008-08-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英 岡田美広 伴厚志 杉原利典		
发明人	津幡 俊英 岡田 美広 伴 厚志 杉原 利典		
IPC分类号	G02F1/1343 G02F G02F1/1368		
CPC分类号	G02F1/136259 G02F2001/136268 G02F2001/136263 G02F1/133707 H01L27/13 H01L27/1214 H01L2924/19041 H01L27/124 H01L27/1255		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1337.505 G09F9/30.338 H01L21/28.301.R H01L21/88.Z H01L29/50. M H01L29/78.612.A		
F-TERM分类号	2H090/HA16 2H090/HC19 2H090/KA07 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MB14 2H092 /GA13 2H092/GA29 2H092/JA23 2H092/JA24 2H092/JA26 2H092/JA40 2H092/JA46 2H092/JA47 2H092/JB05 2H092/JB24 2H092/JB33 2H092/JB42 2H092/JB66 2H092/JB69 2H092/JB71 2H092 /JB73 2H092/KA04 2H092/KA05 2H092/KA07 2H092/KA12 2H092/KA18 2H092/KA24 2H092/KB04 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA19 2H092 /MA47 2H092/MA52 2H092/NA01 2H092/NA07 2H092/NA13 2H092/NA16 2H092/NA23 2H092/NA26 2H092/NA27 2H092/NA29 2H092/PA02 2H092/PA09 2H092/QA09 2H192/AA24 2H192/BA25 2H192 /BC26 2H192/BC31 2H192/BC35 2H192/CC04 2H192/CC22 2H192/DA12 2H192/EA22 2H192/EA43 2H192/GA03 2H192/GD14 2H192/GD61 2H192/HB03 2H192/HB04 2H192/HB05 2H192/HB33 2H192 /HB49 2H192/HB64 2H192/HB75 2H192/JA13 2H290/AA34 2H290/BB24 2H290/BB44 2H290/BB73 2H290/BB87 2H290/BD03 2H290/BD23 2H290/BE12 2H290/CA14 2H290/CA42 2H290/CA46 2H290 /CA48 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/CC01 4M104/CC05 4M104/DD37 4M104/DD81 4M104 /GG09 4M104/GG14 5C094/AA03 5C094/AA04 5C094/AA06 5C094/AA10 5C094/AA13 5C094/AA16 5C094/AA22 5C094/AA42 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/DA13 5C094 /DA15 5C094/DA20 5C094/DB04 5C094/EA04 5C094/FA01 5C094/HA08 5F033/GG04 5F033/HH08 5F033/HH11 5F033/HH17 5F033/HH18 5F033/HH19 5F033/HH20 5F033/HH21 5F033/HH38 5F033 /JJ01 5F033/JJ38 5F033/KK08 5F033/KK11 5F033/KK17 5F033/KK18 5F033/KK19 5F033/KK20 5F033 /KK21 5F033/NN33 5F033/PP15 5F033/QQ37 5F033/QQ53 5F033/RR04 5F033/RR06 5F033/SS15 5F033/UU01 5F033/VV06 5F033/VV15 5F033/XX36 5F110/AA27 5F110/BB01 5F110/CC07 5F110 /DD01 5F110/DD02 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG25 5F110/GG35 5F110 /GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL07 5F110/HM19 5F110/NN04 5F110 /NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/NN73		

优先权	2005373485 2005-12-26 JP
其他公开文献	JP2009048189A
外部链接	Espacenet

摘要(译)

纠正了TFT缺陷（例如，源电极和漏电极之间的短路），支持了高速显示，并抑制了功耗。一种有源矩阵基板（10），其包括晶体管，连接到该晶体管的一个导电电极的像素电极（17）和存储电容器布线（18），引线从晶体管的一个导电电极引出。设置有从辅助电容器布线引出的布线7和校正布线19，该校正布线构成为隔着绝缘层与引线的一部分重叠。[选型图]图1

【图3】



【图4】