

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4157695号
(P4157695)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月18日(2008.7.18)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

H03K 17/16 (2006.01)

H03K 17/687 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 612E

G09G 3/20 670M

H03K 17/16 D

請求項の数 18 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2001-332969 (P2001-332969)
 (22) 出願日 平成13年10月30日(2001.10.30)
 (65) 公開番号 特開2002-268614 (P2002-268614A)
 (43) 公開日 平成14年9月20日(2002.9.20)
 審査請求日 平成16年8月30日(2004.8.30)
 (31) 優先権主張番号 2000-073804
 (32) 優先日 平成12年12月6日(2000.12.6)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100086368

弁理士 萩原 誠

(72) 発明者 權 奎 亨

大韓民国京畿道龍仁市器興邑農書里山24
番地

最終頁に続く

(54) 【発明の名称】 液晶表示装置ドライバ回路

(57) 【特許請求の範囲】

【請求項1】

外部から相異なる電圧レベルを有する第1～第N(ここで、Nは1よりも大きい整数)電圧を受けるための第1～第N入力パッドと、

前記各第1～第N入力パッドと接続され、前記入力パッドを通じて静電気パルスが印加される時に放電経路を形成する第1～第N静電気放電保護部と、

液晶表示装置を駆動するための駆動電圧を生成する出力ドライバとを備え、

前記出力ドライバは、

前記第1～第N入力パッドを通じて入力される前記第1～第N電圧を各々受けるための第1～第N抵抗を備え、この第1～第N抵抗を通じて印加される前記各々の第1～第N電圧から前記液晶表示装置を駆動するための駆動電圧を生成し、

前記第1～第N抵抗は、前記静電気パルスの印加時に前記出力ドライバの内部に流れる電流を低減するために具備されることを特徴とする液晶表示装置ドライバ回路。

【請求項2】

前記出力ドライバは、

前記第1～第N抵抗を通じて各々の前記第1～第N電圧を入力し、所定の第1～第N制御信号に応答して前記第1～第N電圧を第1ノードに伝達する第1～第N電圧伝達部と、

前記第1ノードと一側が接続され、他側が所定の出力パッドと接続された第N+1抵抗とを備えることを特徴とする請求項1に記載の液晶表示装置ドライバ回路。

【請求項3】

10

20

前記電圧伝達部は、

第1～第K（ここで、 $1 < K < N$ ）電圧を前記第1～第N制御信号のうち第1～第K制御信号に応答して前記第1ノードに伝達する第1～第K CMOS伝送ゲートと、

第K+1～第N電圧を前記第1～第N制御信号のうち第K+1～第N制御信号に応答して前記第1ノードに伝達する第K+1～第N NMOSトランジスタとを備え、

前記第1～第K電圧は、前記第K+1～第N電圧よりも高い電圧レベルを有することを特徴とする請求項2に記載の液晶表示装置ドライバ回路。

【請求項4】

前記電圧伝達部は、

前記第1～第N電圧を所定の第1～第N制御信号に応答して前記第1ノードに伝達する第1～第N CMOS伝送ゲートを備えることを特徴とする請求項2に記載の液晶表示装置ドライバ回路。

10

【請求項5】

前記電圧伝達部は、

第1～第K（ここで、 $1 < K < N$ ）電圧を第1～第K制御信号に応答して前記第1ノードに伝達する第1～第K CMOS伝送ゲートと、

NMOSトランジスタとPMOSトランジスタとの並列構造よりなり、前記第K+1～第N電圧を前記第K+1～第N制御信号に応答して前記第1ノードに伝達する第K+1～第N並列トランジスタとを備え、

前記並列トランジスタの各PMOSトランジスタのゲートは、前記第1～第N電圧よりも高いレベルを有する高電圧と接続されて正常動作時にターンオフされることを特徴とする請求項2に記載の液晶表示装置ドライバ回路。

20

【請求項6】

前記出力ドライバは、

前記出力パッドと接続され、前記出力パッドを通じて外部から静電気パルスが印加される時に放電経路を形成する出力静電気放電保護部をさらに備えることを特徴とする請求項2に記載の液晶表示装置ドライバ回路。

【請求項7】

前記第1～第N入力パッドは第1～第K入力パッドを含み、

前記第1～第N静電気放電保護部は第1～第K（ここで、 $1 < K < N$ ）静電気放電保護部を含み、この第1～第K静電気放電保護部は、

30

前記第1～第N電圧よりも高いレベルを有する高電圧と前記第1～第K入力パッドとの間に接続される第1保護素子と、

前記第1～第K入力パッドと接地電位との間に直列接続され、各ゲートが接地電位及び電源電圧のうちいずれか一つに接続される2つ以上のシンゲート酸化膜NMOSトランジスタよりなる第2保護素子とを各々備えることを特徴とする請求項1に記載の液晶表示装置ドライバ回路。

【請求項8】

前記第1～第N入力パッドは第K+1～第N入力パッドを含み、

前記第1～第N静電気放電保護部は第K+1～第N静電気放電保護部を含み、この第K+1～第N静電気放電保護部は、

40

前記高電圧と前記第K+1～第N入力パッドとの間に接続される第3保護素子と、

前記第K+1～第N入力パッドと接地電位との間に並列接続され、各ゲートが接地電位と接続される2つ以上のシンゲート酸化膜NMOSトランジスタよりなる第4保護素子とを各々備え、

前記第1～第K入力パッドを通じて印加される各電圧は前記第K+1～第N入力パッドを通じて印加される電圧よりも高いレベルを有することを特徴とする請求項7に記載の液晶表示装置ドライバ回路。

【請求項9】

前記第1～第N抵抗は拡散型抵抗で具現されることを特徴とする請求項1に記載の液晶

50

表示装置ドライバ回路。

【請求項 10】

外部から相異なる電圧レベルを有する第 1 ~ 第 N 電圧を受けるための第 1 ~ 第 N 入力パッドと、

前記各第 1 ~ 第 N 入力パッドと接続され、前記入力パッドを通じて静電気パルスが印加される時に放電経路を形成する第 1 ~ 第 N 静電気放電保護部と、

液晶表示装置を駆動するための駆動電圧を生成する出力ドライバとを備え、

前記出力ドライバは、

前記第 1 ~ 第 N 入力パッドを通じて入力される第 1 ~ 第 N 電圧を伝達するための第 1 ~ 第 N 電圧伝達手段を備え、この第 1 ~ 第 N 電圧伝達手段を通じて伝達された前記第 1 ~ 第 N 電圧から前記液晶表示装置を駆動するための駆動電圧を生成し、

前記第 1 ~ 第 N 電圧のうち低いレベルの電圧を伝達する少なくとも一つの前記電圧伝達手段は P M O S トランジスタと N M O S トランジスタとの並列構造よりなることを特徴とする液晶表示装置ドライバ回路。

【請求項 11】

前記出力ドライバは、

前記並列構造の電圧伝達手段で P M O S トランジスタのゲートを前記第 1 ~ 第 N 電圧よりも高いレベルを有する高電圧と接続して正常動作時にターンオフさせることを特徴とする請求項 10 に記載の液晶表示装置ドライバ回路。

【請求項 12】

前記第 1 ~ 第 N 電圧伝達手段は各々、所定の第 1 ~ 第 N 制御信号に応答して前記第 1 ~ 第 N 電圧を第 1 ノードに伝達することを特徴とする請求項 10 に記載の液晶表示装置ドライバ回路。

【請求項 13】

前記第 1 ~ 第 N 電圧伝達手段は、

前記第 1 ~ 第 N 電圧を所定の第 1 ~ 第 N 制御信号に応答して前記第 1 ノードに伝達する第 1 ~ 第 N C M O S 伝送ゲートを備えることを特徴とする請求項 12 に記載の液晶表示装置ドライバ回路。

【請求項 14】

前記出力ドライバは、

所定の出力パッドと接続され、前記静電気パルスが前記所定の出力パッドを通じて外部から印加される時に他の放電経路を形成する出力静電気放電保護部をさらに含むことを特徴とする請求項 12 に記載の液晶表示装置ドライバ回路。

【請求項 15】

外部から相異なる電圧レベルを有する第 1 ~ 第 N 電圧を受けるための第 1 ~ 第 N 入力パッドと、

前記各第 1 ~ 第 N 入力パッドと接続され、前記入力パッドを通じて静電気パルスが印加される時に放電経路を形成する第 1 ~ 第 N 静電気放電保護部とを備え、

前記第 1 ~ 第 N 入力パッドは第 1 ~ 第 K 入力パッドを含み、

前記第 1 ~ 第 N 静電気放電保護部は第 1 ~ 第 K (ここで、 $1 < K < N$) 静電気放電保護部を含み、この第 1 ~ 第 K 静電気放電保護部は、

前記第 1 ~ 第 N 電圧よりも高いレベルを有する高電圧と前記第 1 ~ 第 K 入力パッドとの間に接続される第 1 保護素子と、

前記第 1 ~ 第 K 入力パッドと接地電位との間に直列接続され、各ゲートが接地電位及び電源電圧のうちいずれか一つに接続される 2 つ以上のシンゲート酸化膜 N M O S トランジスタよりなる第 2 保護素子とを各々備えることを特徴とする液晶表示装置ドライバ回路。

【請求項 16】

前記第 1 ~ 第 N 入力パッドは第 K + 1 ~ 第 N 入力パッドを含み、

前記第 1 ~ 第 N 静電気放電保護部は第 K + 1 ~ 第 N 静電気放電保護部を含み、この第 K + 1 ~ 第 N 静電気放電保護部は、

前記高電圧と前記第 $K + 1 \sim$ 第 N 入力パッドとの間に接続される第 3 保護素子と、

前記 $K + 1 \sim$ 第 N 入力パッドと接地電位との間に並列接続され、各ゲートが接地電位と接続される 2 つ以上のシンゲート酸化膜 $NMOS$ トランジスタよりなる第 4 保護素子とを各々備え、

前記第 1 ～ 第 K 入力パッドを通じて印加される各電圧は、前記第 $K + 1 \sim$ 第 N 入力パッドを通じて印加される電圧よりも高いレベルを有することを特徴とする請求項 15 に記載の液晶表示装置ドライバ回路。

【請求項 17】

前記液晶表示装置ドライバ回路は出力ドライバを備え、前記出力ドライバは、

第 1 ～ 第 N 入力パッドを通じて前記第 1 ～ 第 N 電圧を各々受けるための第 1 ～ 第 N 抵抗を備え、この第 1 ～ 第 N 抵抗を通じて受けた前記各々の第 1 ～ 第 N 電圧から液晶表示装置を駆動するための駆動電圧を生成し、前記第 1 ～ 第 N 抵抗は前記静電気パルスの印加時に前記出力ドライバの内部に流れる電流を低減するために具備されることを特徴とする請求項 15 に記載の液晶表示装置ドライバ回路。

【請求項 18】

前記出力ドライバは、

前記第 1 ～ 第 N 抵抗を通じて前記第 1 ～ 第 N 電圧を各々受け、前記第 1 ～ 第 N 電圧を所定の第 1 ～ 第 N 制御信号に応答して第 1 ノードに伝達する第 1 ～ 第 N 電圧伝達手段と、

一側及び他側を有し、前記第 1 ノードと一側が接続され、他側が所定の出力パッドに接続された第 $N + 1$ 抵抗とをさらに備えることを特徴とする請求項 17 に記載の液晶表示装置ドライバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置ドライバ回路に係り、特に、静電気放電保護のための液晶表示装置ドライバ回路に関する。

【0002】

【従来の技術】

一般に、液晶表示装置 (Liquid Crystal Device、以下、LCD と言う) ドライバ回路または集積回路は、LCD パネルに情報をディスプレイするために高いレベルの LCD 電圧 (V_{LCD}) を駆動する。ここで、LCD 電圧 (V_{LCD}) は外部から印加でき、あるいは内部の電荷ポンプ、演算増幅器またはバンドギャップ回路などのアナログ回路を用いて内部的に生成できる。このような LCD 電圧は LCD 画面の画質を決定する重要な要因となる。

【0003】

しかし、LCD ドライバ回路において、電圧入力端または電圧出力端で生じる静電気放電 (Electrostatic Discharge、以下、ESD と言う) 現象により内部回路が損傷する場合がある。このため、LCD ドライバを含むほとんどの半導体装置は、ESD による損傷から半導体装置を保護するために ESD 保護用素子を入力端または出力端に備える。

【0004】

図 1 は、従来の ESD 保護のための LCD ドライバ回路を示した回路図である。図 1 に示された回路は、一般に、モノクローム LCD に適用されるドライバ回路の例であって、入力パッド 10、抵抗 R_1 、ESD 保護部 12、電圧発生部 14 及び LCD 出力ドライバ 16 を含む。

【0005】

図 1 に示された回路において、LCD 電圧 (V_{LCD}) $V_1 \sim V_5$ は各々の入力パッドを通じて外部から印加されるか、あるいは電圧発生部 14 で極めて高いレベルの電圧を分配することにより生成される。具体的には示されていないが、第 2 ～ 第 5 電圧 $V_2 \sim V_5$ も第 1 電圧 V_1 と同一の方式で LCD 出力ドライバ 16 に印加できる。正常動作時に ESD

10

20

30

40

50

保護部 12 は動作しない。これに対して、入力パッド 10 を通じて ESD パルスが印加されると、第 1 保護素子 D1 または第 2 保護素子 D2 がターンオンされて ESD パルスによる大電流が放電される放電経路が形成される。この時、入力パッド 10 と接続された直列抵抗 R1 により ESD パルスによる大きい電流がダウンされて内部回路が保護される。

【0006】

しかし、モノクローム LCD ではなく、カラー LCD を駆動する LCD ドライバ回路は、設計スペック上、LCD 電圧 (V_{LCD}) の変化量が厳しく規定されている。例えば、特定テスト条件では LCD 電圧 (V_{LCD}) が入力されるパッド 10 に流れる電流と内部電圧発生部 14 で流れる電流との差が $10\mu A$ の時に LCD 電圧の変化量が $10mV$ 未満になるように設定されている。このため、カラー LCD ドライバ回路では、図 1 の回路のように入力パッドと電圧発生部との間に電圧ドロップの主要因となる直列抵抗を接続することはできない。これにより、ESD パルスによる大電流が出力ドライバ 16 及び電圧発生部 14 に伝達されて物理的な損傷を起すようになる。すなわち、正極性または負極性の ESD パルスが印加されると、パッド 10 と隣接した ESD 保護部 12 の第 1、第 2 保護素子 D1, D2 を通じて 1 次的な放電がなされ、余分の電流が LCD 出力ドライバ 16 に印加されるからである。

【0007】

図 2 は、通常のカラー LCD ドライバ回路に適用される出力ドライバを示した回路図である。図 2 を参照すれば、相対的に高い電圧レベルを有する LCD 電圧 $V_1 \sim V_3$ を伝達する各電圧伝達素子は CMOS 伝送ゲート TG21 ~ TG23 で具現される。低い電圧レベルの LCD 電圧 V_4 及び V_5 を伝達する伝達素子は NMOS トランジスタ MN21, MN22 で具現される。また、出力パッド 22 を通じて印加される ESD パルスから内部回路を保護するために ESD 保護部 25 が具備される。カラー LCD ドライバの出力ドライバは設計スペック上ターンオン抵抗値を満足させるように設計されている。すなわち、印加される LCD 電圧 $V_1 \sim V_5$ と比例して各伝送ゲート TG21 ~ TG23 及び NMOS トランジスタ MN21, MN22 のターンオン抵抗値が決まる。したがって、低い電圧レベルを有する LCD 電圧 V_4 及び V_5 を駆動する部分は、小さい幅の NMOS トランジスタ MN21, MN22 だけで所望の抵抗値を得ることができる。

【0008】

【発明が解決しようとする課題】

しかし、このように、NMOS トランジスタを用いる場合には、正極性の ESD パルス印加時に順方向の放電経路がなく、また放電面積が極めて狭いため放電能力に劣るという問題がある。

【0009】

また、従来の LCD ドライバ回路は、入力パッドに接続される保護素子 (例えば、図 1 の D1, D2) の放電効率が低いため、ESD 保護特性が低下する可能性がある。すなわち、LCD 電圧は LCD ドライバの内部の他の回路の動作電圧よりも高いため、図 1 の ESD 保護部 12 は高電圧接合で形成される。しかし、このように、高電圧接合では動作電圧が高いため、大きい電流を駆動できなくなる。したがって、ESD パルスによる大電流が印加される場合、ESD 保護能力が低下するという問題がある。

【0010】

本発明は、カラー LCD ドライバ回路において正常時の回路性能は低下させずに ESD 特性を向上させることができ、かつ ESD 放電効率を高めることができ、それらの結果 ESD パルスによる出力ドライバの損傷を防止できる静電気放電保護のための液晶表示装置ドライバ回路を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明による第 1 の静電気放電保護のための液晶表示装置ドライバ回路は、第 1 ~ 第 N 入力パッド、第 1 ~ 第 N 静電気放電保護部及び出力ドライバを備える。第 1 ~ 第 N 入力パッドは外部から相異なる電圧レベルを有する第 1 ~ 第 N ($N > 1$) 電圧を受ける。第 1 ~ 第

10

20

30

40

50

N 静電気放電保護部は、各第 1 ~ 第 N 入力パッドと接続され、入力パッドを通じて静電気パルスが印加される時に放電経路を形成する。出力ドライバは、第 1 ~ 第 N 入力パッドを通じて入力される第 1 ~ 第 N 電圧と各々側が接続される第 1 ~ 第 N 抵抗を備え、この第 1 ~ 第 N 抵抗を通じて印加される各々の第 1 ~ 第 N 電圧から液晶表示装置を駆動するための駆動電圧を生成する。また、第 1 ~ 第 N 抵抗は、静電気パルスの印加時に出力ドライバの内部に流れる電流を低減するために具備される。

【 0 0 1 2 】

本発明による第 2 の静電気放電保護のための液晶表示装置ドライバ回路は、第 1 ~ 第 N 入力パッド、第 1 ~ 第 N 静電気放電保護部及び出力ドライバを備える。第 1 ~ 第 N 入力パッドは外部から相異なる電圧レベルを有する第 1 ~ 第 N 電圧を受ける。第 1 ~ 第 N 静電気放電保護部は各第 1 ~ 第 N 入力パッドと接続され、入力パッドを通じて静電気パルスが印加される時に放電経路を形成する。出力ドライバは、第 1 ~ 第 N 入力パッドを通じて入力される第 1 ~ 第 N 電圧を伝達するための第 1 ~ 第 N 電圧伝達手段を備え、この第 1 ~ 第 N 電圧伝達手段を通じて伝達された第 1 ~ 第 N 電圧から液晶表示装置を駆動するための駆動電圧を生成する。第 1 ~ 第 N 電圧のうち低いレベルの電圧を伝達する少なくとも一つの電圧伝達手段は P M O S トランジスタと N M O S トランジスタとの並列構造よりなることを特徴とする。

10

【 0 0 1 3 】

本発明による第 3 の静電気放電保護のための液晶表示装置ドライバ回路は、第 1 ~ 第 N 入力パッド、第 1 ~ 第 N 静電気放電保護部を備える。第 1 ~ 第 N 入力パッドは外部から相異なる電圧レベルを有する第 1 ~ 第 N 電圧を受ける。第 1 ~ 第 N 静電気放電保護部は各第 1 ~ 第 N 入力パッドと接続され、入力パッドを通じて静電気パルスが印加される時に放電経路を形成する。ここで、第 1 ~ 第 N 静電気放電保護部は少なくとも一つのシンゲート酸化膜トランジスタを含むことを特徴とする。

20

【 0 0 1 4 】

【 発明の実施の形態 】

以下、本発明による静電気放電保護のための液晶表示装置ドライバ回路の実施の形態について添付した図面を参照して下記のように説明する。

【 0 0 1 5 】

図 3 は、本発明の実施形態による静電気放電保護のための液晶表示装置 (L C D) ドライバ回路を説明するための回路図である。図 3 を参照すれば、L C D ドライバ回路は、入力パッド 3 0 0 a ~ 3 0 0 e、E S D 保護部 3 1 0 a ~ 3 1 0 e、電圧発生部 3 2 0 及び L C D 出力ドライバ 3 3 0 を備える。図 3 の L C D ドライバ回路は、全ての L C D ドライバ回路に適用可能であるが、特に、設計スペックが厳しいカラースーパーツイステッドネマチック (S u p e r T w i s t e d N e m a s t i c、すなわち S T N) L C D ドライバに効率よく適用可能である。

30

【 0 0 1 6 】

図 3 の入力パッド 3 0 0 a ~ 3 0 0 e は、外部から第 1 ~ 第 5 L C D 電圧 (以下、単に第 1 ~ 第 5 電圧と言う) V 1 ~ V 5 を各々入力する。ここで、第 1 ~ 第 5 電圧 V 1 ~ V 5 は各々相異なる電圧レベルを有する。そのうち第 1 電圧 V 1 が最も高いレベルを有し、第 2 電圧 V 2 ~ 第 5 電圧 V 5 は第 1 電圧 V 1 よりも次第に低いレベルを有するように (例えば、V 1 > V 2 > V 3 > V 4 > V 5 に) 設定される。

40

【 0 0 1 7 】

各々の入力パッド 3 0 0 a ~ 3 0 0 e には E S D 保護部 3 1 0 a ~ 3 1 0 e が接続される。例えば、第 1 パッド 3 0 0 a と接続された E S D 保護部 3 1 0 a は保護素子 D 3 1、D 3 2 よりなり、E S D パルスの印加時に放電経路を形成する。ここで、保護素子 D 3 1、D 3 2 はダイオードまたはトランジスタで具現できる。第 1 保護素子 D 3 1 は第 1 電圧 V 1 よりも高いレベルの高電圧 V 0 と一側が接続され、他側は第 1 パッド 3 0 0 a の一側と接続される。第 1 保護素子 D 3 1 がダイオードで具現される場合にはカソードが高電圧 V 0 と接続され、アノードが第 1 パッド 3 0 0 a の一側と接続される。また、第 2 保護素子

50

D 3 2 は一側が第 1 パッド 3 0 0 a の一側と接続され、他側は接地電位 V S S と接続される。例えば、第 2 保護素子 D 3 2 がダイオードで具現される場合、アノードは接地電位 V S S と接続され、カソードは第 1 パッド 3 0 0 a の一側と接続される。他の E S D 保護部 3 1 0 b ~ 3 1 0 e の構造も E S D 保護部 3 1 0 a と同一のため、具体的な説明は省略する。

【 0 0 1 8 】

図 3 の電圧発生部 3 2 0 は、高レベルの電圧 V 0 を適切に分配して相異なるレベルを有する第 1 ~ 第 5 電圧 V 1 ~ V 5 を生成する。具体的に示されてはいないが、電圧発生部 3 2 0 は内部に演算増幅器、バンドギャップ基準電圧発生回路、レベルシフタなどのアナログ回路を含む。外部から入力パッド 3 0 0 a ~ 3 0 0 e を通じて第 1 ~ 第 5 電圧 V 1 ~ V 5 が入力される時、電圧発生部 3 2 0 は動作しない。

10

【 0 0 1 9 】

L C D 出力ドライバ 3 3 0 は、外部から印加される L C D 電圧 V 1 ~ V 5 または電圧発生部 3 2 0 から印加される L C D 電圧 V 1 ~ V 5 を所定の制御信号に応答して L C D 駆動電圧として生成する。この時、生成された駆動電圧は L C D パネル（図示せず）に印加される。

【 0 0 2 0 】

図 3 を参照すれば、L C D 出力ドライバ 3 3 0 は抵抗 R 3 1 ~ R 3 5、電圧伝達部 3 4 0 及び E S D 保護部 3 5 0 を含む。具体的に、各電圧 V 1 ~ V 5 と電圧伝達部 3 4 0 との間には抵抗 R 3 1 ~ R 3 5 が各々直列接続される。電圧伝達部 3 4 0 は C M O S 伝送ゲート T G 3 1 ~ T G 3 3 及び N M O S トランジスタ M N 3 1, M N 3 2 よりなり、抵抗 R 3 1 ~ R 3 5 を通じて印加された第 1 ~ 第 5 電圧 V 1 ~ V 5 を所定の制御信号に応答して第 1 ノード N 1 に伝達する。すなわち、伝送ゲート T G 3 1 は電圧伝達素子であって、抵抗 R 3 1 を通じて印加される第 1 電圧 V 1 を制御信号 C 1, C 1 B に応答して第 1 ノード N 1 に伝達する。ここで、C 1 ~ C 5 は L C D ドライバ回路の内部の制御回路（図示せず）から印加される信号であり、C 1 B ~ C 3 B は各々 C 1 ~ C 3 の反転された信号である。伝送ゲート T G 3 2, T G 3 3 は、各々抵抗 R 3 2, R 3 3 を通じて印加される第 2、第 3 電圧 V 2, V 3 を制御信号 C 2 / C 2 B, C 3 / C 3 B に応答して第 1 ノード N 1 に伝達する。すなわち、伝送ゲート T G 3 1 ~ T G 3 3 は L C D 電圧のうち相対的に高いレベルを有する第 1 ~ 第 3 電圧 V 1 ~ V 3 を伝達する役割をする。また、N M O S トランジスタ M N 3 1, M N 3 2 のソースは各々抵抗 R 3 4, R 3 5 の一側と接続され、ドレインは第 1 ノード N 1 に接続される。すなわち、N M O S トランジスタ M N 3 1, M N 3 2 は、抵抗 R 3 4, R 3 5 を通じて印加される第 4、第 5 電圧 V 4, V 5 を各々制御信号 C 4, C 5 に応答して第 1 ノード N 1 に伝達する。ここで、第 4 電圧 V 4 及び第 5 電圧 V 5 は第 1 ~ 第 3 電圧 V 1 ~ V 3 よりも相対的に低い電圧である。

20

30

【 0 0 2 1 】

L C D 出力ドライバ 3 3 0 の抵抗 R 3 6 は第 1 ノード N 1 と一側が接続され、他側が出力パッド 3 6 0 と接続される。ここで、抵抗 R 3 6 は出力パッド 3 6 0 から印加される E S D 電流を下げるために用いられる。また、出力 E S D 保護部 3 5 0 は出力パッド 3 6 0 を通じて E S D パルスが印加される時に放電経路を形成する。E S D 保護部 3 5 0 は各々ダイオードまたはトランジスタの保護素子 D 3 3, D 3 4 を備える。出力パッド 3 6 0 は L C D 出力ドライバ 3 3 0 から出力される駆動電圧 O U T を L C D パネル（図示せず）に出力する。

40

【 0 0 2 2 】

より具体的に L C D ドライバ回路の動作について説明すれば、下記の通りである。前述したように、各抵抗 R 3 1 ~ R 3 5 は第 1 ~ 第 5 電圧 V 1 ~ V 5 と電圧伝達部 3 4 0 の伝達素子との間に接続されている。したがって、入力パッド 3 0 0 a ~ 3 0 0 e からみると、各抵抗 R 3 1 ~ R 3 5 は互いに並列接続されているため、全体の抵抗値は下がることが分かる。正常動作時に、E S D 保護部 3 1 0 a は動作しない。

【 0 0 2 3 】

50

また、外部から入力パッド300a～300eを通じてESDパルスが印加されると、ESD保護部310aの保護素子D31、D32により放電経路が形成され、1次的な放電がなされる。ここで、保護素子D31、D32がダイオードであると仮定し、かつ説明する。例えば、正極性のESDパルスが印加されれば、第1保護素子D31がターンオンし放電経路が形成され、負極性のESDパルスが印加されれば、第2保護素子D32がターンオンし放電経路が形成される。この時、一部の電流は放電されるが、残りの電流はLCD出力ドライバ330に印加される。ところが、各電圧伝達素子TG31～TG33、MN31、MN32と直列接続された抵抗R31～R35により抵抗値が上がるため、各電圧伝達素子TG31～MN32に印加される電流は減る。したがって、ESDパルスが印加されれば、放電面積が十分に確保されなくても、LCD出力ドライバ330の内部に印加される電流が減り、内部回路が保護されることになる。ここで、抵抗R31～R35を拡散型抵抗で具現する場合には寄生ダイオードが形成されるという効果が得られる。したがって、寄生ダイオードによる放電経路を形成できるという長所がある。

10

【0024】

以上のように、本発明では、入力パッド300a～300eに直列接続される抵抗を用いない代わりに、出力ドライバ330で各LCD電圧V1～V5入力端に抵抗を接続させることにより、ESD放電特性を補償できる。

【0025】

図4は、本発明の他の実施形態によるLCD出力ドライバ330を説明するための回路図である。図4を参照すれば、LCD出力ドライバ330は電圧伝達部40及びESD保護部350を含む。ESD保護部350は図3のESD保護部350と同一の構成及び機能を行うため、その具体的な説明は省略する。

20

【0026】

図4を参照すれば、電圧伝達部40は伝送ゲートTG41～TG45を含む。各々の伝送ゲートTG41～TG45は第1～第5電圧V1～V5と接続され、各々の制御信号にตอบสนองして第1～第5電圧V1～V5を第1ノードN1に伝達する。第4、第5電圧V4、V5を伝達する伝達素子は、他の伝達素子と同様にCMOS伝送ゲートTG44、TG45で具現される。この場合、CMOS伝送ゲートTG44、TG45のPMOSトランジスタのゲートは、他の伝送ゲートと同様に反転制御信号C4B、C5Bに接続できるが、ここでは高電圧V0と接続する。また、第4、第5電圧V4、V5を伝達する伝達素子は、PMOSトランジスタとNMOSトランジスタとを並列接続させることにより具現できる。この場合、PMOSトランジスタのゲートは高レベルの電圧V0と接続される。

30

【0027】

より具体的に図4のLCD出力ドライバ330について説明すれば下記の通りである。すなわち、図4のLCD出力ドライバ330は、低いレベルの電圧V4、V5を伝達する伝達素子をNMOSトランジスタだけで具現せず、PMOSトランジスタと並列接続させて具現する。正常動作時には、CMOS伝送ゲートTG44、TG45のPMOSトランジスタまたは並列構造のPMOSトランジスタのゲートが高電圧V0と接続されているので、これらPMOSトランジスタがターンオフされた状態が保たれる。したがって、正常動作時にはPMOSトランジスタがターンオフされているため、ターンオン抵抗は維持される。

40

【0028】

しかし、入力パッド300a～300e（図3参照）を通じてESDパルスが印加された場合には、伝送ゲートTG44、TG45のPMOSトランジスタまたは並列接続されたPMOSトランジスタにより正極性のESD電流に対する順方向の放電経路が形成される。すなわち、従来は、電圧V4、V5を伝達する伝達素子がNMOSトランジスタだけで構成されるため、正極性のESDパルスに対する順方向の放電経路がなかったが、本発明では順方向の放電経路が形成されるので、ESD特性が改善される。

【0029】

図5は、図3に示されたLCDドライバ回路のESD保護部310a～310eの他の実

50

施形態を説明するための回路図である。図5のESD保護部310はESD保護部310a~310eのうちいずれか一つであり、同様に入力パッド300は第1~第5入力パッド300a~300eのうちいずれか一つである。

【0030】

図5の第2保護素子D32は、シンゲート-酸化膜(thin gate-oxide、以下、thin goxと記す)NMOSTランジスタMN51, MN52で具現される。すなわち、thin gox NMOSTランジスタMN51, MN52は入力パッド300と接地電位VSSとの間に並列接続される。すなわち、NMOSTランジスタMN51, MN52のドレインは入力パッド300と接続され、ゲート及びソースは接地電位VSSに接続される。ここで、保護素子D32は動作電圧は低いが大電流を駆動するため、前述のように、thin goxトランジスタで具現される。すなわち、thin goxトランジスタはターンオン電圧が低いものの電流駆動力が大きいという長所を有するので、ESD放電効率が低い。このthin goxトランジスタはゲート酸化膜の厚さにより動作電圧が決まる。本発明では、入力パッド300を通じて入力される電圧がthin goxトランジスタの降伏電圧よりも小さい場合(例えば、電圧V4, V5の場合)には、並列接続されたthin gox NMOSTランジスタMN51, MN52を用いて第2保護素子D32を具現する。

10

【0031】

したがって、入力パッド300を通じてESDパルスが印加されれば、並列接続されたthin gox NMOSTランジスタMN51, MN52により電流が放電される面積が広がり、放電効率が向上する。ここで、NMOSTランジスタMN51, MN52のゲートは接地電位VSSに接続させて正常動作時に同トランジスタMN51, MN52をターンオフさせる。

20

【0032】

前述したように、図5の回路は入力パッド300を通じて印加される電圧がthin gox NMOSTランジスタMN51, MN52の降伏電圧よりも低い場合に適用可能であるので、望ましくは、図3のESD保護部310a~310eのうちESD保護部310d, 310eに適用される。

【0033】

図6は、図3に示されたLCDドライバ回路のESD保護部310a~310eのさらに他の実施形態を示す回路図である。

30

図6を参照すれば、第2保護素子D32は、入力パッド300と接地電位VSSとの間に直列接続されたthin gox NMOSTランジスタMN61, MN62で具現される。すなわち、NMOSTランジスタMN61のドレインは入力パッド300と接続され、ゲートは電源電圧VCCと接続される。また、NMOSTランジスタMN62のドレインはNMOSTランジスタMN61のソースと接続され、ゲート及びソースは接地電位VSSと接続される。

【0034】

図6の回路は、図5の回路と比較する時、入力パッド300を通じて入力される電圧がthin gox NMOSTランジスタMN61, MN62の降伏電圧、すなわち、耐電圧よりも大きい場合に適用可能である。したがって、望ましくは、図3のESD保護部310a~310eのうちESD保護部310a~310cに適用される。

40

【0035】

すなわち、入力パッド300に印加される電圧がthin goxトランジスタのゲート酸化膜の耐電圧よりも大きい場合にはゲート酸化膜が物理的に損傷されないようにする必要がある。したがって、NMOSTランジスタMN61は、ESDパルスが入力パッド300を通じて印加される時、NMOSTランジスタMN62のゲート-ソース間の電圧と、ゲート-ドレイン間の電圧がゲート酸化膜の降伏電圧を超えないようにする役割をする。このように、図6では、直列接続された2つ以上のthin goxトランジスタを用いてESD保護部310a~310cを具現することにより、ESD放電効率を向上でき

50

る。また、図 5 及び図 6 に示された E S D 保護部は、出力パッドと接続された E S D 保護部にも適用可能である。

【 0 0 3 6 】

しかし、入力パッド 3 0 0 を通じて入力される電圧が接合降伏電圧よりも大きい場合には *thin gox* トランジスタを用いる図 6 の回路を適用できない。したがって、この場合には、望ましくは、トリガ電圧が低く、大きい電流を駆動できるシリコン制御整流器 (*Silicon Controlled Rectifier*、すなわち *SCR*) を用いて第 1、第 2 保護素子 D 3 1、D 3 2 を具現する。

【 0 0 3 7 】

以上、最適な実施の形態を開示した。ここで、特定の用語が使用されたが、これは単に本発明を説明するために使用されたものであり、意味の限定や特許請求の範囲上に記載された本発明の範囲を制限するために使用されたものではない。したがって、この技術分野の通常の知識を有した者なら、これより各種の変形及び均等な他の実施形態が可能であるということを理解できる。よって、本発明の真の技術的な保護範囲は特許請求の範囲上の技術的な思想によって定まるべきである。

【 0 0 3 8 】

【発明の効果】

以上述べたように、本発明によれば、カラー L C D ドライバ回路において、正常時の回路性能は低下させずに E S D 特性を向上させることができるという効果がある。また、入力パッドまたは出力パッドに接続された E S D 保護部の保護素子を *thin gox* トランジスタを用いて具現することにより E S D 放電効率を向上させることができるという効果もある。そして、それらの結果、E S D パルスによる出力ドライバの損傷を防止できる。

【図面の簡単な説明】

【図 1】従来の静電気放電保護のための液晶表示装置ドライバ回路を示した回路図である。

【図 2】通常のカラ—液晶表示装置ドライバ回路に適用される出力ドライバを説明するための回路図である。

【図 3】本発明の実施形態による静電気放電保護のための液晶表示装置ドライバ回路を示した回路図である。

【図 4】図 3 に示された回路の L C D 出力ドライバの他の実施形態の回路図である。

【図 5】図 3 に示された回路の静電気放電保護部の他の実施形態の回路図である。

【図 6】図 3 に示された回路の静電気放電保護部のさらに他の実施形態の回路図である。

【符号の説明】

3 0 0 a ~ 3 0 0 e 入力パッド

3 1 0 a ~ 3 1 0 e , 3 5 0 静電気放電 (E S D) 保護部

3 2 0 電圧発生部

3 3 0 液晶表示装置 (L C D) 出力ドライバ

3 4 0 電圧伝達部

3 6 0 出力パッド

D 3 1 ~ D 3 4 保護素子

R 3 1 ~ R 3 6 抵抗

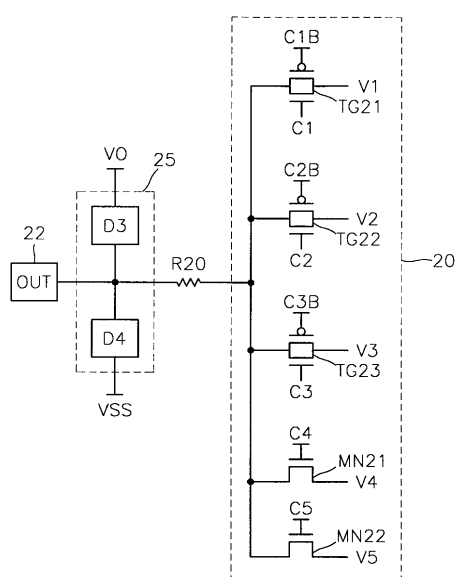
T G 3 1 ~ T G 3 3 , T G 4 1 ~ T G 4 5 C M O S 伝送ゲート

M N 3 1 , M N 3 2 N M O S トランジスタ

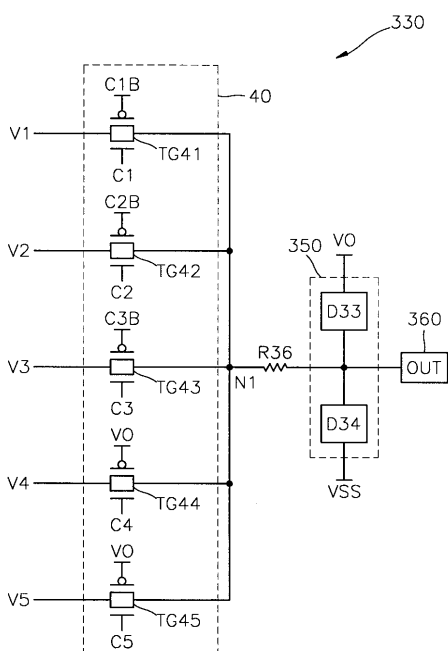
N 1 第 1 ノード

M N 5 1 , M N 5 2 , M N 6 1 , M N 6 2 シンゲート酸化膜 N M O S トランジスタ

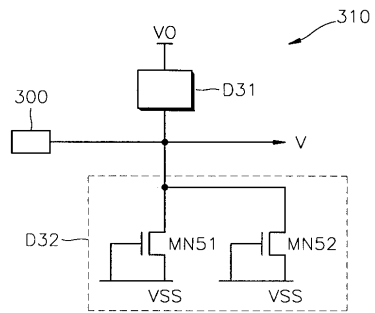
【圖 2】



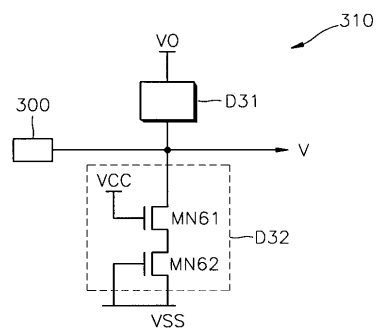
【圖 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I
H 0 3 K 17/687 G
H 0 3 K 17/687 A

審査官 一宮 誠

(56)参考文献 特開平 1 1 - 2 9 5 6 8 4 (J P , A)
特開平 0 7 - 2 5 3 5 6 5 (J P , A)
特開平 0 7 - 2 9 4 8 7 3 (J P , A)
特開平 0 5 - 1 4 2 5 7 1 (J P , A)
特開平 0 5 - 2 2 4 6 2 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	液晶显示装置驱动电路		
公开(公告)号	JP4157695B2	公开(公告)日	2008-10-01
申请号	JP2001332969	申请日	2001-10-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	權奎亨		
发明人	權奎亨		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03K17/16 H03K17/687 G02F1/1333 H02H7/00 H02H7/06		
CPC分类号	G09G3/3685 G09G2330/04		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.E G09G3/20.670.M H03K17/16.D H03K17/687.G H03K17/687.A		
F-TERM分类号	2H093/NB07 2H093/NC03 2H093/NC62 2H093/NC90 2H193/ZF03 5C006/AA22 5C006/BC03 5C006/BC11 5C006/BF33 5C006/BF34 5C006/BF50 5C006/EB05 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD19 5C080/DD25 5C080/FF09 5C080/JJ02 5C080/JJ03 5J055/AX32 5J055/BX16 5J055/CX29 5J055/DX22 5J055/DX42 5J055/DX83 5J055/EX07 5J055/EY01 5J055/EY12 5J055/EY21 5J055/EZ67 5J055/GX01 5J055/GX02		
代理人(译)	萩原诚		
审查员(译)	一宫诚		
优先权	1020000073804 2000-12-06 KR		
其他公开文献	JP2002268614A		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善彩色LCD驱动电路的ESD特性，而不会降低正常状态下的电路性能。提供第一至第N输入焊盘，第一至第N静电放电保护部分和输出驱动器330。输出驱动器330包括第一至第N电阻器R31至R35，其一侧连接至通过第一至第N输入焊盘输入的第一至第N电压，以及第一至第N电阻器R31至R31。并且从通过R35施加的第一至第N电压中的每一个产生用于驱动液晶显示装置的驱动电压。提供第一至第N电阻器R31至R35，以在施加静电脉冲时减小在输出驱动器330内流动的电流。

【図1】

