

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4112283号
(P4112283)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int.Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 330Z
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 621M
G09G 3/36 (2006.01)	G09G 3/20 680G
	G09G 3/36

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2002-156093 (P2002-156093)	(73) 特許権者	302020207
(22) 出願日	平成14年5月29日 (2002.5.29)		東芝松下ディスプレイテクノロジー株式会 社
(65) 公開番号	特開2003-345266 (P2003-345266A)		東京都港区港南4-1-8
(43) 公開日	平成15年12月3日 (2003.12.3)	(74) 代理人	100083806
審査請求日	平成17年5月26日 (2005.5.26)		弁理士 三好 秀和
		(72) 発明者	佐々木 寧
			埼玉県深谷市幡羅町一丁目9番地2 株式 会社東芝 深谷工場内
		(72) 発明者	稲田 克彦
			埼玉県深谷市幡羅町一丁目9番地2 株式 会社東芝 深谷工場内
		(72) 発明者	森田 哲生
			埼玉県深谷市幡羅町一丁目9番地2 株式 会社東芝 深谷工場内

最終頁に続く

(54) 【発明の名称】 表示装置用電極基板

(57) 【特許請求の範囲】

【請求項1】

少なくとも、マトリクス状に配線された複数の走査線と複数の信号線と、このマトリクスの各格子毎に配置された複数の画素トランジスタと、前記各画素トランジスタに対応して配置された複数の画素電極とが主面上に形成されるとともに、複数の前記信号線において各n本の信号線からなる複数の信号線群が1つのブロックとしてブロック分けされ、

前記信号線群の各信号線に対しデータ信号をシリアルに供給する信号線駆動用IC、及び、当該信号線駆動用ICから供給されるデータ信号を1水平走査期間内において前記信号線群の各信号線に切り替えて出力する信号線切替回路が前記信号線群毎に設けられた表示装置用電極基板であって、

前記信号線駆動用ICからのデータ信号を伝送する複数の信号配線を備え、前記信号線群の信号線n本に対し前記複数の信号配線の1つが接続され、

前記信号線切替回路は、外部から供給されるスイッチ制御信号によりオン・オフが制御され、オン時に前記信号線とこの信号線に対応する前記信号配線とを導通させて、前記信号配線に供給されたデータ信号を前記信号線に出力するスイッチ手段と、前記スイッチ手段とn-1個おきに共通に接続され、各々接続する前記スイッチ手段にスイッチ制御信号を供給するn本の制御信号線とを備え、

1の前記信号線切替回路におけるn本の制御信号線は、隣接する他の信号線切替回路におけるn本の制御信号線と同一制御信号線毎に総て共通に接続されていることを特徴とする表示装置用電極基板。

【請求項 2】

各ブロックの前記信号線群において、前記 n 本の制御信号線の中央部から前記スイッチ制御信号が供給されることを特徴とする請求項 1 に記載の表示装置用電極基板。

【請求項 3】

各ブロックの前記信号線群において、前記 n 本の制御信号線に供給される前記スイッチ制御信号は、1 つの前記信号線駆動用 IC から供給されることを特徴とする請求項 1 に記載の表示装置用電極基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、おもに液晶表示装置に用いられる表示装置用電極基板に関し、詳しくは信号線駆動用 IC と信号線切替回路とを複数組備え、信号線選択方式により駆動される液晶表示装置の表示装置用電極基板に関する。

【0002】

【従来の技術】

アクティブマトリクス型の液晶表示装置には、データ信号の書き込みを制御する画素トランジスタ（以下、画素 TFT）が各画素毎に形成されている。この画素 TFT としてアモルファスシリコン TFT を用いた液晶表示装置では、画素の駆動回路として、信号線駆動用 IC 及び走査線駆動用 IC をフレキシブル配線基板上に実装して構成したテープ・キャリア・パッケージ（以下、TCP）が用いられている。この TCP を、画素 TFT がマトリクス状に配置されたアレイ基板の外部接続端子に電気的に接続することによって、信号線駆動用 IC 及び走査線駆動用 IC がアレイ基板上の各画素 TFT に対応して設けられた各画素電極にそれぞれ接続され、画素 TFT を駆動するように構成されている。

【0003】

【発明が解決しようとする課題】

図 6 は、従来例におけるアモルファスシリコン TFT を用いた液晶表示装置の回路構成図である。また図 7 は、その概略構成図であり、とくに分割された表示エリアと信号線制御回路部との関係を示している。

【0004】

図 6 において、アレイ基板 100 上には、表示エリア 101 が設けられている。この表示エリア 101 内には、走査線 G1, G2, ... Gn と信号線 S1, S2, S3, ... Sn（以下、総称 S）がマトリクス状に配置されており、そのマトリクスの各格子毎に画素 TFT 102 と画素電極 103 が配置されている。画素電極 103 と相対して配置される共通電極 104 は、図示しない対向基板上に形成され、画素電極 103 と共通電極 104 との間には液晶層 105 が保持されている。また、画素電極 103 には補助容量 106 が並列に接続され、図示しない補助容量線を介して所定の補助容量電圧が与えられている。

【0005】

表示エリア 101 の上端部には信号線制御回路部 111 が配置され、左端部には走査線駆動用 IC 115 が接続されている。表示エリア 101 は、図 7 に示すように 4 つのブロック LL, LR, RL, RR に分割されており、信号線 S は各ブロック毎に所定数の信号線群に区分され、それぞれのブロック毎に配置された同一構成の信号線制御回路部 111 からデータ信号が供給される。なお、図 7 では、信号線制御回路部 111 のうち、信号線駆動用 IC 112 と後述する ASW 制御信号線 107, 108 のみを示している。

【0006】

信号線制御回路部 111 は、データ信号を各信号線毎に分けてシリアルに供給する信号線駆動用 IC 112 と、各信号線群へ供給されるデータ信号を 1 水平走査期間内で各信号線群における総ての信号線に切り替えて出力する信号線切替回路 113 とで構成されている。このうち、信号線駆動用 IC 112 は、TCP 120 - 1 ~ 120 - 4 に実装され、信号線切替回路 113 は、アレイ基板 100 上に形成されている。TCP 120 - 1 ~ 120 - 4 は、その一方の側辺がアレイ基板 100 の一辺に形成された外部接続端子に接続さ

10

20

30

40

50

れ、他方の側辺が外部回路基板 200 に接続されている。

【0007】

一方、走査線駆動用 IC115 は、画素 TFT102 を導通させ、信号線 S からデータ信号を書き込ませる走査信号を、走査線 G1, G2, ... Gn に順次出力する。走査線駆動用 IC115 は、TCP130-1, 130-2 に実装されている。TCP130-1, 130-2 は、その一方の側辺がアレイ基板 100 の一辺に形成された外部接続端子に接続され、他方の側辺が外部回路基板 300 に接続されている。

【0008】

外部回路基板 200 には、外部から入力されるクロック信号、タイミング信号、デジタルのデータ信号等に基づいて、各種タイミングの制御信号及びこれら制御信号に同期したデータ信号を出力するコントロール IC201、及び図示しない電源回路やインターフェース回路等が実装されている。なお、コントロール IC201 から出力される各種タイミングの制御信号、及び図示しない電源回路からの電源電圧等は、図示しない配線を介して走査線駆動用 IC115 にも供給されている。

10

【0009】

上記のようなアレイ基板 100 を備えた液晶表示装置は、アレイ基板 100 と図示しない対向基板とを所定間隔をもって対向配置し、その周囲をシール材で貼り合わせ、基板間に液晶層 105 を封入することで完成する。

【0010】

図 8 は、1 ブロック分の信号線切替回路 113 の回路構成図である。信号線 S1, S2, S3, S4, ... Sn-1, Sn は、隣接する 2 本の信号線からなる信号線群が信号線駆動用 IC112 からのデータ信号を伝送する信号配線 D1, D2, ... Dm (以下、総称 D) にそれぞれ共通に接続されている。また、各信号線 S には、信号配線 D との導通を制御するための ASW (アナログスイッチ) 1, ASW2, ASW3, ASW4, ... ASWn-1, ASWn (以下、総称 ASW) が接続されている。この ASW は、外部回路基板 200 上に配置されたコントロール IC201 から信号線駆動用 IC112 を介して供給される ASW 制御信号 (ASW1U, ASW2U) によりオン・オフが制御され、オン時に信号線 S と信号配線 D との間を導通させて、信号配線 D に供給されたデータ信号を信号線 S に供給するスイッチ手段である。信号線 S は、図示しない画素 TFT を介して画素電極 PIX1, PIX2, PIX3, PIX4, ... PIXN-1, PIXN に接続されている。ただし、PIX は図 6 の符号 103 に対応する。

20

30

【0011】

ASW1, ASW3, ... ASWn-1 の制御電極は ASW 制御信号線 108 に共通に接続され、ASW2, ASW4, ... ASWn の制御電極は ASW の制御信号線 107 に共通に接続されている。各 ASW の導通は、それぞれ接続する ASW 制御信号線に供給された ASW 制御信号により制御される。

【0012】

図 9 は、1 ブロック分の信号線切替回路 113 を駆動する場合のタイミングチャートである。1 水平走査期間のうち、前半の書き込み期間では ASW 制御信号 ASW1U がオンレベルとなり、ASW2, ASW4, ... ASWn に接続する画素電極 PIX2, PIX4, ... PIXN にデータ信号 (data1) が書き込まれる。また、後半の書き込み期間では、ASW 制御信号 ASW2U がオンレベルとなり、PIX1, PIX3, ... PIXN-1 にデータ信号 (data2) が書き込まれる。このような駆動方式は信号線選択方式と呼ばれ、外部からアレイ基板 100 に接続する信号配線 D の実装本数を削減することができる。なお、この例では 2 本の信号線を交互に選択する 2 選択の構成について示したが、3 選択以上の構成としてもよい。

40

【0013】

ところで、ASW 制御信号は、外部回路基板 200 に実装されたコントロール IC201 からの長い配線により伝送されているため、図 7 のように、各ブロックの端部から ASW 制御信号が入力されると、A 地点と B 地点では ASW 制御信号線の負荷が大きく異なり、

50

A S W制御信号の波形に生じるなまりにも違いが生じることになる。この結果、例えば図7のA地点では負荷が軽く、B地点では負荷が重くなり、ブロックLLとLRとの境界線付近の画素ではA S Wの導通状態に差が生じてしまう。この結果、負荷が重くなる側ではデータ信号の書き込み不足が生じ、これが境界線付近での表示ムラとして認識されてしまうという問題点があった。

【0014】

この発明の目的は、複数のブロックに分けられた信号線を信号線選択方式で駆動する液晶表示装置において、ブロックの境界線付近での表示ムラを解消することができる表示装置用電極基板を提供することにある。

【0015】

10

【課題を解決するための手段】

上記課題を解決するため、請求項1の発明は、少なくとも、マトリクス状に配線された複数の走査線と複数の信号線と、このマトリクスの各格子毎に配置された複数の画素トランジスタと、前記各画素トランジスタに対応して配置された複数の画素電極とが主面上に形成されるとともに、複数の前記信号線において各n本の信号線からなる複数の信号線群が1つのブロックとしてブロック分けされ、前記信号線群の各信号線に対しデータ信号をシリアルに供給する信号線駆動用IC、及び、当該信号線駆動用ICから供給されるデータ信号を1水平走査期間内において前記信号線群の各信号線に切り替えて出力する信号線切替回路が前記信号線群毎に設けられた表示装置用電極基板であって、前記信号線駆動用ICからのデータ信号を伝送する複数の信号配線を備え、前記信号線群の信号線n本に対し前記複数の信号配線の1つが接続され、前記信号線切替回路は、外部から供給されるスイッチ制御信号によりオン・オフが制御され、オン時に前記信号線とこの信号線に対応する前記信号配線とを導通させて、前記信号配線に供給されたデータ信号を前記信号線に出力するスイッチ手段と、前記スイッチ手段とn-1個おきに共通に接続され、各々接続する前記スイッチ手段にスイッチ制御信号を供給するn本の制御信号線とを備え、1の前記信号線切替回路におけるn本の制御信号線は、隣接する他の信号線切替回路におけるn本の制御信号線と同一制御信号線毎に総て共通に接続されていることを特徴とする。

20

【0016】

好ましい形態として、前記n本の制御信号線を、数ブロック単位で共通に接続するように構成する。

30

【0017】

請求項2の発明は、請求項1において、各ブロックの前記信号線群において、前記n本の制御信号線の中央部から前記スイッチ制御信号が供給されることを特徴とする。

【0018】

請求項3の発明は、請求項1において、各ブロックの前記信号線群において、前記n本の制御信号線に供給される前記スイッチ制御信号は、1つの前記信号線駆動用ICから供給されることを特徴とする。

【0019】

好ましい形態として、前記スイッチ制御信号は、基板上の左端、右端又は中央部に配置された1つの前記信号線駆動用ICから供給されるように構成する。

40

【0021】

【発明の実施の形態】

以下、本発明に係わる表示装置用電極基板の実施形態について図面を参照しながら説明する。

【0022】

なお、本実施形態に係わる表示装置用電極基板の基本構成は図6と同じであるため説明を省略する。ここでは、本実施形態に特徴的な構成を、図7に対応する図1～図4及び図5を用いて説明するものとし、図6及び図7と同等部分を同一符号で説明する。また、図1～図4についても、信号線制御回路部111のうち、信号線駆動用IC112とA S W制御信号線107、108のみを示している。

50

【 0 0 2 3 】

実施形態 1

図 1 は、実施形態 1 に係わる液晶表示装置の概略構成図であり、分割された表示エリアと信号線制御回路部との関係を示している。

【 0 0 2 4 】

本実施形態において、各ブロックの A S W 制御信号線 1 0 7 , 1 0 8 は、それぞれ同一の A S W 制御信号線毎に総て共通に接続されている。すなわち、各ブロックの隣り合う A S W 制御信号線 1 0 7 は結合配線 C 1 により接続され、同じく隣り合う A S W 制御信号線 1 0 8 は結合配線 C 2 により接続されている。

【 0 0 2 5 】

上記構成によれば、各ブロックの境界線付近にある A 地点と B 地点において、隣接する A S W 制御信号線 1 0 7 , 1 0 8 の負荷が急激に変動することがなく、A 地点と B 地点における負荷の大きさをほぼ同等とすることができる。これにより、A S W 制御信号の波形に生じるなまりにも極端な差を生じることがなくなるため、隣接するブロックとの境界線付近では、A S W の導通状態に差が生じなくなる。したがって、ブロックの境界線付近にある A 地点又は B 地点の一方の側で信号線へのデータ信号の書き込み不足を生じることがなくなり、ブロックの境界線付近での表示ムラを解消することができる。

【 0 0 2 6 】

なお、図 1 では、全ブロックの A S W 制御信号線 1 0 7 , 1 0 8 をアレイ基板 1 0 1 上で共通に接続しているが、画面サイズが大きく、ブロックの分割数が多い場合には、数ブロッ

【 0 0 2 7 】

実施形態 2

図 2 は、実施形態 2 に係わる液晶表示装置の概略構成図であり、分割された表示エリアと信号線制御回路部との関係を示している。

【 0 0 2 8 】

本実施形態では、各ブロックの A S W 制御信号線 1 0 7 , 1 0 8 が、それぞれ同一の A S W 制御信号線毎に総て共通に接続されると共に、A S W 制御信号線 1 0 7 , 1 0 8 に A S W 制御信号を供給する配線 1 0 7 a , 1 0 8 a が、それぞれ A S W 制御信号線 1 0 7 , 1 0 8 の中央部に接続され、A S W 制御信号線 1 0 7 , 1 0 8 の中央部から A S W 制御信号

【 0 0 2 9 】

上記構成においても、各ブロックの境界線付近において、隣接する A S W 制御信号線 1 0 7 , 1 0 8 の負荷の大きさが急激に変動しないため、隣接するブロックとの境界線付近では、A S W の導通状態に差が生じなくなる。したがって、ブロックの境界線付近において、一方の側で信号線へのデータ信号の書き込み不足を生じることがなくなり、ブロックの境界線付近での表示ムラを解消することができる。

【 0 0 3 0 】

実施形態 3

図 3 は、実施形態 3 に係わる液晶表示装置の概略構成図であり、分割された表示エリアと信号線制御回路部との関係を示している。

【 0 0 3 1 】

本実施形態では、各ブロックの A S W 制御信号線 1 0 7 , 1 0 8 が、それぞれ同一の A S W 制御信号線毎に総て共通に接続されると共に、A S W 制御信号線 1 0 7 , 1 0 8 に A S W 制御信号を供給する配線 1 0 7 a , 1 0 8 a が、左端にある信号線駆動用 I C 1 1 2 に接続され、A S W 制御信号線 1 0 7 , 1 0 8 の左端から A S W 制御信号が供給されるように構成されている。

【 0 0 3 2 】

上記構成において、A S W 制御信号線 1 0 7 , 1 0 8 の A 地点と B 地点とはで負荷の大きさが異なるため、画面の左端と右端とでは A S W の導通状態に差が生じることになり、画

10

20

30

40

50

面全体として見た場合には画面の左右で表示ムラを生じることになる。しかし、隣接するブロックとの境界線付近においては負荷の大きさが急激に変動することがなく、ブロックの境界線付近での表示ムラを解消することができるため、従来例のように画面上に一定間隔で表示ムラが生じる場合に比べて、良好な表示品位を得ることができる。

【0033】

なお、図3では、ASW制御信号線107, 108の左端からASW制御信号がASW制御信号を供給するようにしているが、ASW制御信号は、ASW制御信号線107, 108の右端、又は中央部から供給するように構成しても同等の効果を得ることができる。

【0034】

実施形態4

10

図4は、実施形態4に係わる液晶表示装置の概略構成図であり、分割された表示エリアと信号線制御回路部との関係を示している。

【0035】

本実施形態では、各ブロックのASW制御信号線107, 108が、それぞれ同一のASW制御信号線毎に総て共通に接続されておらず、ASW制御信号線107, 108にASW制御信号を供給する配線107a, 108aが、ASW制御信号線107, 108の中央部に接続され、それぞれのブロックのASW制御信号線107, 108の中央部からASW制御信号が供給されるように構成されている。

【0036】

上記構成においては、各ブロックの境界線付近において、隣接するASW制御信号線107, 108の負荷の大きさが急激に変動することがなく、A地点とB地点における負荷の大きさをほぼ同等とすることができるため、隣接するブロックとの境界線付近では、ASWの導通状態に差が生じなくなる。したがって、ブロックの境界線付近にあるA地点又はB地点の一方の側で信号線へのデータ信号の書き込み不足を生じることがなくなり、ブロックの境界線付近での表示ムラを解消することができる。

20

【0037】

次に、ASW制御信号線107, 108を共通に接続する場合の構成例について説明する。図5は、アレイ基板100の部分断面図であり、ここでは実施形態1の例について示している。

【0038】

30

図5に示すように、ブロックの境界線付近では、アレイ基板100上の絶縁膜109上にASW制御信号線107が形成されている。この隣接する2つのASW制御信号線107は、コンタクトホール110を介して接続された結合配線C1により電氣的に導通している。この結合配線C1は、図6に示す走査線Gと同層にあるため、走査線Gと同一のプロセスで形成することができる。なお、図5では、ASW制御信号線107について示したが、ブロックの境界線付近にあるASW制御信号線108についても同様の構造により共通化することができる。

【0039】

【発明の効果】

以上説明したように、本発明に係わる表示装置用電極基板においては、各ブロックの境界線付近において、隣接するASW制御信号線の負荷が急激に変動することがないため、ブロックの境界線付近で一方の側に信号線へのデータ信号の書き込み不足を生じることがなくなり、ブロックの境界線付近での表示ムラを解消することができる。

40

【図面の簡単な説明】

【図1】実施形態1に係わる液晶表示装置の概略構成図。

【図2】実施形態2に係わる液晶表示装置の概略構成図。

【図3】実施形態3に係わる液晶表示装置の概略構成図。

【図4】実施形態4に係わる液晶表示装置の概略構成図。

【図5】アレイ基板の部分断面図。

【図6】従来例におけるアモルファスシリコンTFTを用いた液晶表示装置の回路構成図

50

。

【図 7】従来例における液晶表示装置の概略構成図。

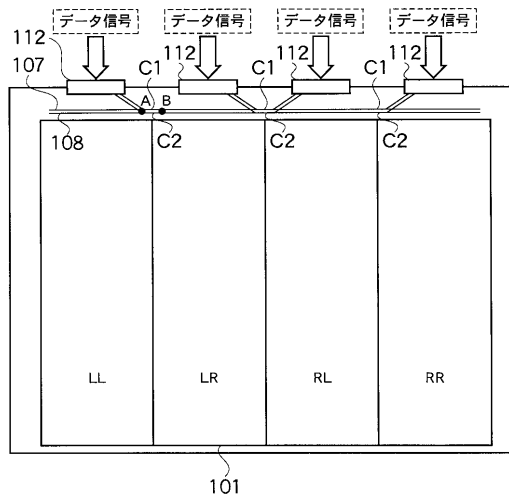
【図 8】1ブロック分の信号線切替回路の回路構成図。

【図 9】1ブロック分の信号線切替回路を駆動する場合のタイミングチャート。

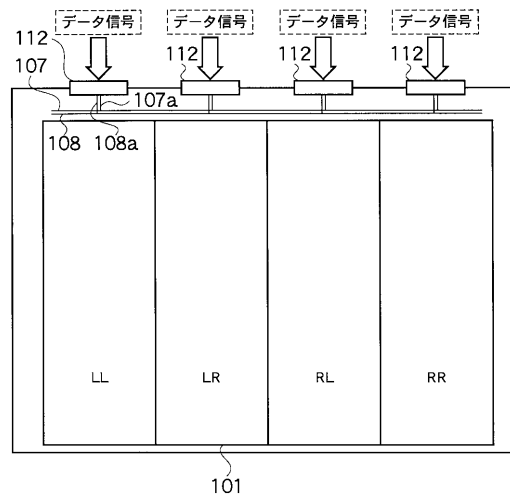
【符号の説明】

100 ... アレイ基板、101 ... 表示エリア、102 ... 画素 T F T、111 ... 信号線制御回路部、112 ... 信号線駆動用 I C、113 ... 信号線切替回路、120, 130 ... T C P、107, 108 ... A S W 制御信号線、S ... 信号線、G ... 走査線、D ... 信号配線、C1, C2 ... 結合配線、A S W ... アナログスイッチ

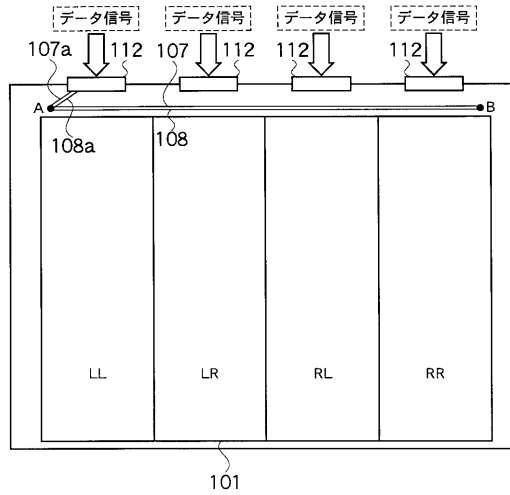
【図 1】



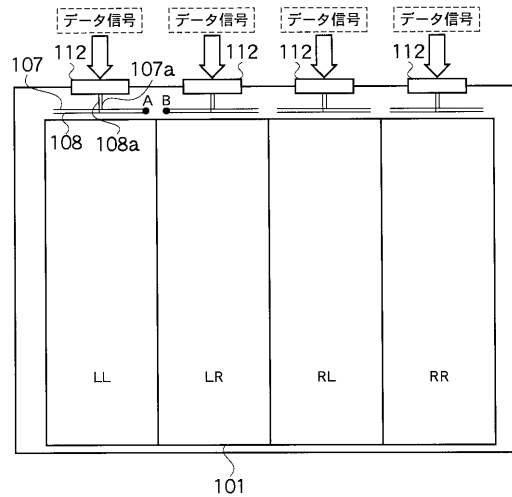
【図 2】



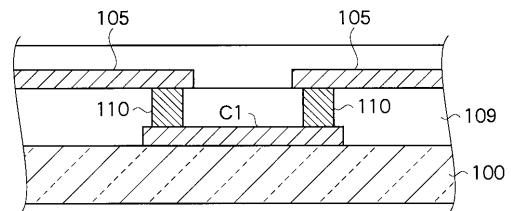
【図 3】



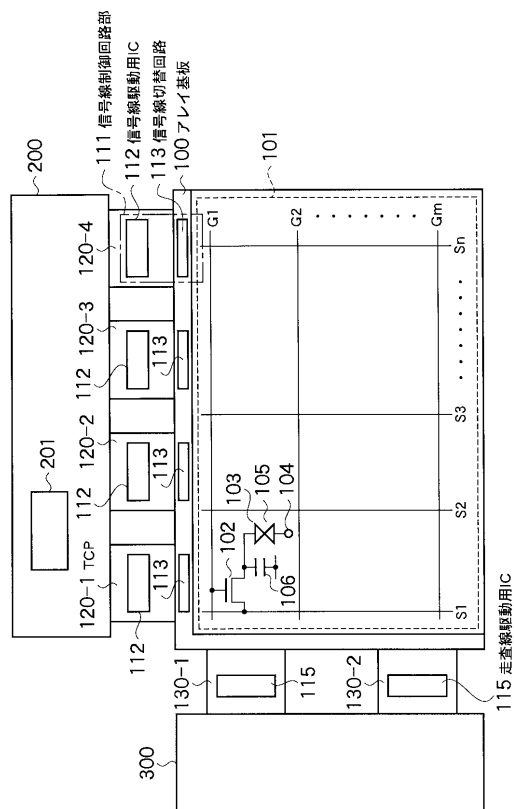
【図 4】



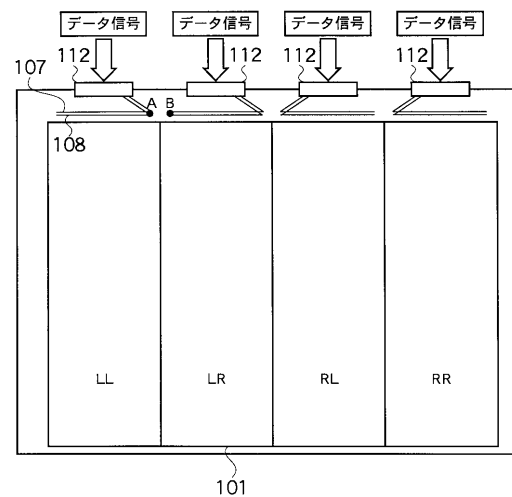
【図 5】



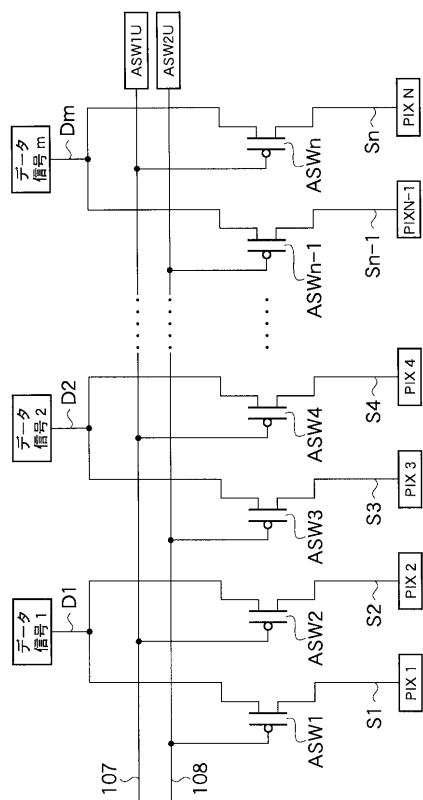
【図 6】



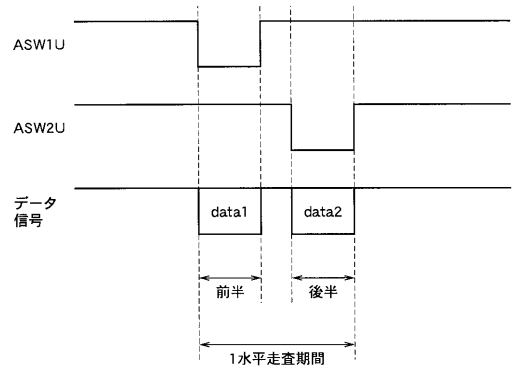
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 芝 康一

埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝 深谷工場内

審査官 星野 浩一

(56)参考文献 特開2002-040962(JP,A)

特開2000-131709(JP,A)

特開2000-147451(JP,A)

特開2000-162634(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30

G02F 1/133

G09G 3/20

G09G 3/36

专利名称(译)	表示装置用电极基板		
公开(公告)号	JP4112283B2	公开(公告)日	2008-07-02
申请号	JP2002156093	申请日	2002-05-29
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	佐々木寧 稻田克彦 森田哲生 芝康一		
发明人	佐々木 寧 稻田 克彦 森田 哲生 芝 康一		
IPC分类号	G09F9/30 G02F1/133 G09G3/20 G09G3/36 G02F1/13 G02F1/1345		
CPC分类号	G02F1/13452 G02F1/1345 G09G3/3648 G09G2310/0297 G09G2320/0223		
FI分类号	G09F9/30.330.Z G02F1/133.550 G09G3/20.621.M G09G3/20.680.G G09G3/36 G09F9/30.330		
F-TERM分类号	2H093/NA22 2H093/NA45 2H093/NC11 2H093/NC12 2H093/NC16 2H093/NC90 2H093/ND01 2H093/ND05 2H093/ND09 2H093/NH06 2H193/ZA32 2H193/ZC26 2H193/ZD32 2H193/ZD34 2H193/ZF36 5C006/AA01 5C006/AF50 5C006/BB16 5C006/BC11 5C006/BC20 5C006/BC23 5C006/BF31 5C006/EB05 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD25 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DB05		
代理人(译)	三好秀		
审查员(译)	星野浩		
其他公开文献	JP2003345266A		
外部链接	Espacenet		

摘要(译)

要解决的问题：解决用于驱动信号线的液晶显示装置中的块的边界线附近的显示不均匀性，所述信号线通过信号线选择系统被分成多个块。ŽSOLUTION：在该显示装置用电极基板中，各个分割块的ASW控制信号线107,108通过将各个块的相邻ASW控制信号线107与耦合布线C1连接，并且通过连接布线C1和每个相同的ASW控制信号线共同连接。将相似的相邻ASW控制信号线108与耦合布线C2连接。Ž

