

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3980910号
(P3980910)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
 G02F 1/133 550
 G09G 3/20 611H
 G09G 3/20 612T
 G09G 3/20 622G

請求項の数 7 (全 10 頁) 最終頁に続く

(21) 出願番号 特願2002-67498 (P2002-67498)
 (22) 出願日 平成14年3月12日(2002.3.12)
 (65) 公開番号 特開2003-263137 (P2003-263137A)
 (43) 公開日 平成15年9月19日(2003.9.19)
 審査請求日 平成17年3月2日(2005.3.2)

(73) 特許権者 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

画素電極および共通電極間に液晶材料を挟持した構造を有する複数の液晶表示画素と、映像信号を取り込む複数の画素スイッチと、前記複数の画素スイッチから前記複数の液晶表示画素の画素電極にそれぞれ印加される映像信号をデジタル形式で保持する複数のメモリ部と、前記複数のメモリ部を前記複数の液晶表示画素の画素電極にそれぞれ接続し前記複数のメモリ部からこれらの画素電極に出力される映像信号の極性を前記共通電極の電位に対して周期的に反転する複数の接続制御部と、前記複数の液晶表示画素の画素電極に容量結合して電位設定端子に接続される複数の補助容量線と、前記複数の接続制御部が前記複数のメモリ部を前記複数の液晶表示画素にそれぞれ接続する間前記複数の補助容量線を前記電位設定端子から電氣的に分離してフローティング状態に維持する分離回路を備えることを特徴とする液晶表示装置。

【請求項2】

前記複数の液晶表示画素が単一の表示パネル上で略マトリクス状に配置され、前記複数の補助容量線の各々が前記表示パネル上で対応行の液晶表示画素の画素電極を横切るように配置されることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記分離回路は、前記表示パネル上で前記複数の補助容量線の一端側および他端側の両方

10

20

に配置され前記複数の補助容量線と前記電位設定端子間にそれぞれ接続される複数の補助容量スイッチを含むことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記分離回路は、前記表示パネル上で前記複数の補助容量線の一端側だけに配置され前記複数の補助容量線と前記電位設定端子間にそれぞれ接続される複数の補助容量スイッチを含むことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

前記分離回路は、前記表示パネル上で前記複数の補助容量線の一端側および他端側に交互に配置され前記複数の補助容量線と前記電位設定端子間にそれぞれ接続される複数の補助容量スイッチを含むことを特徴とする請求項 2 に記載の液晶表示装置。

10

【請求項 6】

前記分離回路は、前記表示パネルの外部に配置され前記複数の補助容量線と前記電位設定端子間に接続される少なくとも 1 個の補助容量スイッチを含むことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 7】

前記複数の接続制御部は前記複数の画素スイッチがいずれも映像信号を取り込まないブランキング期間内に前記複数のメモリ部と前記複数の液晶表示画素の画素電極との接続を切り換えることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、液晶表示画素が周期的に極性反転される映像信号により駆動される液晶表示装置に関し、特に液晶表示画素の画素電極に印加される映像信号をデジタル形式で保持しこの画素電極に出力するメモリ部を備える液晶表示装置に関する。

【0002】

【従来の技術】

近年、液晶表示装置は軽量、薄型、低消費電力という利点を生かして携帯電話や電子ブック等の小型情報端末のディスプレイとして使用されている。これらの小型情報端末は一般にバッテリー駆動であるため、消費電力の低減が利用可能時間を長くする上で重要である。例えば携帯電話では、待受状態の画像表示で消費される電力を極力抑えることが求められている。特開昭 58 - 23091 はこれを実現する方法として映像信号を保持するデジタルメモリを表示画素毎に設けた画像表示装置を開示する。この画像表示装置によれば、例えば待受状態でデジタルメモリから表示画素に出力される映像信号の極性を制御する回路を除いた周辺駆動回路をサスペンドさせることにより大幅な消費電力の低減を図ることが可能となる。

30

【0003】

【発明が解決しようとする課題】

ところで、最近では携帯電話においてもインターネットや TV 電話等のカラー中間調表示や動画表示が始まっており、高精細化および更なる低消費電力が求められている。この要求に応えるため、通常の TFT を用いた通常表示モードとデジタルメモリを用いた静止画表示モードとを各表示画素に設けられるスイッチによって切り換えるように構成された液晶表示装置が提案されている。しかし、このような液晶表示装置で高精細な画面を得るために 1 画素あたりの面積を小さくした場合、各表示画素に設けられるデジタルメモリの素子サイズも小さくする必要が生じ、これがデジタルメモリの駆動能力を制約する。このような制約を受ける状況では、製造プロセスに依存した素子特性のバラツキに対して十分なマージンをとることが困難になる。実際に形成されたデジタルメモリの駆動能力が液晶容量および補助容量を含む表示画素の容量負荷に対して決定された設計値を下回ると、静止画表示モードでこのデジタルメモリにより誤って駆動される表示画素で点欠陥が発生する。これは、液晶表示装置の製造において歩留まりを低下させる結果となる。

40

【0004】

50

本発明の目的は、メモリ部の駆動能力に起因して発生する点欠陥を低減できる液晶表示装置を提供することにある。

【0005】

【課題を解決するための手段】

本発明によれば、画素電極および共通電極間に液晶材料を挟持した構造を有する複数の液晶表示画素と、映像信号を取り込む複数の画素スイッチと、複数の画素スイッチから複数の液晶表示画素の画素電極にそれぞれ印加される映像信号をデジタル形式で保持する複数のメモリ部と、複数のメモリ部を複数の液晶表示画素の画素電極にそれぞれ接続し複数のメモリ部からこれらの画素電極に出力される映像信号の極性を共通電極の電位に対して周期的に反転する複数の接続制御部と、複数の液晶表示画素の画素電極に容量結合して電位設定端子に接続される複数の補助容量線と、複数の接続制御部が複数のメモリ部を複数の液晶表示画素にそれぞれ接続する間複数の補助容量線を電位設定端子から電気的に分離してフローティング状態に維持する分離回路を備える液晶表示装置が提供される。

10

【0006】

この液晶表示装置では、複数の接続制御部が複数のメモリ部をそれぞれ複数の液晶表示画素に接続する間分離回路が複数の補助容量線を電位設定端子から電気的に分離してフローティング状態に維持する。これにより、メモリ部が映像信号の極性反転に伴って充放電すべき容量負荷から補助容量線および画素電極間の補助容量を除外できるため、メモリ部の駆動能力が製造プロセスに依存した素子特性のバラツキにより設計値を下回ることがあっても、メモリ部は保持状態にある映像信号に対応して正しく液晶表示画素を駆動する。従

20

【0007】

【発明の実施の形態】

以下、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置について図面を参照して説明する。この液晶表示装置は動画を表示可能な通常表示モードの他に例えば静止画を表示可能な静止画表示モードを持つ携帯端末機器のモニタディスプレイとして用いられる。

【0008】

図1はこのアクティブマトリクス型液晶表示装置の概略的な平面構造を示し、図2はこの液晶表示装置の画素周辺の等価回路を示す。

30

【0009】

この液晶表示装置は、液晶表示パネル1およびこの液晶表示パネル1を制御する液晶コントローラ2を備える。液晶表示パネル1は、例えば液晶層LQが光変調層としてアレイ基板ARおよび対向基板CT間に保持される構造を有し、液晶コントローラ2は液晶表示パネル1から独立した駆動回路基板上に配置される。

【0010】

アレイ基板ARは、ガラス基板上においてマトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って形成される複数の走査線Y(Y1~Ym)、複数の画素電極PEの列に沿って形成される複数の信号線X(X1~Xn)、信号線X1~Xnおよび走査線Y1~Ymの交差位置にそれぞれ隣接して配置され各々対応走査線Yからの走査信号に

応答して対応信号線Xからの映像信号Vpixを取り込み対応画素電極PEに印加する画素スイッチ11、各々対応行の画素電極PEを横切って走査線Y1~Ymと略平行に配置される複数の補助容量線12、複数の補助容量線12を液晶コントローラ2の電位設定端子PVcsから電気的に分離するための分離回路SP、走査線Y1~Ymを駆動する走査線駆動回路3、並びに信号線X1~Xnを駆動する信号線駆動回路4を備える。分離回路SPは複数の補助容量線12の一端側および他端側の両方に配置され各々対応補助容量線12の一端または他端と電位設定端子PVcsとの間に接続される複数の補助容量スイッチ20を含む。各画素スイッチ11および補助容量スイッチ20は例えばNチャンネルポリシリコン薄膜トランジスタ(TFT)により基板上に一体的に構成され、走査線駆動回路3および信号線駆動回路4は薄膜トランジスタ11と同一処理でアレイ基板AR上に形成される複数のN

40

50

チャンネルおよびPチャンネルポリシリコン薄膜トランジスタを組み合わせて構成される。

【0011】

対向基板CTは複数の画素電極PEに対向して配置され液晶コントローラ2の電位設定端子PVcomに接続される単一の共通電極CEおよび図示しないカラーフィルタ等を含む。

【0012】

液晶コントローラ2は、例えば外部から供給される映像信号および同期信号を受取り、通常表示モードで画素映像信号Vpix、垂直走査制御信号YCTおよび水平走査制御信号XCTを発生する。垂直走査制御信号YCTは例えば垂直スタートパルス、垂直クロック信号、出力イネーブル信号ENAB等を含み、走査線駆動回路3に供給される。水平走査制御信号XCTは水平スタートパルス、水平クロック信号、極性反転信号等を含み、映像信号Vpixと共に信号線駆動回路4に供給される。

10

【0013】

走査線駆動回路3はシフトレジスタおよびバッファ回路等で構成され、画素スイッチ11を導通させる走査信号を1垂直走査(フレーム)期間毎に走査線Y1~Ymに順次供給するよう垂直走査制御信号YCTによって制御される。シフトレジスタは1垂直走査期間毎に供給される垂直スタートパルスを垂直クロック信号に同期してシフトさせることにより複数の走査線Y1~Ymのうちの1本を選択し、出力イネーブル信号ENABを参照して選択走査線に走査信号を出力する。出力イネーブル信号ENABは垂直走査(フレーム)期間のうちの有効走査期間において走査信号の出力を許可するために高レベルに維持され、この垂直走査期間から有効走査期間を除いた垂直ブランキング期間で走査信号の出力を禁止するために低レベルに維持される。

20

【0014】

信号線駆動回路4はシフトレジスタおよび複数のアナログスイッチ等で構成され、各走査線Yが走査信号により駆動される1水平走査期間(1H)において入力される映像信号を直並列変換してサンプリングしたアナログ映像信号Vpixを信号線X1~Xnにそれぞれ供給するように水平走査制御信号XCTによって制御される。

【0015】

尚、図1に示すように、液晶コントローラ2は共通電極CEに設定されるコモン電位Vcomを電位設定端子PVcomから出力し、補助容量線12に設定される補助容量線電位Vcsを電位設定端子PVcsから出力する。この補助容量線電位Vcsは例えばコモン電位Vcomに等しい値である。コモン電位Vcomは通常表示モードにおいて1水平走査期間(H)毎に0Vおよび5Vの一方から他方にレベル反転され、静止画表示モードにおいて1フレーム期間(F)毎に0Vおよび5Vの一方から他方にレベル反転される。また、通常表示モードにおいて、本実施形態のように1水平走査期間(H)毎にコモン電位Vcomをレベル反転させる代わりに、例えば2H毎、あるいは1フレーム期間(F)毎にコモン電位Vcomをレベル反転させても構わない。

30

【0016】

極性反転信号はこのコモン電位Vcomのレベル反転に同期して信号線駆動回路4に供給される。これにより、信号線駆動回路4は、通常表示モードにおいては0Vから5Vの振幅を持つ映像信号Vpixをコモン電位Vcomに対して逆極性となるように極性反転信号にตอบสนองしてレベル反転して出力し、静止画表示モードでは静止画用に階調制限した映像信号を出力した後にその動作を停止する。

40

【0017】

この液晶表示パネル1の液晶層LQは、例えば共通電極CEに設定される0Vのコモン電位Vcomに対して5Vの映像信号Vpixを画素電極PEに印加することにより黒表示を行うノーマリホワイトであり、上述したように通常表示モードでは映像信号Vpixおよびコモン電位Vcomの電位関係が1水平走査期間(H)毎に交互に反転されるHコモン反転駆動が採用され、静止画表示モードでは1フレーム毎に交互に反転されるフレーム反転駆動が採用されている。

表示画面は複数の液晶表示画素PXにより構成される。各液晶表示画素PXは画素電極P

50

E および共通電極 C E、並びにこれらの間に挟持された液晶層 L Q の液晶材料を含む。さらに、複数のデジタルメモリ部 1 3 および複数の接続制御部 1 4 が複数の表示画素 P X に対してそれぞれ設けられる。画素電極 P E および共通電極 C E は液晶材料を介して液晶容量を構成し、信号線 X 上の映像信号 V pix を選択的に取り込む画素スイッチ 1 1 および絶縁膜により一対の金属層を絶縁した M I M 構造の補助容量 C S に接続される。この補助容量 C S は例えば補助容量線 1 2 の一部からなる第 1 電極およびこの第 1 電極に絶縁膜を介して対向し画素電極 P E に接続される第 2 電極により構成される。

【 0 0 1 8 】

複数の補助容量スイッチ 2 0 は液晶コントローラ 2 から供給されるスイッチ制御信号 S W により制御される。スイッチ制御信号 S W は通常表示モードで複数の補助容量線 1 2 を電位設定端子 P V cs に電氣的に接続するためにこれら補助容量スイッチ 2 0 を導通させ、静止画表示モードでこれら補助容量線 1 2 を電位設定端子 P V cs から電氣的に分離してフローティング状態にするためにこれら補助容量スイッチ 2 0 を非導通にする。

【 0 0 1 9 】

画素スイッチ 1 1 は走査線 Y からの走査信号によって駆動されたときに信号線 X 上の映像信号 V pix を取り込み画素電極 P E に印加する。補助容量 C S は液晶容量に比べて十分大きな容量値を有し、画素電極 P E に印加された映像信号 V pix により充放電される。補助容量 C S がこの充放電により映像信号 V pix を保持すると、この映像信号 V pix は画素スイッチ 1 1 が非導通となったときに液晶容量 C S に保持された電位の変動を補償し、これにより画素電極 P E および共通電極 C E 間の電位差が維持される。

【 0 0 2 0 】

図 2 に示すように、各デジタルメモリ部 1 3 は P チャネルポリシリコン薄膜トランジスタ Q 1 , Q 3 , Q 5 および N チャネルポリシリコン薄膜トランジスタ Q 2 , Q 4 を有し、画素スイッチ 1 1 から画素電極 P E に印加された映像信号 V pix を保持する。各接続制御部 1 4 は N チャネルポリシリコン薄膜トランジスタ Q 6 および Q 7 を有し、画素電極 P E およびデジタルメモリ部 1 3 間の電氣的な接続を制御するだけでなくデジタルメモリ部 1 3 に保持された映像信号の出力極性を制御する極性制御回路を兼ねる。薄膜トランジスタ Q 1 , Q 2 は電源端子 V d d (= 5 V) および電源端子 V s s (= 0 V) 間の電源電圧で動作する第 1 相補型インバータ I N V 1 を構成し、薄膜トランジスタ Q 3 , Q 4 は電源端子 V d d , V s s 間の電源電圧で動作する第 2 相補型インバータ I N V 2 を構成する。相補型インバータ I N V 2 の出力端は相補型インバータ I N V 1 の入力端に接続される、これら相補型インバータ I N V 1 , I N V 2 により縦列インバータ回路を構成する。相補型インバータ I N V 1 の出力端は薄膜トランジスタ Q 5 を介して相補型インバータ I N V 2 の入力端に接続される。ここで、薄膜トランジスタ Q 5 は縦列インバータ回路の出力を縦列インバータ回路の入力として帰還するループスイッチを構成する。この薄膜トランジスタ Q 5 は例えば走査線 Y を介して制御され、画素スイッチ 1 1 が走査線 Y からの走査信号の立ち上がりにより導通するフレーム期間において導通せず、このフレームの次のフレーム期間において導通する。これにより、少なくとも画素スイッチ 1 1 が映像信号 V pix を取り込むまで、薄膜トランジスタ Q 5 は非導通状態に維持される。

【 0 0 2 1 】

薄膜トランジスタ Q 6 および Q 7 は静止画表示モードにおいて例えば 1 フレーム毎に交互に高レベルに設定される極性制御信号 P O L 1 および P O L 2 によりそれぞれ制御される。薄膜トランジスタ Q 6 は画素電極 P E と相補型インバータ I N V 2 の入力端並びに薄膜トランジスタ Q 5 を介して相補型インバータ I N V 1 の出力端との間に接続され、薄膜トランジスタ Q 7 は画素電極 P E と相補型インバータ I N V 1 の入力端並びに相補型インバータ I N V 2 の出力端との間に接続される。

【 0 0 2 2 】

次に上述の液晶表示装置の動作を説明する。図 3 に示すように通常表示モードでは、液晶コントローラ 2 が極性制御信号 P O L 1 および P O L 2 を低レベルに維持する一方で、走査線駆動回路 3 が走査信号を 1 フレーム期間毎に順次複数の走査線 Y (Y 1 から Y m) に

10

20

30

40

50

供給する。各走査線 Y は走査信号により 1 水平走査期間 (1 H) だけ高レベルに維持される。信号線駆動回路 4 は各水平走査期間毎にレベル反転される 1 行分の映像信号 V_{pix} をそれぞれ複数の信号線 X (X₁ ~ X_n) に供給する。各表示画素 P_X の画素スイッチ 1 1 は対応走査線 Y からの走査信号により導通し、対応信号線 X に供給された映像信号 V_{pix} を取り込み画素電極 P_E に印加する。画素スイッチ 1 1 が 1 水平走査期間後に非導通となつて、画素電極 P_E を電氣的なフローティング状態にすると、この映像信号 V_{pix} は再び画素スイッチ 1 1 が導通するまで液晶容量および補助容量 1 2 によって保持される。この間、表示画素 P_X は共通電極 C_E と画素電極 P_E 間の電位差に対応する光透過率に設定される。

【 0 0 2 3 】

静止画表示モードに移行する場合には、極性制御信号 P_{OL} 1 が最初の 1 フレーム期間である静止画書込期間で高レベルに、P_{OL} 2 が低レベルに維持され、静止画用の映像信号 V_{pix} がこのフレーム期間において 1 水平走査期間毎に信号線 X に供給される。これに続く静止画保持期間では、極性制御信号 P_{OL} 2 および P_{OL} 1 がデジタルメモリ部 1 3 の出力極性を反転させるために 1 フレーム期間毎に交互に高レベルに設定される。

【 0 0 2 4 】

極性制御信号 P_{OL} 1 が上述のように静止画表示モードの静止画書込期間に相当する第 1 フレーム期間において高レベルに維持されると、2 値の静止画情報に対応する映像信号 V_{pix} が画素スイッチ 1 1 を介して画素電極 P_E に印加されると共に、薄膜トランジスタ Q₆ を介してデジタルメモリ部 1 3 に供給される。静止画保持期間で例えば極性制御信号 P_{OL} 1 が低レベル、P_{OL} 2 が高レベルになると、この映像信号 V_{pix} は相補型インバータ I_{NV} 2 によってレベル反転され出力映像信号として薄膜トランジスタ Q₇ を介して画素電極 P_E に印加される。ここで、静止画表示モードの静止画書込期間の動作について補足する。通常表示モードの最後のフレーム期間において、第 1 行目から第 4 行目までの表示画素 P_X の画素電位 V_P 1 , V_P 2 , V_P 3 , V_P 4 がライン反転駆動で同じ明るさとなるようにそれぞれ 5 V , 0 V , 5 V , 0 V に設定されていて、さらに静止画用の映像信号 V_{pix} が例えば第 4 走査線 Y₄ が駆動される水平走査期間だけ 5 V に設定され、それ以外で 0 V に設定されると仮定する。この場合、画素電位 V_P 1 は静止画書込期間において 5 V から 0 V に遷移し、画素電位 V_P 2 は静止画書込期間において 0 V のまま遷移しない。他方、画素電位 V_P 3 は 5 V から 0 V に遷移し、画素電位 V_P 4 は 0 V から 5 V に遷移する。

【 0 0 2 5 】

上述した実施形態の液晶表示装置において、複数の接続制御部 1 4 は複数の画素スイッチ 1 1 がいずれも映像信号を取り込まない垂直ブランキング期間内に複数のデジタルメモリ部 1 4 と複数の液晶表示画素 P_X の画素電極 P_E との接続を切り換える。分離回路 S_P は、これら接続制御部 1 4 が複数のデジタルメモリ部 1 3 をそれぞれ複数の液晶表示画素 P_X の画素電極 P_E に接続する間複数の補助容量線 1 2 を電位設定端子 P_V cs から電氣的に分離してフローティング状態に維持する。これにより、デジタルメモリ部 1 3 が映像信号の極性反転に伴って充放電すべき容量負荷から補助容量 C_S を除外できるため、デジタルメモリ部 1 3 の駆動能力が製造プロセスに依存した素子特性のバラツキにより設計値を下回ることもあっても、デジタルメモリ部 1 3 は保持状態にある映像信号 V_{pix} に対応して正しく液晶表示画素 P_X を駆動する。従つて、デジタルメモリ部 1 3 の駆動能力に起因して発生する点欠陥を低減することができる。

【 0 0 2 6 】

また、図 4 に簡略化して示すように、複数の補助容量スイッチ 2 0 がアレイ基板 A_R 上で複数の補助容量線 1 2 の一端側および他端側の両方に配置され、補助容量線電位 V_{cs} に設定される電位設定端子 P_V cs とこれら補助容量線 1 2 との間に接続される。ここでは、2 個の補助容量スイッチ 2 0 が 1 本の補助容量線 1 2 に接続される n 個の補助容量 C_S に割り当てられている。従つて、1 個の補助容量スイッチ 2 0 が 1 個の補助容量 C_S に割り当てられる場合よりも大幅に素子数を低減でき、これによりアレイ基板 A_R 上の有効表示面

10

20

30

40

50

積を低下させずに低消費電力化を図ることができる。

【0027】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【0028】

図4に示す補助容量スイッチ20の配置は例えば図5から図9に示すように変形してもよい。

【0029】

図5に示す変形例では、複数の補助容量スイッチ20がアレイ基板AR上で複数の補助容量線12の一端側および他端側に交互に配置される。これら補助容量スイッチ20の半分は奇数本目の補助容量線12の一端と電位設定端子PVcsとの間に接続され、これら補助容量スイッチ20の残り半分は偶数本目の補助容量線12の他端と電位設定端子PVcsとの間に接続される。図6に示す変形例では、複数の補助容量スイッチ20がアレイ基板AR上で複数の補助容量線12の一端側にだけ配置される。全部の補助容量スイッチ20はこれら補助容量線12の一端と電位設定端子PVcsとの間に接続され、これら補助容量線12の他端は互いに接続される。図7に示す変形例では、2個の補助容量スイッチ20がアレイ基板ARの外部に配置される。一方の補助容量スイッチ20は複数の補助容量線12の一端と固定電源端子VFとの間に接続され、他方の補助容量スイッチ20はこれら補助容量線12の他端と固定電源端子VFとの間に接続される。図8に示す変形例では、単一の補助容量スイッチ20がアレイ基板ARの外部に配置される。この補助容量スイッチ20は複数の補助容量線12の一端と電位設定端子PVcsとの間に接続され、これら補助容量線12の他端は互いに接続される。図9に示す変形例では、図8に示す変形例と同様に単一の補助容量スイッチ20がアレイ基板ARの外部に配置される。この補助容量スイッチ20は複数の補助容量線12の一端および他端と電位設定端子PVcsとの間に接続される。これら図5から図9に示す変形例でも、上述の実施形態と同様に、1個の補助容量スイッチ20が1個の補助容量CSに割り当てられる場合よりも大幅に素子数を低減でき、これによりアレイ基板AR上の有効表示面積を低下させずに低消費電力化を図ることができる。

【0030】

【発明の効果】

以上のように本発明によれば、メモリ部の駆動能力に起因して発生する点欠陥を低減できる液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の概略的な平面構造を示す図である。

【図2】図1に示す液晶表示装置の画素周辺の等価回路を示す図である。

【図3】図2に示す画素周辺の等価回路の動作を示すタイムチャートである。

【図4】図1に示す補助容量スイッチの配置を簡略化して示す図である。

【図5】図4に示す補助容量スイッチの配置の第1変形例を示す図である。

【図6】図4に示す補助容量スイッチの配置の第2変形例を示す図である。

【図7】図4に示す補助容量スイッチの配置の第3変形例を示す図である。

【図8】図4に示す補助容量スイッチの配置の第4変形例を示す図である。

【図9】図4に示す補助容量スイッチの配置の第5変形例を示す図である。

【符号の説明】

1 1 ... 画素スイッチ

1 2 ... 補助容量線

1 3 ... デジタルメモリ部

1 4 ... 接続制御部

S P ... 分離回路

A R ... アレイ基板

10

20

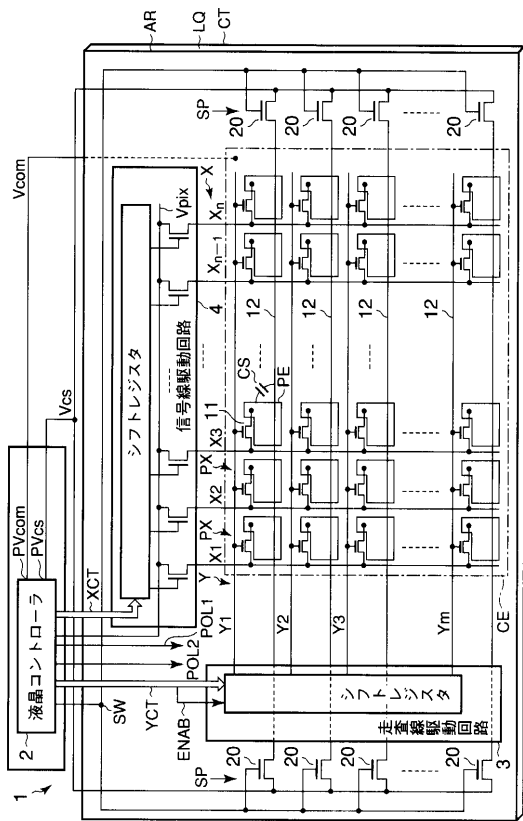
30

40

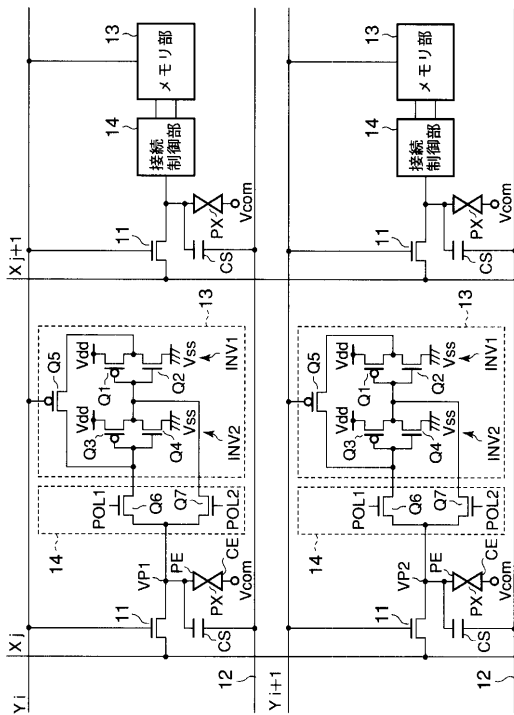
50

- CT ... 対向基板
- CS ... 補助容量
- LQ ... 液晶層
- PX ... 液晶表示画素

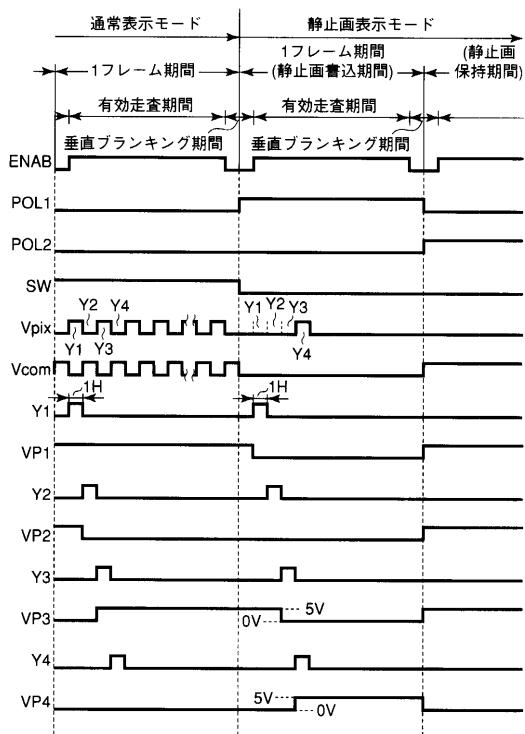
【 図 1 】



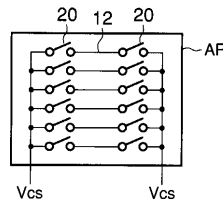
【 図 2 】



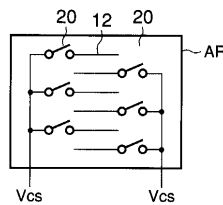
【 図 3 】



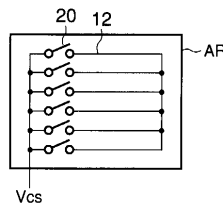
【 図 4 】



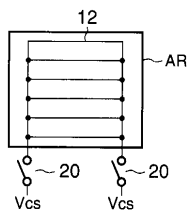
【 図 5 】



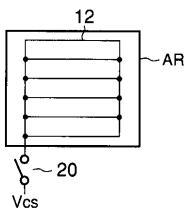
【 図 6 】



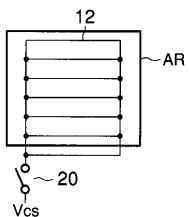
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 中村 則夫

埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

審査官 後藤 亮治

(56)参考文献 特開平07-072511(JP,A)
特開2001-264814(JP,A)
特開平08-286170(JP,A)
特開平06-313876(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20 - 3/38

G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP3980910B2	公开(公告)日	2007-09-26
申请号	JP2002067498	申请日	2002-03-12
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	中村則夫		
发明人	中村 則夫		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3655 G09G3/3614 G09G3/3648 G09G2300/0809 G09G2300/0842 G09G2300/0857 G09G2300/0876		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.H G09G3/20.612.T G09G3/20.622.G G09G3/20.624.B		
F-TERM分类号	2H093/NA11 2H093/NA31 2H093/NA34 2H093/NC09 2H093/NC16 2H093/NC22 2H093/NC28 2H093/NC29 2H093/NC40 2H193/ZA20 2H193/ZC20 5C006/AA01 5C006/AA02 5C006/AC27 5C006/AC28 5C006/AF07 5C006/AF23 5C006/AF45 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF09 5C006/BF34 5C006/FA04 5C006/FA06 5C006/FA20 5C006/FA37 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD21 5C080/DD24 5C080/EE19 5C080/EE26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/KK07 5C080/KK47		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP2003263137A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少由存储器部件的驱动能力引起的点缺陷。解决方案：液晶显示（LCD）装置具有多个用于输入视频信号的像素开关11，多个数字存储器部分，用于将分别从像素开关11施加的视频信号存储到多个像素电极PE。数字格式，多个连接控制部分14，用于分别将这些数字存储器部分连接到多个像素电极PE，并且周期性地将从存储器部分输出的视频信号的极性反转到像素电极PE，以抵抗共同的电位电极，多个辅助电容线12，其电容性地连接到像素电极PE并连接到电位设置端子PVcs，以及分离电路SP，用于在存储器部件的相应连接期间将辅助电容线12与端子PVcs电分离如图13所示，LCD像素PX保持电容线12处于浮动状态。 Z

