

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3892650号
(P3892650)

(45) 発行日 平成19年3月14日(2007.3.14)

(24) 登録日 平成18年12月15日(2006.12.15)

(51) Int.C1.

F 1

G09G	3/36	(2006.01)	G09G	3/36
G02F	1/133	(2006.01)	G02F	1/133 575
G09G	3/20	(2006.01)	G09G	3/20 612 F

G09G	3/20	621 M
G09G	3/20	623 A

請求項の数 7 (全 25 頁)

(21) 出願番号 特願2000-223942 (P2000-223942)
 (22) 出願日 平成12年7月25日 (2000.7.25)
 (65) 公開番号 特開2002-40997 (P2002-40997A)
 (43) 公開日 平成14年2月8日 (2002.2.8)
 審査請求日 平成15年9月11日 (2003.9.11)

前置審査

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (72) 発明者 後藤 充
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディスプレイグループ内
 (72) 発明者 早田 浩子
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディスプレイグループ内
 審査官 河原 英雄

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、

前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像線駆動手段は、半導体集積回路装置を有し、

前記半導体集積回路装置は、前記半導体集積回路装置の長手方向に設けられる第1の出力端子列と、

前記第1の出力端子列の前記半導体集積回路装置の短手方向の両側に設けられ、前記各映像信号線に供給する階調電圧を生成する一対のデータラッチと、デコーダ回路と、バッファ回路とを有することを特徴とする液晶表示装置。

【請求項 2】

複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、

前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像線駆動手段は、複数の半導体集積回路装置を有し、

前記各半導体集積回路装置は、前記半導体集積回路装置の短手方向に設けられる入力回路部と、

10

20

前記入力回路部の前記半導体集積回路装置の短手方向の中央部の両側に、前記半導体集積回路装置の長手方向に設けられる第1の出力端子列と、

前記第1の出力端子列の前記半導体集積回路装置の短手方向の両側に設けられ、前記各映像信号線に供給する階調電圧を生成する一対のデータラッチと、デコーダ回路と、バッファ回路とを有することを特徴とする液晶表示装置。

【請求項3】

複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、

前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像線駆動手段は、複数の配線層が形成されるフィルム基板と、

前記フィルム基板上の前記複数の配線層が形成された側に搭載される半導体集積回路装置とを有し、

前記半導体集積回路装置は、前記半導体集積回路装置の周辺部以外の領域に、前記半導体集積回路装置の長手方向に設けられる複数のバンプ電極よりなる第1の出力端子列を有し、

前記フィルム基板と前記複数のバンプ電極との間で、前記複数のバンプ電極は前記複数の配線層と接続されており、

前記第1の出力端子列の前記半導体集積回路装置の短手方向の両側に設けられ、前記各映像信号線に供給する階調電圧を生成する一対のデータラッチと、デコーダ回路と、バッファ回路とを有することを特徴とする液晶表示装置。

【請求項4】

前記一対のデータラッチと、デコーダ回路と、バッファ回路とは、前記第1の出力端子列から前記半導体集積回路装置の短手方向に、前記バッファ回路、デコーダ回路、データラッチの順番に配置されることを特徴とする請求項1乃至請求項3のいずれか1項に記載の液晶表示装置。

【請求項5】

前記一対のデータラッチと、デコーダ回路と、バッファ回路とは、正極性の階調電圧を生成するデータラッチとデコーダ回路とバッファ回路と、負極性の階調電圧を生成するデータラッチとデコーダ回路とバッファ回路とであることを特徴とする請求項1乃至請求項4のいずれか1項に記載の液晶表示装置。

【請求項6】

一対の基板と、前記一対の基板間の狭持される液晶とを有する液晶表示素子で、複数の画素と、前記液晶層の複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、

前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像線駆動手段は、前記一対の基板の一方の基板に搭載される半導体集積回路装置を有し、

前記半導体集積回路装置は、前記半導体集積回路装置の周辺部以外の領域に、前記半導体集積回路装置の長手方向に設けられる複数のバンプ電極を有し、

前記一方の基板に形成される映像信号線の一部は、端子部が前記半導体集積回路装置の各バンプ電極と接続されるとともに、前記端子部を含む領域が前記半導体集積回路装置により覆われておる、

前記複数のバンプ電極は、前記半導体集積回路装置の短手方向に複数並列に形成されていることを特徴とする液晶表示装置。

【請求項7】

前記複数列の一部の列のバンプ電極は、前記半導体集積回路装置の長手方向の長さが、当該列よりも前記映像信号線が延長される方向にある列のバンプ電極の前記半導体集積回路装置の長手方向の長さよりも長くされていることを特徴とする請求項6に記載の液晶表

10

20

30

40

50

示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信号線駆動手段（ドレインドライバ）に適用して有効な技術に関する。

【0002】

【従来の技術】

画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。10

このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧（表示データに対応する階調電圧；以下、階調電圧と称する。）を印加するため、各画素間のクロストークがなく、単純マトリクス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。

このアクティブマトリクス型液晶表示装置の1つに、TFT（Thin Film Transistor）方式の液晶表示パネル（TFT-LCD）と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバおよびインターフェース部とを備えるTFT方式の液晶表示モジュールが知られている。

【0003】

図24は、従来のTFT液晶表示モジュールの一例の概略構成を示すブロック図である。同図に示すように、液晶パネル（TFT-LCD）10の長辺側の一边に複数のドレインドライバ130が、液晶表示パネル10の短辺側の一边に複数のゲートドライバ140が配置される。20

パソコン等のホストコンピュータ側から出力される赤（R）、緑（G）、青（B）の3色の表示データ（映像信号）、クロック信号、表示タイミング信号、同期信号（水平同期信号、垂直同期信号）からなる制御信号は、インターフェースコネクタを介して表示制御装置（TFTコントローラ）110に入力される。

表示制御装置110からの制御信号および表示データ等は、TFTコントローラ基板301、ドレインドライバ基板302を介して、各ドレインドライバ130に入力される。30

また、表示制御装置110からの制御信号は、TFTコントローラ基板301、ゲートドライバ基板303を介して、各ゲートドライバ140に入力される。なお、図24において、TFTコントローラ基板上の配線層の図示は省略している。

また、ドレインドライバ基板、およびゲートドライバ基板上には、図24に図示す配線層以外の配線層も設けられるが、図24では、ドレインドライバ基板302には4本、ゲートドライバ基板303には2本の配線層のみを図示している。

【0004】

ドレインドライバ130、およびゲートドライバ140は、半導体チップ（IC）によって構成され、これら半導体チップ（IC）は、いわゆるテープキャリア方式、またはチップオンフィルム方式によってフィルム基板に実装される。40

図25に示すように、フィルム基板310には、周辺から配線層（COFA）が形成され、半導体チップ（IC）の周辺に設けられた端子（BUMP）が、この配線層（COFA）にボンディングされる。

ここで、ドレインドライバの端子（BUMP）は、その周辺部に設けられていることが一般的であり、図26に一例を示す。

図26に示すように、入力端子（BUMP2）は、ドレインドライバ基板302からの配線を接続できるように一边に配置され、出力端子（BUMP1）は、その他の3辺か、あるいは、入力端子（BUMP2）の配置してある辺の左右のスペースを含めた4辺の周辺部に配置されている。

また、各出力端子（BUMP1）に対応するドレインドライバ内部の出力回路330は、50

出力端子位置にあわせて、一列に並べられ配置されているのが一般的である。

なお、このような液晶表示装置は、例えば、特開平9-281930号公報に記載されている。

【0005】

【発明が解決しようとする課題】

近年、TFT方式の液晶表示モジュール等の液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの画素数の増大化、および高精細化の傾向にあり、それに伴い、ゲート信号線およびドレイン信号線も増大し、ドレインドライバの入出力端子数も多くせざるを得なくなってきた。 10

例えば、XGA仕様の液晶表示パネルでは、ドレイン信号線の本数は $3072 (= 1024 \times 3 (\text{RGB}))$ 本であり、出力端子数が384本のドレインドライバを使用するとして、XGA仕様の液晶表示パネルで必要なドレインドライバ数は、 $8 (= 3072 / 384)$ 個となる。

これに対して、UXGA仕様に高精細化が進むと、ドレイン信号線の本数は $4800 (= 1600 \times 3 (\text{RGB}))$ 本であり、前述の場合と同様、出力端子数が384本のドレインドライバを使用するとすると、UXGA仕様の液晶表示パネルで必要なドレインドライバ数は、 $12.5 (= 4800 / 384)$ 個となる。

このように、液晶表示パネルの高精細化が進むにつれて、液晶表示パネル当たりのドレイン線本数が増え、必要なドレインドライバの個数が増えることになる。

これにより、表示制御装置110の負荷容量が増加し、ドレインドライバ130を駆動できなくなってしまうという問題点があった。 20

【0006】

液晶表示パネルが高精細化しても、ドレインドライバの数量が変化しないようにするためにには、1ドレインドライバ当たりの出力端子数を増やす必要がある。一般に、ドレインドライバを構成する半導体チップ(IGC)は、その外形形状が横長の板状となっているが、1ドレインドライバ当たりの出力端子(BUMP)数を増やすと、半導体チップ(IGC)は、より横方向の長さが長くする必要がある。

また、半導体チップ(IGC)は、一枚の半導体ウェーハに複数形成した後、切り離して作成されるが、横方向の長さがより長い横長の半導体チップ(IGC)になるにつれて、一枚のウェーハから取得できるチップ数が減少し、一個の半導体チップ(IGC)の価格が高くなってしまう。 30

さらに、横方向の長さがより長い横長の半導体チップ(IGC)になると、一枚の半導体ウェーハ面に、いわゆるステップアンドリピートの露光によって半導体チップ(IGC)を形成する際に、該露光範囲を超てしまることが懸念される。これを解決するためには、より高価な露光装置を使用する必要があり、一個の半導体チップ(IGC)の価格が高くなってしまう。

一方、市場の成熟に伴い、液晶表示装置は、より低価格化が要求されているが、ドレインドライバ130を構成する半導体チップ(IGC)が高くなると、液晶表示装置の価格が高くなるという問題点がある。

【0007】

また、ドレイン信号線の増加にともない、必然的にドレインドライバ130の出力端子(BUMP1)のピッチが小さくなる傾向にあり、半導体チップ(IGC)の選別時におけるプロービングが困難になることが懸念されている。 40

さらに、ドレイン信号線の増加にともない、1個のドレインドライバ130の回路規模が大きくなる傾向にあり、半導体チップ(IGC)内部における配線インピーダンスによる電圧降下が無視できなくなることが懸念されている。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、液晶表示素子の画素数が増大しても、それに充分対処し得、しかも低価格化を図ることが可能となる技術を提供することにある。

また、本発明の他の目的は、液晶表示装置において、映像線駆動手段の半導体集積回路装 50

置の出力端子数が増加しても、簡単に検査を行うことが可能となる技術を提供することにある。

また、本発明の他の目的は、液晶表示装置において、映像線駆動手段の半導体集積回路装置の出力端子数が増加しても、半導体集積回路装置内部の配線層による電圧降下を防止することが可能となる技術を提供することにある。

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。10

即ち、本発明は、複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像線駆動手段は、半導体集積回路装置を有し、前記半導体集積回路装置は、例えば、前記半導体集積回路装置の短手方向の中央部に、前記半導体集積回路装置の長手方向に設けられる第1の出力端子部と、前記第1の出力端子部の前記半導体集積回路装置の短手方向の両側に設けられ、前記各映像信号線に供給する階調電圧を生成する一対の出力回路部とを有することを特徴とする。

【0009】

また、本発明は、複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像線駆動手段は、複数の半導体集積回路装置を有し、前記各半導体集積回路装置は、前記半導体集積回路装置の短手方向に設けられる入力回路部と、前記入力回路部の前記半導体集積回路装置の長手方向の両側に、前記半導体集積回路装置の長手方向に設けられる第1の出力端子部と、前記第1の出力端子部の前記半導体集積回路装置の短手方向の両側に設けられ、前記各映像信号線に供給する階調電圧を生成する一対の出力回路部とを有することを特徴とする。20

【0010】

また、本発明の好ましい実施の形態では、前記第1の出力端子部および前記出力回路部以外の領域で、少なくとも前記半導体集積回路装置の2つの短辺の周辺部に沿って設けられる第2の出力端子部を有することを特徴とする。30

また、本発明の好ましい実施の形態では、前記一対の出力回路部は、正極性の階調電圧を生成する正極性出力回路部と、負極性の階調電圧を生成する負極性出力回路部とが交互に設けられることを特徴とする。

また、本発明の好ましい実施の形態では、前記一対の出力回路部の一方の出力回路部には、正極性の階調電圧を生成する正極性出力回路部が設けられ、前記一対の出力回路部の他方の出力回路部には、負極性の階調電圧を生成する負極性出力回路部が設けられることを特徴とする。40

また、本発明の好ましい実施の形態では、前記出力回路部は、バッファ回路と、デコーダ回路と、データラッチ部と、シフトレジスタ回路とを有し、前記バッファ回路、デコーダ回路、データラッチ部、およびシフトレジスタ回路は、前記第1の出力端子部から前記半導体集積回路の短手方向に、前記バッファ回路、デコーダ回路、データラッチ部、シフトレジスタ回路の順番に配置されることを特徴とする。

【0011】

また、本発明は、複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像線駆動手段は、複数の半導体集積回路装置を有し、前記各半導体集積回路装置は、前記

半導体集積回路装置の短手方向に設けられる入力回路部と、前記入力回路部の前記半導体集積回路装置の長手方向の両側に、前記半導体集積回路装置の長手方向に設けられる複数の出力端子部と、前記各出力端子部毎に、前記各出力端子部の前記半導体集積回路装置の短手方向の両側に設けられ、前記各映像信号線に供給する階調電圧を生成する一対の出力回路部とを有することを特徴とする。

【0012】

また、本発明は、複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、複数の配線層が形成されるフィルム基板と、前記フィルム基板上に搭載される半導体集積回路装置を有し、前記半導体集積回路装置は、前記半導体集積回路装置の周辺部以外の領域に、前記半導体集積回路装置の長手方向に設けられる複数のバンプ電極を有し、前記フィルム基板の配線層の一部は、一端が前記半導体集積回路装置の各バンプ電極と接続されるとともに、前記一端から前記フィルム基板の周辺部まで延長して設けられ、かつ、前記一端を含む部分が前記半導体集積回路装置により覆われていることを特徴とする。

【0013】

また、本発明は、一対の基板と、前記一対の基板間の狭持される液晶と有する液晶表示素子で、複数の画素と、前記液晶層の複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、前記一対の基板の一方の基板に搭載される半導体集積回路装置を有し、前記半導体集積回路装置は、前記半導体集積回路装置の周辺部以外の領域に、前記半導体集積回路装置の長手方向に設けられる複数のバンプ電極を有し、前記一方の基板に形成される映像信号線の一部は、端子部が前記半導体集積回路装置の各バンプ電極と接続されるとともに、前記端子部を含む領域が前記半導体集積回路装置により覆われていることを特徴とする。

また、本発明の好ましい実施の形態では、前記複数のバンプ電極は、前記半導体集積回路装置の長手方向に複数列に形成されていることを特徴とする。

また、本発明の好ましい実施の形態では、前記複数列の一部の列のバンプ電極は、前記半導体集積回路装置の長手方向の長さが、当該列よりも前記フィルム基板の配線層が延長される方向にある列のバンプ電極の前記半導体集積回路装置の長手方向の長さよりも長くされていることを特徴とする。

【0014】

また、本発明は、複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、複数の配線層が形成されるフィルム基板と、前記フィルム基板上に搭載される半導体集積回路装置を有し、前記半導体集積回路装置は、複数のバンプ電極を有し、前記複数のバンプ電極の一部は、前記フィルム基板に設けられた配線層により、互いに電気的に接続されていることを特徴とする。

また、本発明は、複数の画素と、前記複数の画素に表示データに対応する階調電圧を印加する複数の映像信号線とを有する液晶表示素子と、前記各映像信号線に表示データに対応する階調電圧を供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、複数の配線層が形成されるフィルム基板と、前記フィルム基板上に搭載される半導体集積回路装置を有し、前記半導体集積回路装置は、複数のバンプ電極を有し、前記複数のバンプ電極の一部は、前記フィルム基板に設けられる配線層により、互いに電気的に接続され、前記バンプ電極同士を接続する配線層には、外部からの入力信号が印加されることを特徴とする。

【0015】

10

20

20

30

40

50

【発明の実施の形態】

以下、本発明実施の形態を図面を参照して説明する。

なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[実施の形態 1]

本発明が適用される表示装置の基本構成

図1は、本発明が適用されるTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

図1に示す液晶表示モジュール(LCM)は、液晶表示パネル(TFT-LCD)10の長辺側の一辺にドレインドライバ130が配置され、また、液晶表示パネル10の短辺側の一辺に、ゲートドライバ140が配置される。
10

液晶表示パネル10は、例えば、 $1600 \times 800 \times 3$ の画素から構成される。

なお、ここで、1画素とは、赤(R)、緑(G)、青(B)の1ピクセル(Pix)を意味する。

【0016】

パソコン等のホストコンピュータ側から出力される赤(R)、緑(G)、青(B)の3色の表示データ(映像信号)、クロック信号、表示タイミング信号、同期信号(水平同期信号、垂直同期信号)からなる制御信号は、インターフェースコネクタを介して表示制御装置(TFTコントローラ)110に入力される。

本実施の形態において、インターフェース部100は、前述の図24に示すTFTコントローラ基板301に、ドレインドライバ130は、前述の図24に示すドレインドライバ基板302に、ゲートドライバ140は、前述の図24に示すゲートドライバ基板303に実装される。
20

ここで、ドレインドライバ130、およびゲートドライバ140を構成する半導体チップ(IC)は、いわゆるテープキャリア(Tape Carrier Package)方式、または、チップオンフィルム(Chip On Film)方式によってフィルム基板310に実装される。

なお、前述の半導体チップ(IC)は、チップオングラス(Chip On Glass)方式により直接液晶表示パネル10の一方の透明基板に実装してもよい。

【0017】

図1に示す液晶表示パネル10の構成

図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図である。
30

この図2に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する2本の信号線(ドレイン信号線(D)またはゲート信号線(G))と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。

各画素は薄膜トランジスタ(TFT1, TFT2)を有し、各画素の薄膜トランジスタ(TFT1, TFT2)のソース電極は、画素電極(ITO1)に接続される。

また、画素電極(ITO1)とコモン電極(ITO2)との間に液晶層が設けられるので、画素電極(ITO1)とコモン電極(ITO2)との間には、液晶容量(CLC)が等価的に接続される。
40

さらに、薄膜トランジスタ(TFT1, TFT2)のソース電極と前段のゲート信号線(G)との間には、付加容量(CADD)が接続される。

図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。図2に示す例では、前段のゲート信号線(G)とソース電極との間に付加容量(CADD)が形成されているが、図3に示す例の等価回路では、共通信号線(CN)とソース電極との間に保持容量(CSTG)が形成されている点が異なっている。

【0018】

本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線(G)パルスが付加容量(CADD)を介して画素電極(ITO1)に飛び込むのに対し、後者の方
50

式では、飛び込みがないため、より良好な表示が可能となる。

なお、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、図2、図3において、A Rは表示領域である。

また、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

図2、図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ(TFT1, TFT2)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。

また、行方向に配置された各画素における薄膜トランジスタ(TFT1, TFT2)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)は、1水平走査時間、行方向の各画素の薄膜トランジスタ(TFT1, TFT2)のゲート電極に走査駆動電圧(正のバイアス電圧あるいは負のバイアス電圧)を供給するゲートドライバ140に接続される。
10

【0019】

図1に示すインターフェース部100の構成と動作概要

図1に示すインターフェース部100は、表示制御装置110と電源回路120とから構成される。

表示制御装置110は、1個の半導体集積回路(LSI)から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R·G·B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。
20

表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス(表示データ取込開始信号)を信号線135を介して第1番目のドレインドライバ130に出力し、さらに、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。

その際、表示制御装置110は、各ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック(CL2)(以下、単に、クロック(CL2)と称する。)を信号線131を介して出力する。

なお、本実施の形態においても、前述の図24に示すように、表示制御装置110からの制御信号および表示データ等は、TFTコントローラ基板301、ドレインドライバ基板302を介して、各ドレインドライバ130に入力される。
30

【0020】

本体コンピュータ側からの表示データは、例えば、6ビットで、1画素単位、即ち、赤(R)、緑(G)、青(B)の各データを1つの組にして単位時間毎に転送される。

また、第1番目のドレインドライバ130に入力されたスタートパルスにより第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。

この第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が終了すると、第1番目のドレインドライバ130からスタートパルスが、第2番目のドレインドライバ130に入力され、第2番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。
40

以下、同様にして、各ドレインドライバ130におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

【0021】

表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、各ドレインドライバ130におけるデータラッチ回路に蓄えていた表示データを液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック(CL1)(以下、単にクロック(CL1)と称する。)を信号線132を介して各ドレインドライバ130に出力する。

また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミン
50

ゲ信号が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号を出力する。

さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するよう、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるクロック(CL3)を出力する。

これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT1, TFT2)が、1水平走査時間の間導通する。

以上の動作により、液晶表示パネル10に画像が表示される。

【0022】

図1に示す電源回路120の構成

図1に示す電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124から構成される。

正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正電圧生成回路121は正極性の5値の階調基準電圧(V"0~V"4)を、負電圧生成回路122は負極性の5値の階調基準電圧(V"5~V"9)を出力する。

この正極性の階調基準電圧(V"0~V"4)、および負極性の階調基準電圧(V"5~V"9)は、各ドレインドライバ130に供給される。

また、各ドレインドライバ130には、表示制御装置110からの極性反転信号(交流化信号;M)も、信号線134を介して供給される。

コモン電極電圧生成回路123はコモン電極(ITO2)に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT1, TFT2)のゲート電極に印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。

【0023】

図1に示す液晶表示モジュールの交流化駆動方法

一般に、液晶層は、長時間同じ電圧(直流電圧)が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、液晶表示モジュールにおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極に印加する電圧を基準にして、画素電極に印加する電圧を、一定時間毎に正電圧側/負電圧側に変化させている。

この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。

コモン反転法とは、コモン電極に印加される電圧と画素電極に印加する電圧とを、交互に正、負に反転させる方法である。

また、コモン対称法とは、コモン電極に印加される電圧を一定とし、画素電極に印加する電圧を、コモン電極に印加される電圧を基準にして、交互に正、負に反転させる方法である。

コモン対称法は、画素電極(ITO1)に印加される電圧の振幅が、コモン反転法の場合に比べ2倍となり、しきい値電圧が低い液晶が開発されない限り低耐圧のドライバが使用できないと言う欠点があるが、低消費電力と表示品質の点で優れているドット反転法あるいはNライン反転法が使用可能である。

【0024】

以下、ドット反転法について説明する。

図4は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバ130からドレイン信号線(D)に出力される液晶駆動電圧(即ち、画素電極(ITO1)に印加される階調電圧)の極性を説明するための図である。

液晶表示モジュールの駆動方法として、ドット反転法を使用する場合に、図4に示すように、例えば、奇数フレームの奇数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線(D)に、コモン電極(ITO2)に印加される液晶駆動電圧(VCOM)に対して負極性の液晶駆動電圧(図4ではで示す)が、また、偶数番目のドレイン信

10

20

30

40

50

号線 (D) に、コモン電極 (ITO2) に印加される液晶駆動電圧 (VCOM) に対して正極性の液晶駆動電圧 (図4では で示す) が印加される。

さらに、奇数フレームの偶数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線 (D) に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線 (D) に負極性の液晶駆動電圧が印加される。

【0025】

また、各ライン毎の極性はフレーム毎に反転され、即ち、図4に示すように、偶数フレームの奇数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線 (D) に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線 (D) に負極性の液晶駆動電圧が印加される。10

さらに、偶数フレームの偶数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線 (D) に負極性の液晶駆動電圧が、また、偶数番目のドレイン信号線 (D) に正極性の液晶駆動電圧が印加される。

このドット反転法を使用することにより、隣り合うドレイン信号線 (D) に印加される電圧が逆極性となるため、コモン電極 (ITO2) や薄膜トランジスタ (TFT1, TFT2) のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。

また、コモン電極 (ITO2) に流れる電流が少なく電圧降下が大きくならないため、コモン電極 (ITO2) の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。20

【0026】

図1に示すドレインドライバ130の構成

図5は、図1に示すドレインドライバ130の一例の概略構成示すブロック図である。

なお、ドレインドライバ130は、1個の半導体集積回路 (LSI) から構成される。

同図において、階調電圧生成回路151は、正電圧生成回路121から入力される正極性の5値の階調基準電圧 ($V''_0 \sim V''_4$) に基づいて、正極性の64階調の階調電圧を、並びに、負電圧生成回路122から入力される負極性の5値の階調基準電圧 ($V''_5 \sim V''_9$) に基づいて、負極性の64階調の階調電圧、を生成し、当該それぞれ正極性および負極性の64階調の階調電圧を、電圧バスラインを介してデコーダ回路157に出力する。30

また、シフトレジスタ回路153は、クロック制御回路152から出力される、クロック (CL2) に同期したシフトクロックに基づき、データ取り込み用信号を生成し、ラッチ回路 (1)155に出力する。

【0027】

表示制御装置110から入力される表示データは、入力ラッチ回路154で一旦ラッチされる。

この入力ラッチ回路154は、クロック制御回路152からのクロックに基づき、表示データをラッチする。

ラッチ回路 (1)155は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力されるクロック (CL2) に同期して、入力ラッチ回路154から出力される各色毎6ビットの表示データを出力本数分だけラッチする。40

ラッチ回路 (2)156は、表示制御装置110から入力されるクロック (CL1) に応じて、ラッチ回路 (1)155内の表示データをラッチする。

このラッチ回路 (2)156に取り込まれた表示データは、内部のレベルシフト回路を介してデコーダ回路157に入力される。

デコーダ回路157は、正極性の64階調の階調電圧、あるいは負極性の64階調の階調電圧から、表示データに対応した1つの階調電圧 (64階調の中の1つの階調電圧) を選択して、バッファ回路158に出力する。

バッファ回路158は、入力された階調電圧を增幅 (電流増幅) して各ドレイン信号線 (50

D) に出力する。

【0028】

図6は、図5に示すドレインドライバ130の一例の構成をより具体的に説明するためのブロック図である。

同図において、153は、図5に示すシフトレジスタ回路、157は、図5に示すデコーダ回路であり、また、データラッチ部262は、図5に示すラッチ回路(1)155とラッチ回路(2)156のラッチを表し、レベルシフト回路263は、図5に示すラッチ回路(2)内部のレベルシフト回路を表わす。

さらに、アンプ回路264と、アンプ回路264の出力を切り替える出力選択回路265が、図5に示すバッファ回路157を構成する。 10

ここで、表示データ選択回路261、および出力選択回路265は、極性反転信号(M)に基づいて制御される。

また、Y1, Y2, Y3, Y4, Y5, Y6は、それぞれ第1番目、第2番目、第3番目、第4番目、第5番目、第6番目のドレン信号線(D)を示している。

図6に示すドレインドライバ130においては、表示データ選択回路261により、データラッチ部262(より詳しくは、図5に示すラッチ回路(1)155)に入力されるデータ取り込み用信号を切り替えて、連続する表示データを隣合うデータラッチ部262に入力する。

【0029】

デコーダ回路157は、階調電圧生成回路151から供給される正極性の64階調の階調電圧の中から、各データラッチ部262(より詳しくは、図5に示すラッチ回路(2)156)から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路251と、階調電圧生成回路151から供給される負極性の64階調の階調電圧の中から、各データラッチ部262から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路252とから構成される。 20

この高電圧用デコーダ回路251と低電圧用デコーダ回路252とは、隣接するデータラッチ部262毎に設けられる。

アンプ回路264は、高電圧用アンプ回路271と低電圧用アンプ回路272とにより構成される。

高電圧用アンプ回路271には高電圧用デコーダ回路251で生成された正極性の階調電圧が入力され、高電圧用アンプ回路271は正極性の階調電圧を出力する。 30

低電圧用アンプ回路272には低電圧用デコーダ回路252で生成された負極性の階調電圧が入力され、低電圧用アンプ回路272は負極性の階調電圧を出力する。

【0030】

ドット反転法では、連続する表示データの階調電圧は互いに逆極性となり、また、アンプ回路264の並びは、高電圧用アンプ回路271 低電圧用アンプ回路272 高電圧用アンプ回路271 低電圧用アンプ回路272となるので、表示データ選択回路261により、データラッチ部262に入力される表示データを切り替えて、連続する表示データを交互に隣り合うデータラッチ部262に入力し、それに合わせて、高電圧用アンプ回路271、あるいは低電圧用アンプ回路272から出力される出力電圧を出力選択回路265により切り替え、連続する表示データの階調電圧が出力されるドレン信号線(D)、例えば、第1番目のドレン信号線(Y1)と第2番目のドレン信号線(Y2)とに出力することにより、各ドレン信号線(D)に正極性あるいは負極性の階調電圧を出力することが可能となる。 40

【0031】

図7は、図5に示すドレインドライバ130の他の例の構成をより具体的に説明するためのブロック図である。

この図7に示す例では、隣接する各色の表示データの階調電圧は互いに逆極性となることを利用し、表示データ選択回路261により、データラッチ部262に入力される表示データを切り替えて、各色毎の表示データを隣り合うデータラッチ部262に入力し、それ

に合わせて、高電圧用アンプ回路 271、あるいは低電圧用アンプ回路 272 から出力される出力電圧を出力選択回路 265 により切り替え、各色毎の階調電圧が出力されるドレイン信号線 (D)、例えば、第 1 番目のドレイン信号線 (Y1) と第 4 番目のドレイン信号線 (Y4) とに出力するようにしたものである。

図 6、図 7 に示す例では、低電圧用回路と高電圧用回路をそれぞれ出力端子全数ではなく、1/2 の端子数分だけにすることで、半導体チップ (IC) のチップサイズの縮小を図っている。

【0032】

図 8 は、図 6、図 7 に示す高電圧用デコーダ回路 251 および低電圧用デコーダ回路 252 の一例の概略構成を示す回路図である。

10

図 8 に示す例では、図 6 に示す高電圧用デコーダ回路 251 または低電圧用デコーダ回路 252 は、エンハンスマントMOSトランジスタおよびデプレッションMOSトランジスタが直列接続されたトランジスタ列 (TRP2, TRP3) で構成される。

図 6、図 7 に示す高電圧用アンプ回路 271、および低電圧用アンプ回路 272 は、例えば、図 9 に示すように、オペアンプ (OP) の反転入力端子 (BUMP) (-) と出力端子 (BUMP) とが直結され、その非反転入力端子 (BUMP) (+) が入力端子 (BUMP) とされるボルテージホロワ回路で構成される。

ここで、低電圧用アンプ回路 272 に使用されるオペアンプ (OP) は、例えば、図 10 に示すような差動増幅回路で構成され、さらに、高電圧用アンプ回路 271 に使用されるオペアンプ (OP) は、例えば、図 11 に示すような差動増幅回路で構成される。

20

【0033】

図 12 は、図 7 に示す出力選択回路 265 の一例の一選択回路の回路構成を示す回路図である。

同図に示すように、図 7 に示す出力選択回路 265 の一選択回路は、高電圧用アンプ回路 271 と n 番目のドレイン信号 (Yn) との間に接続される PMOSトランジスタ (PM1) と、高電圧用アンプ回路 271 と (n+3) 番目のドレイン信号 (Yn+3) との間に接続される PMOSトランジスタ (PM2) と、低電圧用アンプ回路 272 と (n+3) 番目のドレイン信号 (Yn+3) との間に接続される NMOSトランジスタ (NM1) と、低電圧用アンプ回路 272 と n 番目のドレイン信号 (Yn) との間に接続される NMOSトランジスタ (NM2) とを有する。

30

PMOSトランジスタ (PM1) のゲート電極には、インバータ (INV) で反転されたノア回路 (NOR1) の出力が、また、PMOSトランジスタ (PM2) のゲート電極には、インバータ (INV) で反転されたノア回路 (NOR2) の出力が、それぞれレベルシフト回路 (LS) でレベルシフトされて入力される。

【0034】

同様に、NMOSトランジスタ (NM1) のゲート電極には、インバータ (INV) で反転された NAND回路 (NAND2) の出力が、また、NMOSトランジスタ (NM2) のゲート電極には、インバータ (INV) で反転された NAND回路 (NAND1) の出力が、それぞれレベルシフト回路 (LS) でレベルシフトされて入力される。

ここで、NAND回路 (NAND1) とノア回路 (NOR1) には、極性反転信号 (M) が、NAND回路 (NAND2) およびノア回路 (NOR2) には、インバータ (INV) で反転された極性反転信号 (M) が入力される。

40

また、NAND回路 (NAND1, NAND2) には、出力イネーブル信号 (ENB) が、ノア回路 (NOR1, NOR2) には、インバータ (INV) で反転された出力イネーブル信号 (ENB) が入力される。

表 1 に、NAND回路 (NAND1, NAND2) とノア回路 (NOR1, NOR2) の真理値表と、その時の各 MOSトランジスタ (PM1, PM2, NM1, NM2) のオン・オフ状態を示す。

【0035】

【表 1】

50

E N B	M	N O R 1	P M 1	N A N D 2	N M 1	N A N D 1	P M 2	N O R 2	N M 2
L	*	L	O F F	H	O F F	H	O F F	L	O F F
H	H	L	O F F	H	O F F	L	O N	H	O N
	L	H	O N	L	O N	H	O F F	L	O F F

*は交流化信号(M)に無関係であることを表す。

10

表1から分かるように、出力イネーブル信号(E N B)がL o wレベル(以下、Lレベル)の時に、 NAND回路(N A N D 1, N A N D 2)はH i g hレベル(以下、Hレベル)、N O R回路(N O R 1, N O R 2)はLレベルとなり、各M O Sトランジスタ(P M 1, P M 2, N M 1, N M 2)はオフ状態となる。

走査ラインの切り替わり時には、高電圧用アンプ回路271と低電圧用アンプ回路272とも不安定の状態にある。

この出力イネーブル信号(E N B)は、走査ラインの切り替わり期間内に、各アンプ回路(271, 272)の出力が、各ドレイン信号線(D)に出力されるのを防止するために設けられている。

20

なお、本実施の形態では、この出力イネーブル信号(E N B)として、クロック(C L 1)の反転信号を使用しているが、クロック(C L 2)をカウントする等して内部で生成することも可能である。

【0036】

また、表1から分かるように、出力イネーブル信号(E N B)がHレベルの時には、極性反転信号(M)のHレベルあるいはLレベルに応じて、各NAND回路(N A N D 1, N A N D 2)がHレベルあるいはLレベル、各N O R回路(N O R 1)がHレベルあるいはLレベルとなる。

これにより、P M O Sトランジスタ(P M 1)およびN M O Sトランジスタ(N M 1)がオフあるいはオン、P M O Sトランジスタ(P M 2)およびN M O Sトランジスタ(N M 2)がオンあるいはオフとなり、高電圧用アンプ回路271の出力はドレイン信号線(Y n + 3)に、低電圧用アンプ回路272の出力はドレイン信号線(Y n)、あるいは、高電圧用アンプ回路271の出力はドレイン信号線(Y n)に、低電圧用アンプ回路272の出力はドレイン信号線(Y n + 3)に出力される。

30

【0037】

本実施の形態の液晶表示モジュールの特徴的構成

図13は、本実施の形態のドレインドライバ130を構成する半導体チップ(I C)の内部回路のレイアウトを示す図である。

同図に示すように、本実施の形態は、シフトレジスタ回路153、データラッチ部262、デコーダ回路157、およびバッファ回路158から成る出力回路ブロックを、出力端子数分、半導体チップ(I C)の短手方向に2段に重ねて配置することを特徴とする。

40

そして、図13に示すように、半導体チップ(I C)の短手方向の中央部に出力端子(バング電極)領域(a)20を設け、前記2段に重ねて配置された出力回路ブロックは、この出力端子領域(a)20から、バッファ回路158、デコーダ回路157、データラッチ部262、および、シフトレジスタ回路153の順に設けられる。

また、半導体チップ(I C)の長手方向の中央部には、入力回路・配線領域23が設けられ、表示データ、クロックなどを、2段に重ねて配置された出力回路ブロックに供給するようしている。

このように、本実施の形態では、同一形状の出力端子部分を近接した領域(出力端子領域(a))に配置することで、無駄なスペースを削減でき、出力端子部分の面積を縮小する

50

ことができる。なお、22は、入力端子領域である。

【0038】

本実施の形態では、出力回路ブロックを2段に重ねて配置した関係上、シフトレジスタ回路153を各段毎に配置している。

このため、図6、図7に示すドレインドライバ130に比して、本実施の形態のドレインドライバ130では、シフトレジスタ回路形成領域が増加する。

しかしながら、シフトレジスタ回路153は、低い耐圧のプロセスで製造できる低電圧回路であること、かつ、回路規模が小さいことにより、2倍になつても面積の増加は無視できる程度である。

このように、本実施の形態では、ドレインドライバ130を構成する半導体チップ(1C)の大部分を占める階調電圧出力回路部分を2分割するようにしたので、半導体チップ(1C)のチップの長手方向(横方向)の長さを、図26に示す階調電圧出力回路を、チップの長手方向に一列に配置する構成に比して、およそ半分(1/2倍)にすることができる。

但し、本実施の形態では、半導体チップ(1C)のチップの短手方向の長さは、図26に示す階調電圧出力回路を、チップの長手方向に一列に配置する構成に比して、およそ2倍になる。

即ち、本実施の形態では、ドレインドライバ130を構成する半導体チップ(1C)は、その外形形状が、細長い板状ではなく、より正方形に近いものとなる。

【0039】

したがって、本実施の形態では、一枚のウェーハから取得できるチップ数を、従来の細長い板状のものに比べて増加させることができ、かつ、一枚の半導体ウェーハ面に、いわゆるステップアンドリピートの露光によって半導体チップ(1C)を形成する際に、安価な装置を使用できるので、半導体チップ(1C)のコストを低減することができる。

なお、本実施の形態において、出力端子(BUMP1)の配置は、半導体チップ(1C)サイズと、出力端子数と、出力端子間の距離により決定され、半導体チップ(1C)サイズが大きい場合、バッファ回路158に最も近い、図13中の出力端子領域(a)20に配置するのが、半導体チップ(1C)の面積がもっとも小さくなる。

半導体チップ(1C)サイズが小さい場合は、出力端子領域(b)21を使用するようすればよい。

【0040】

また、本実施の形態では、出力端子(BUMP1)が、半導体チップ(1C)の中央付近に配置されるので、チップオンフィルム方式で半導体チップ(1C)をフィルム基板上に実装した場合には、半導体チップ(1C)の出力端子(BUMP1)と、液晶表示パネル10のドレン線(D)とを接続するための、フィルム基板上の配線層(COFA)は、一部、半導体チップ(1C)とオーバラップする。

そのため、本実施の形態では、フィルム基板上の配線層(COFA)を、図14に示すようなレイアウトとすることで、図13に示すように、フィルム基板310の配線層(COFA)と半導体チップ(1C)の出力端子(BUMP1)とが接触することなく、半導体チップ(1C)の出力端子(BUMP1)と液晶表示パネル10のドレン線(D)とを電気的に接続することができる。

なお、半導体チップの中央部に端子領域を設けることは、半導体メモリなどで知られているが、この半導体メモリで端子領域を中央部に設ける理由は、主にチップ内の配線遅延を減らす目的であり、本願発明のように、半導体チップのコストを低減するものではない。

【0041】

[実施の形態2]

図15は、本発明の実施の形態2のドレインドライバ130を構成する半導体チップ(1C)の内部回路のレイアウトを示す図である。

本実施の形態では、前述の実施の形態1で説明した2段に重ねて配置した出力回路ブロックのそれぞれを、正極性の階調電圧を出力する出力回路ブロックと、負極性の階調電圧を

10

20

30

40

50

生成する出力回路ブロックとに分離するようにしたものである。

即ち、デコーダ回路 157 が高電圧用デコーダ回路 251 で、アンプ回路 264 が高電圧用アンプ回路 271 からなる出力回路ブロック（図 16 では、上側の出力回路ブロックに相当し、図中、HV と表現している。）と、デコーダ回路 157 が低電圧用デコーダ回路 252 で、アンプ回路 264 が低電圧用アンプ回路 272 からなる出力回路ブロック（図 16 では、下側の出力回路ブロックに相当し、図中、LV と表現している。）とに分離したものである。

なお、シフトレジスタ 153 は、クロック制御回路内のシフトクロック生成回路 254 で生成されたシフトクロックにより動作し、図 15 中に、シフトレジスタ回路 153 のシフト方向を、点線の矢印で示している。10

図 15において、デコーダ回路部分に付記している数字は、出力端子（BUMP1）に対応しており、この図 15 の数字は、極性反転信号（M）のレベル（H レベルあるいは L レベル）に応じて、例えば、No. 1 が No. 2 に、No. 2 が No. 1 に入れ替わる。

このため、本実施の形態では、シフトレジスタ回路 153 は、3 出力端子（BUMP1）毎に 1 回、データ取り込み用信号を出力する必要がある。

なお、前述の実施の形態では、シフトレジスタ回路 153 は、6 出力端子（BUMP1）毎に 1 回、データ取り込み用信号を出力する。

【0042】

本実施の形態では、 $64 \text{ 階調} \times 2 = 128$ 本の電圧バスラインを持つデコーダ回路 157 と、 $6 \text{ ビット} \times 6 = 36$ 本の表示データバスを持つデータラッチ部 262 において、回路面積の縮小を図ることができる。20

図 16 は、半導体チップ（IC）内の、従来のデコーダ回路 157 の構造を示す模式図である。

図 16 に示すように、従来、デコーダ回路 157 は、低電圧側の 64 階調の電圧バスラインと、高電圧側の 64 階調の電圧バスラインの、計 128 本のアルミニウム配線（以下、AL 配線という。）150 の下に、スイッチ素子が配置される。

ここで、例えば、高電圧側（図中、高と示す）に着目すると、128 本の電圧バスラインのうち使用するのは、高電圧側 64 階調分の 64 本のみであるため、残りの低電圧側の 64 本分のスペースは、スイッチ素子の大きさが制約にならないとすると、無駄な領域である。30

低電圧側に着目しても同様であり、この時の面積を（a × b）とする。

【0043】

図 17 は、半導体チップ（IC）内の、本実施の形態のデコーダ回路 157 の構造を示す模式図である。

図 17 に示すように、高電圧側 64 階調の配線の下に、高電圧用デコーダ 271 のスイッチ素子が、低電圧側 64 階調の配線の下に低電圧用デコーダ 272 のスイッチ素子が配置される。

そのため、本実施の形態では、図 17 に示す従来のデコーダ回路 157 のように、無駄な領域は存在しない。

なお、現状の製造プロセスにおいては、AL 配線 150 が面積に対しては支配的な場合が多く、スイッチ素子は AL 配線 150 の下に配置することが十分可能である。40

この時の面積は、（a × b）/2 で、図 17 に示す従来のデコーダ回路 157 の半分（1/2）となる。

このように、本実施の形態では、機能は同一であるのもかかわらず、回路面積を半減することができる。

データラッチ部 262 においても、全く同様の理由により、回路面積を半減することができ、そのため、ドレインドライバ全体の面積を大幅に削減することができる。

【0044】

[実施の形態 3]

図 18 は、本発明の実施の形態 3 のドレインドライバ 130 を構成する半導体チップ（I50

C) の内部回路のレイアウトを示す図である。

本実施の形態では、前述の実施の形態 1 で説明した出力回路ブロックを、4 段に重ねて配置したものである。

本実施の形態でも、同一形状の出力端子 (BUMP1) を近接した領域に配置することで、無駄なスペースを削減でき、出力端子領域 20 の面積を縮小することができる。

但し、本実施の形態では、前述の実施の形態 1 の 2 段構成時に対して、デコーダ回路 157、およびデータラッチ部 262 分だけ面積が増加するが、長手方向（横方向）の長さをより短縮することができる。

このため、出力端子数の増大に伴って、ウェーハに、ステップアンドリピートの露光によって半導体チップ (IC) を形成する際に、該露光範囲内に収めることを可能にする。 10

【0045】

また、本実施の形態では、出力端子 (BUMP1) が、半導体チップ (IC) の中央付近に 2 段に配置されるので、チップオンフィルム方式で半導体チップ (IC) をフィルム基板上に実装した場合には、半導体チップ (IC) の出力端子 (BUMP1) と、液晶表示パネル 10 のドレイン線 (D) とを接続するための、フィルム基板上の配線層 (COFA) は、一部、半導体チップ (IC) とオーバラップする。

そのため、本実施の形態では、フィルム基板上の配線層 (COFA) を、図 19 に示すようなレイアウトとすることで、図 18 に示すように、フィルム基板 310 の配線層 (COFA) と半導体チップ (IC) の端子 (BUMP1) とが接触することなく、半導体チップ (IC) の出力端子 (BUMP1) と液晶表示パネル 10 のドレイン線 (D) とを電気的に接続することができる。 20

【0046】

[実施の形態 4]

図 20 は、本発明の実施の形態 4 のドレインドライバ 130 を構成する半導体チップ (IC) の出力端子 (BUMP1) の配置を説明するための図である。

同図に示すように、本実施の形態では、出力端子 (BUMP1) は 2 列に形成され、これらの出力端子 (BUMP1) は、フィルム基板 310 に形成された配線層 (COFA) により、液晶表示パネル 10 のドレイン線 (D) と電気的に接続される。

この場合に、出力端子 (BUMP1) を複数列に形成すると、フィルム基板 310 に形成される配線層 (COFA) の間隔が狭くなるので、フィルム基板 310 の配線層 (COFA) と隣接する出力端子 (BUMP1) との間隙が小さくなり、短絡不良の発生する確立が高くなる不具合が発生する。 30

そこで、本実施の形態では、フィルム基板 310 の配線層 (COFA) の引き出し方向に近い列の端子 (BUMP1) ほど（即ち、図 20 中の、第 1 列目の端子 (BUMP1) に対して第 2 列目の端子 (BUMP1) ほど）、出力端子 (BUMP1) の列方向の長さを短くし、これにより、フィルム基板 310 の配線層 (COFA) と隣接する出力端子 (BUMP1) との間隙（図 20 の La）を長くして、短絡不良の発生を回避するようにしている。

【0047】

また、出力端子 (BUMP1) の間隔（ピッチ）が小さくなるにつれて、プローブ検査を行う場合、プローブと出力端子 (BUMP1) のずれによる不具合が生じる。 40

そこで、本実施の形態では、n (n > 1) 段に配置された出力端子 (BUMP1) に、n ピンおきにプローブ実施する場合、フィルム基板 310 に形成された配線層 (COFA) の引き出し方向から遠方に配置された出力端子 (BUMP1)（図 15 の第 1 列目の出力端子 (BUMP1)）の列方向の長さを長くして、この列でプローブ検査を行うことにより、プローブと出力端子 (BUMP1) のずれによるプローブ検査時の不具合を回避するようしている。

このように、本実施の形態では、フィルム基板 310 に形成された配線層 (COFA) の引き出す方向に近い列の出力端子（図 20 中の第 1 列目の出力端子 (BUMP1)）ほど列方向の長さを短くすることによって、出力端子 (BUMP1) とフィルム基板 310 に 50

形成された配線層（C OF A）との短絡不良を回避でき、さらには、プローブ試験時のプローブと出力端子（BUMP1）のずれによる接続時不具合を回避することができる。

【0048】

[実施の形態5]

図21は、本発明の実施の形態5のドレインドライバ130を構成する半導体チップ（IC）の端子（BUMP）の一部と、フィルム基板310に形成された配線層（COFB）の一部を説明するための図である。

図21に示す配線層（COFB）は、フィルム基板310に実装される半導体チップ（IC）の端子（BUMP）同士を接続するものである。

液晶表示装置の高精細化、高性能化および画面サイズの拡大が進むにつれ、ドレインドライバ130の高性能化が要求されると、ドレインドライバ130を構成する半導体チップ（IC）内の電源配線層、クロック配線層等において、負荷インピーダンスの影響による出力遅延が問題となる。

そこで、本実施の形態のように、半導体チップ（IC）のメタル配線を、低インピーダンスであるフィルム基板310の配線層（COFB）で、補強または置きかえることにより、ドレインドライバ130の駆動能力を向上させることが可能となる。

【0049】

また、図22のように、複数の端子（BUMP）を同一配線で接続し、さらに、この配線層（COFB）をフィルム基板310の外周に形成される配線層の入力端子に接続することも可能である。

あるいは、図23に示すように、半導体チップ（IC）の外周に置ききれない端子（BUMP）を内側に設け、この内側に設けた端子（BUMP）に、フィルム基板310の配線層（COFB）を接続することにより、この内側に設けた端子（BUMP）に電圧を供給することができる。

なお、前記各実施の形態では、縦電界方式の液晶表示パネルに本発明を適用した実施の形態について説明したが、これに限定されず、本発明は、横電界方式の液晶表示パネルにも適用可能である。

また、前記各実施の形態では、駆動方法としてドット反転方式が適用される実施の形態について説明したが、これに限定されず、本発明は、1ライン毎、あるいは1フレーム毎に、画素電極（ITO1）およびコモン電極（ITO2）に印加する駆動電圧を反転するコモン反転法にも適用可能である。

さらに、本発明は、単純マトリクス形液晶表示装置にも適用することが可能である。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0050】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

（1）本発明によれば、液晶表示装置のコストを低減することが可能となる。

（2）本発明によれば、液晶表示装置の検査が簡略化することが可能となる。

（3）本発明によれば、半導体集積回路装置内部の配線層による電圧降下を防止することが可能となる。

【図面の簡単な説明】

【図1】本発明が適用されるTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線（D）に出力される液晶駆動電圧の極性を説明する

10

20

30

40

50

ための図である。

【図 5】図 1 に示すドレインドライバの一例の概略構成示すブロック図である。

【図 6】図 5 に示すドレインドライバの一例の構成をより具体的に説明するためのブロック図である。

【図 7】図 5 に示すドレインドライバの他の例の構成をより具体的に説明するためのブロック図である。

【図 8】図 6、図 7 に示す高電圧用デコーダ回路、および低電圧用デコーダ回路の一例の概略構成を示す回路図である。

【図 9】図 6、図 7 に示す高電圧用アンプ回路、低電圧用アンプ回路の一例の概略構成を示す回路図である。
10

【図 10】図 9 に示す、低電圧用アンプ回路のオペアンプに使用される差動増幅回路を示す回路図である。

【図 11】図 9 に示す、高電圧用アンプ回路のオペアンプに使用される差動増幅回路を示す回路図である。

【図 12】図 7 に示す出力選択回路の一例の一選択回路の回路構成を示す回路図である。

【図 13】本発明の実施の形態 1 のドレインドライバを構成する半導体チップ (I C) の内部回路のレイアウトを示す図である。

【図 14】本発明の実施の形態 1 の、フィルム基板上の配線層 (COFA) のレイアウトを示す図である。
20

【図 15】本発明の実施の形態 2 のドレインドライバを構成する半導体チップ (I C) の内部回路のレイアウトを示す図である。

【図 16】半導体チップ (I C) 内の、従来のデコーダ回路の構造を示す模式図である。

【図 17】半導体チップ (I C) 内の、本発明の実施の形態 2 のデコーダ回路の構造を示す模式図である。
25

【図 18】本発明の実施の形態 3 のドレインドライバを構成する半導体チップ (I C) の内部回路のレイアウトを示す図である。

【図 19】本発明の実施の形態 3 の、フィルム基板上の配線層 (COFA) のレイアウトを示す図である。

【図 20】本発明の実施の形態 4 のドレインドライバを構成する半導体チップ (I C) の出力端子 (BUMP1) の配置を説明するための図である。
30

【図 21】本発明の実施の形態 5 のドレインドライバを構成する半導体チップ (I C) の端子 (BUMP) の一部と、フィルム基板に形成された配線層 (COFB) の一部を説明するための図である。

【図 22】図 21 の変形例を説明するための図である。

【図 23】図 21 の変形例を説明するための図である。

【図 24】従来の TFT 液晶表示モジュールの一例の概略構成を示すブロック図である。

【図 25】従来の、ドレインドライバが実装されたフィルム基板を示す図である。

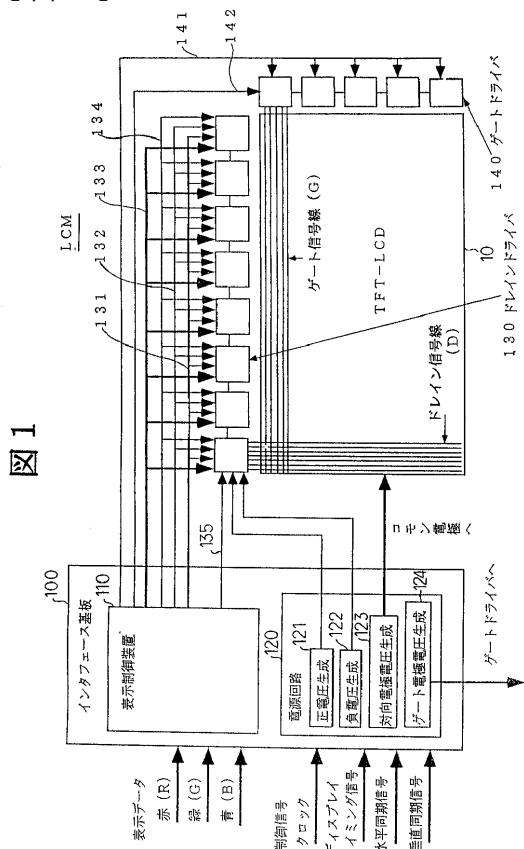
【図 26】従来のドレインドライバの端子部構成を示す図である。

【符号の説明】

10 ... 液晶表示パネル (TFT - LCD) 、 20 ... 出力端子領域 (a) 、 21 ... 出力端子領域 (b) 、 22 ... 入力端子領域、 23 ... 入力回路・配線領域、 100 ... インタフェース部、 110 ... 表示制御装置、 120 ... 電源回路、 121 , 122 ... 電圧生成回路、 123 ... コモン電極電圧生成回路、 124 ... ゲート電極電圧生成回路、 130 ... ドレインドライバ、 131 , 132 , 134 , 135 , 141 , 142 ... 信号線、 133 ... 表示データのバスライン、 140 ... ゲートドライバ、 150 ... アルミニウム配線、 151 ... 階調電圧生成回路、 152 ... クロック制御回路、 153 ... シフトレジスタ回路、 154 ... 入力ラッチ回路、 155 ... ラッチ回路 (1) 、 156 ... ラッチ回路 (2) 、 157 ... デコーダ回路、 158 ... バッファ回路、 251 ... 高電圧用デコーダ回路、 252 ... 低電圧用デコーダ回路、 254 ... シフトクロック生成回路、 261 ... 表示データ選択回路、 262 ... データラッシュ部、 263 ... レベルシフト回路、 264 ... アンプ回路、 265 ... 出力選択回路、 271
40

...高電圧用アンプ回路、272...低電圧用アンプ回路、301...TFTコントローラ基板、302...ドレインドライバ基板、303...ゲートドライバ基板、310...フィルム基板、D, Y...ドレイン信号線(映像信号線または垂直信号線)、G...ゲート信号線(走査信号線または水平信号線)、ITO1...画素電極、ITO2...コモン電極、CN...共通信号線、TFT...薄膜トランジスタ、CLC...液晶容量、CSTG...保持容量、CADD...付加容量、PM...PMOSトランジスタ、NM...NMOSトランジスタ、LS...レベルシフト回路、TRP...トランジスタ列、NAND... NAND回路、AND... AND回路、NOR...ノア回路、INV...インバータ、OP...オペアンプ、IC...半導体チップ、BUMP...端子、BUMP1...出力端子、BUMP2...入力端子、COFA, COFB...配線層。

【図1】



【図2】

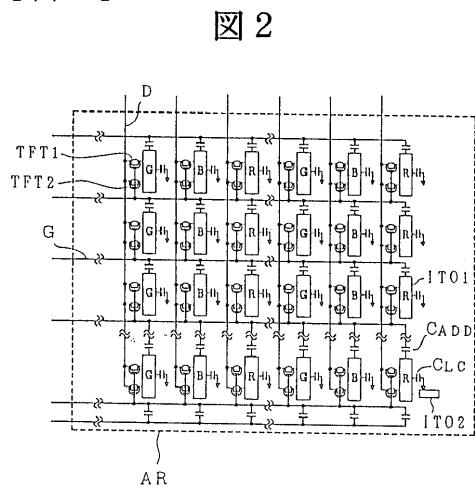
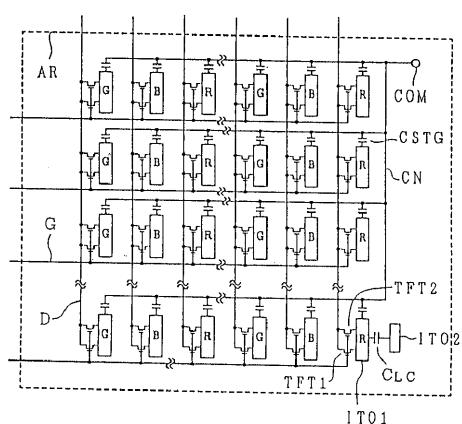


図2

【 四 3 】

3



【 図 4 】

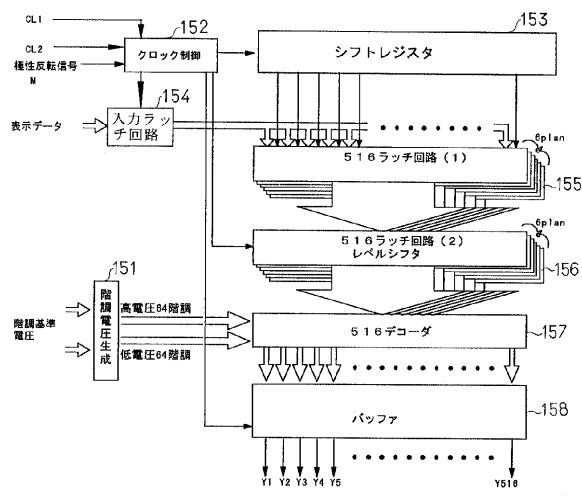
4

奇数フレーム

偶数フレーム

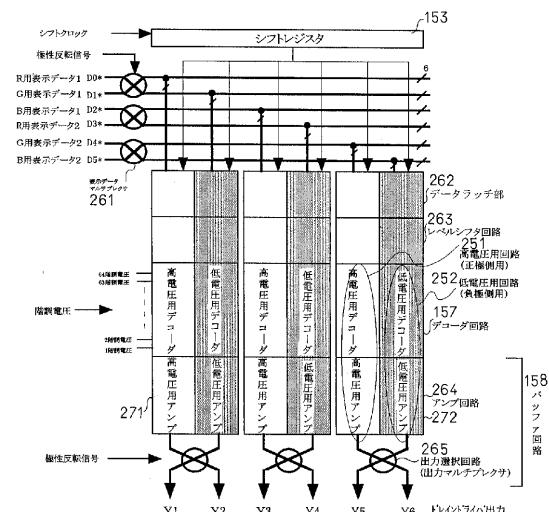
【図5】

5

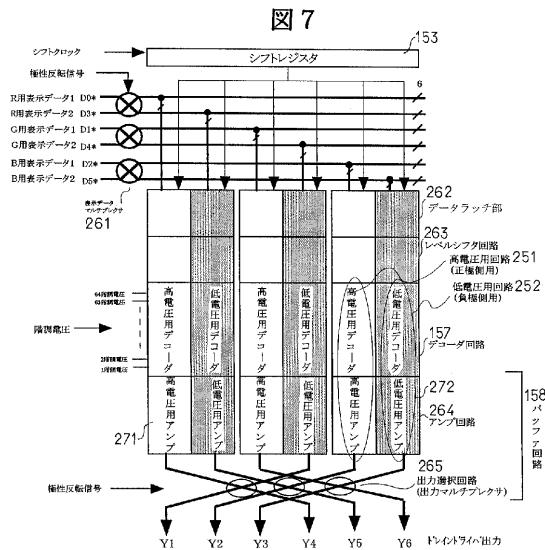


【 四 6 】

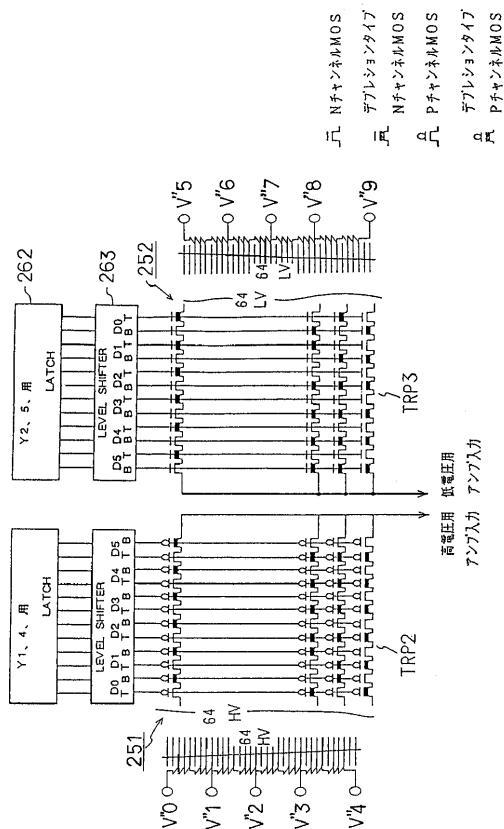
图 6



【図7】

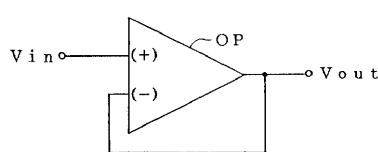


【図8】



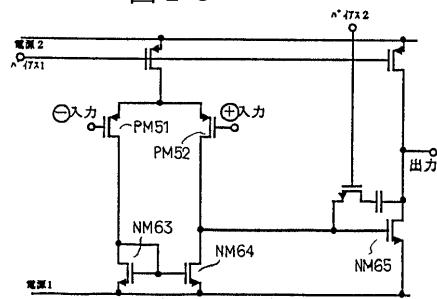
【図9】

図9



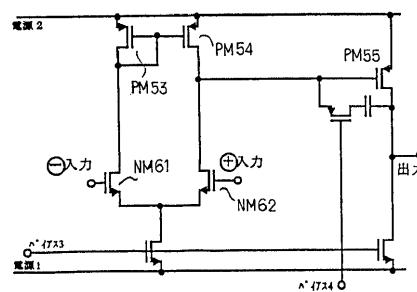
【図10】

図10

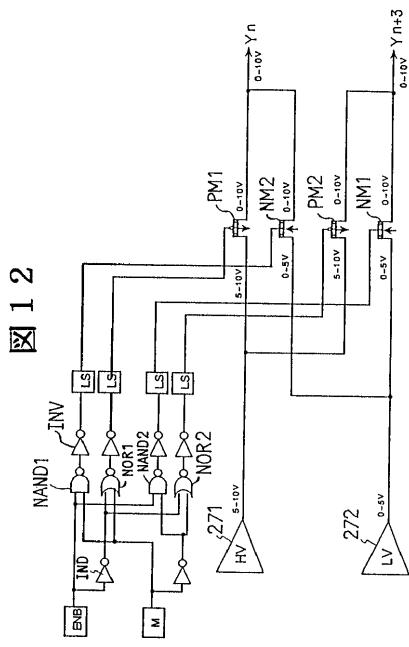


【図11】

図11

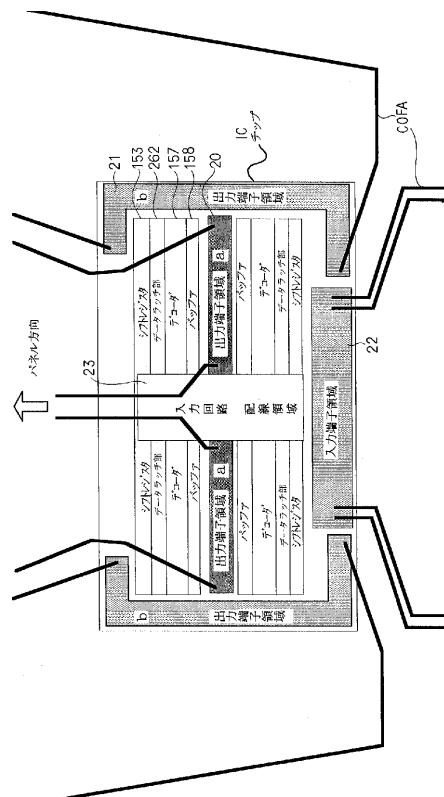


【 図 1 2 】



12

【 図 1 3 】



13

【 図 1 4 】

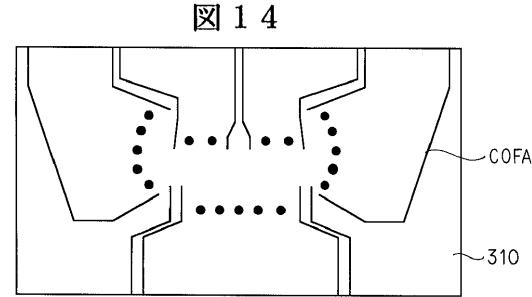
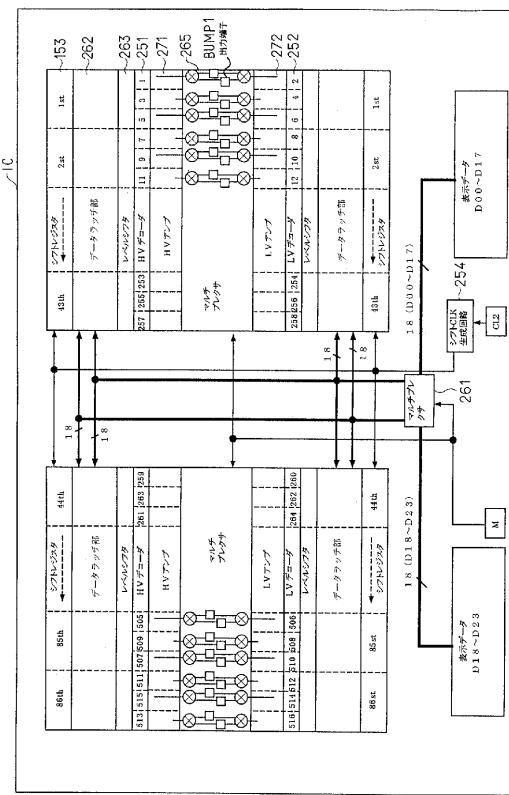
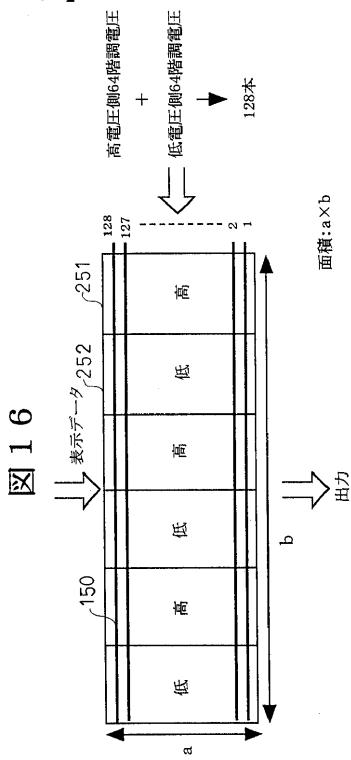


図 14

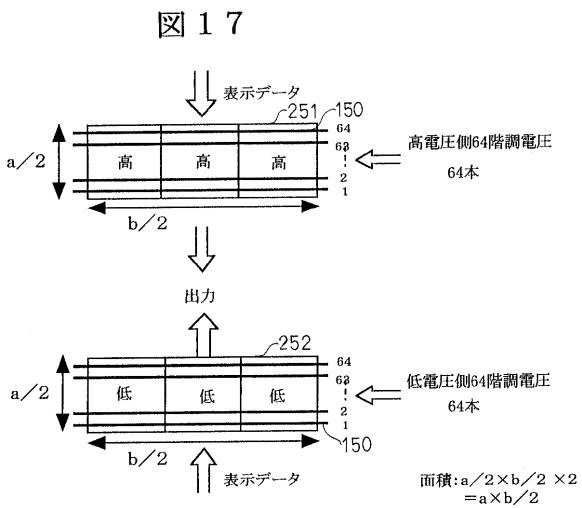
【図15】



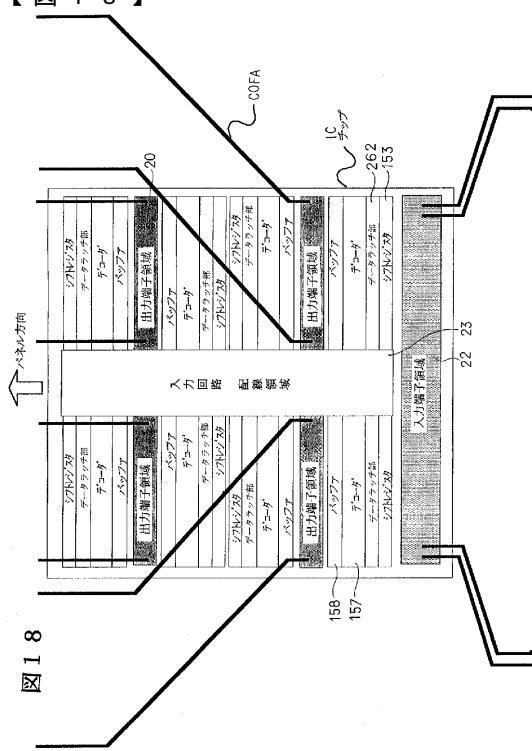
【図16】



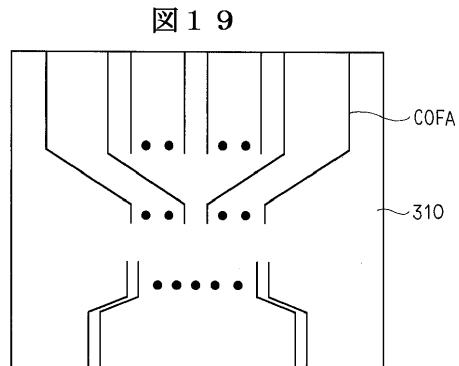
【図17】



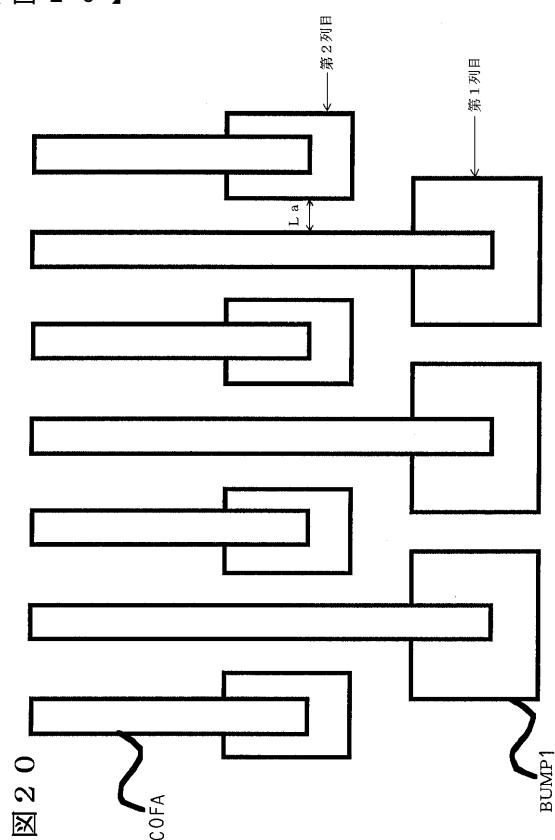
【図18】



【図19】



【図20】



【図21】

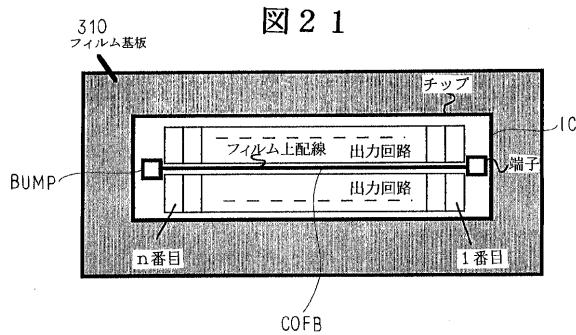


図21

【図22】

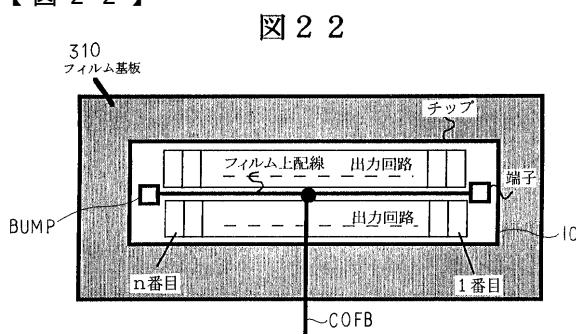


図22

【図23】

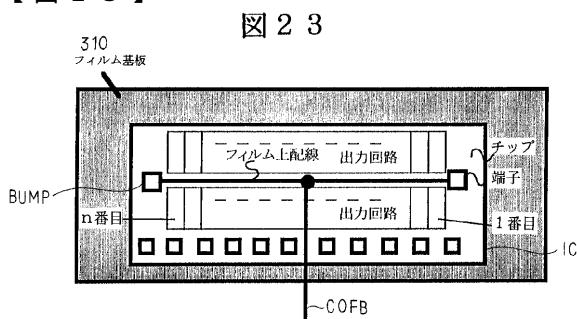


図23

【図25】

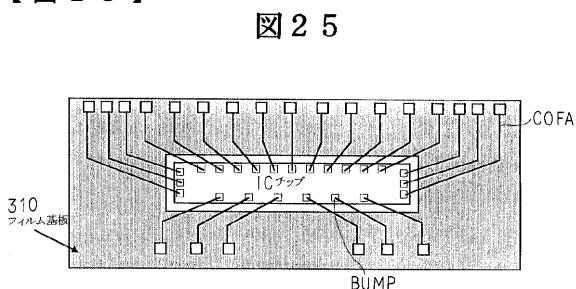


図25

【図24】

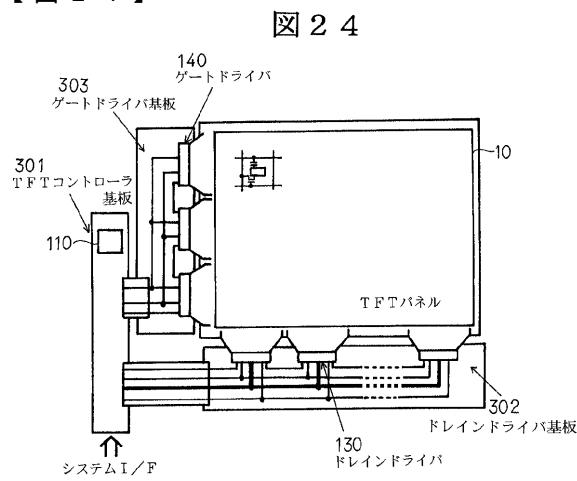


図24

【図26】

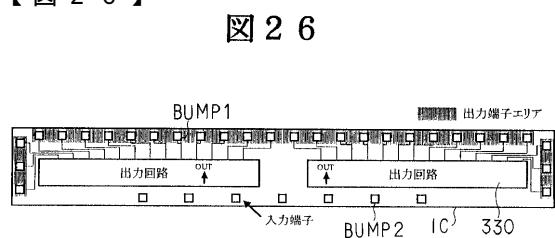


図26

フロントページの続き

(56)参考文献 特開平09-281930(JP,A)
特開平09-244051(JP,A)
特開平11-085092(JP,A)
特許第3417514(JP,B2)
特開平09-204161(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/36

G09G 3/20

G02F 1/133

专利名称(译)	液晶表示装置								
公开(公告)号	JP3892650B2								
申请号	JP2000223942								
[标]申请(专利权)人(译)	株式会社日立制作所								
申请(专利权)人(译)	株式会社日立制作所								
当前申请(专利权)人(译)	株式会社日立制作所								
[标]发明人	後藤充 早田浩子								
发明人	後藤 充 早田 浩子								
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G02F1/13 G02F1/13357								
CPC分类号	G02F1/13454 G02F1/133617 G02F1/13452 G02F1/1362 G09G3/3611 G09G3/3614 G09G3/3648 G09G3/3688 G09G2310/027 G09G2310/0289 G09G2310/0297								
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.612.F G09G3/20.621.M G09G3/20.623.A								
F-TERM分类号	2H093/NA36 2H093/NA53 2H093/NC03 2H093/NC11 2H093/NC22 2H093/NC26 2H093/ND06 2H093 /ND43 2H093/ND54 2H193/ZC20 2H193/ZD23 2H193/ZF03 5C006/AA22 5C006/AC02 5C006/AC24 5C006/AF64 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC13 5C006/BC16 5C006/BF43 5C006 /BF44 5C006/EB06 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD27 5C080/FF09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK02								
审查员(译)	川原英夫								
其他公开文献	JP2002040997A JP2002040997A5								
外部链接	Espacenet								

摘要(译)

要解决的问题：提供一种液晶显示装置，即使液晶显示元件的像素数增加，也能够充分地应对像素数的增加，并且能够降低成本。解决方案：该装置是液晶显示装置，其具有液晶显示元件和视频信号线驱动装置，该视频信号线驱动装置将对应于显示数据的灰度电压提供给视频信号线，并且视频信号线驱动装置具有多个半导体集成电路。每个半导体集成电路器件具有输入电路部分，该输入电路部分在集成电路部分的长度方向的中心部分处沿集成电路部分的宽度方向设置，第一输出端子部分设置在集成电路的长度方向上。具有第一输入部分和一对输出电路部分的集成电路器件的宽度方向中央部分两侧的电路装置，所述输出电路部分设置在具有第一输出端子的集成电路器件的宽度方向的两侧这些部分产生要提供给视频信号线的灰度电压。

ENB	M	NOR1	PM1	NAND2	NM1	NAND1	PM2	NOR2	NM2
L	*	L	OFF	H	OFF	H	OFF	L	OFF
H		L	OFF	H	OFF	L	ON	H	ON
H									
L	H	ON	L	ON	H	OFF	L	OFF	