

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3827917号
(P3827917)

(45) 発行日 平成18年9月27日(2006.9.27)

(24) 登録日 平成18年7月14日(2006.7.14)

(51) Int.CI.

F 1

G09G	3/36	(2006.01)	G09G	3/36
G02F	1/133	(2006.01)	G02F	1/133
G09G	3/20	(2006.01)	G09G	3/20
H04N	5/66	(2006.01)	G09G	3/20

G09G 3/20**G09G** 3/20**G09G** 3/20

請求項の数 10 (全 28 頁) 最終頁に続く

(21) 出願番号

特願2000-146603 (P2000-146603)

(22) 出願日

平成12年5月18日 (2000.5.18)

(65) 公開番号

特開2001-331150 (P2001-331150A)

(43) 公開日

平成13年11月30日 (2001.11.30)

審査請求日

平成15年9月11日 (2003.9.11)

前置審査

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(73) 特許権者 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 藤岡 恒弘

千葉県茂原市早野3300番地 株式会社

日立製作所 ディスプレイグループ内

(72) 発明者 伊藤 茂

千葉県茂原市早野3300番地 株式会社

日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置および半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

液晶表示素子と、

前記液晶表示素子上に形成された伝送配線を介してデジタルデータやクロック信号が入出力される液晶駆動回路とを備える液晶表示装置であって、

前記液晶駆動回路は、前記伝送配線を介して入力されるデータラッチ用クロック信号のデューティー比の変動を補償するクロック補償回路と、

前記クロック補償回路が出力する内部クロック信号の第1のレベルから第2のレベルへの切り替わりのタイミングで前記液晶駆動回路に入力されたデジタルデータを取り込む第1のデータ取回路と、

前記内部クロック信号の第2のレベルから第1のレベルへの切り替わりのタイミングで前記液晶駆動回路に入力されたデジタルデータを取り込む第2のデータ取回路と、

前記第1のデータ取回路が取り込んだデジタルデータが供給される第1の内部データバスと、

前記第2のデータ取回路が取り込んだデジタルデータが供給される第2の内部データバスと、

前記第1の内部データバス上のデジタルデータと前記第2の内部データバス上のデジタルデータとをラッチするラッチ回路と、

前記ラッチ回路がラッチしたデジタルデータから階調電圧を生成するデコーダ回路と

、

10

20

前記内部クロック信号で動作し、前記第1の内部データバス上のディジタルデータと前記第2の内部データバス上のディジタルデータとを前記伝送配線上に出力するデータ出力回路と、

前記内部クロックを遅延させて前記伝送配線上に出力する回路とを有し、

前記第1のデータ取込回路が取り込んだディジタルデータを前記第1の内部データバスに供給し、前記第2のデータ取込回路が取り込んだディジタルデータを前記第2の内部データバスに供給する際に、外部から入力されるデータ反転信号に基づき前記ディジタルデータに対して演算を施し、

前記第1の内部データバス上のディジタルデータと前記第2の内部データバス上のディジタルデータとを前記伝送配線上に出力する際に、前記データ反転信号に基づき再演算を施すことを特徴とする液晶表示装置。

【請求項2】

前記伝送線路から入力されるディジタルデータが前記ラッチ回路にラッチされる場合は前記演算と前記再演算とを施し、

前記伝送線路から入力されるディジタルデータが前記ラッチ回路にラッチされない場合は、前記演算と前記再演算とを行わないことを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記クロック補償回路は、フェーズロックループ回路を有することを特徴とする請求項1または請求項2に記載の液晶表示装置。

【請求項4】

前記クロック補償回路は、ディレイロックループ回路を有することを特徴とする請求項1または請求項2に記載の液晶表示装置。

【請求項5】

前記ラッチ回路は、前記内部クロック信号で制御されることを特徴とする請求項1ないし請求項4のいずれか1項に記載の液晶表示装置。

【請求項6】

ガラス基板上に形成された伝送配線を介してディジタルデータやクロック信号が入出力される半導体集積回路装置であって、

前記伝送配線を介して入力されるデータラッチ用クロック信号のデューティー比の変動を補償するクロック補償回路と、

前記クロック補償回路が出力する内部クロック信号の第1のレベルから第2のレベルへの切り替わりのタイミングで前記液晶駆動回路に入力されたディジタルデータを取り込む第1のデータ取込回路と、

前記内部クロック信号の第2のレベルから第1のレベルへの切り替わりのタイミングで前記液晶駆動回路に入力されたディジタルデータを取り込む第2のデータ取込回路と、

前記第1のデータ取込回路が取り込んだディジタルデータが供給される第1の内部データバスと、

前記第2のデータ取込回路が取り込んだディジタルデータが供給される第2の内部データバスと、

前記第1の内部データバス上のディジタルデータと前記第2の内部データバス上のディジタルデータとをラッチするラッチ回路と、

前記ラッチ回路がラッチしたディジタルデータから階調電圧を生成するデコーダ回路と、

前記内部クロック信号で動作し、前記第1の内部データバス上のディジタルデータと前記第2の内部データバス上のディジタルデータとを前記伝送配線上に出力するデータ出力回路と、

前記内部クロックを遅延させて前記伝送配線上に出力する回路とを有し、

前記第1のデータ取込回路が取り込んだディジタルデータを前記第1の内部データバスに供給し、前記第2のデータ取込回路が取り込んだディジタルデータを前記第2の内部データバスに供給する回路と、

10

20

30

40

50

ータバスに供給する際に、外部から入力されるデータ反転信号に基づき前記ディジタルデータに対して演算を施し、

前記第1の内部データバス上のディジタルデータと前記第2の内部データバス上のディジタルデータとを前記伝送配線上に出力する際に、前記データ反転信号に基づき再演算を施すことを特徴とする半導体集積回路装置。

【請求項7】

前記伝送線路から入力されるディジタルデータが前記ラッチ回路にラッチされる場合は前記演算と前記再演算とを施し、

前記伝送線路から入力されるディジタルデータが前記ラッチ回路にラッチされない場合は、前記演算と前記再演算とを行わないことを特徴とする請求項6に記載の半導体集積回路装置。 10

【請求項8】

前記クロック補償回路は、フェーズロックループ回路を有することを特徴とする請求項6または請求項7記載の半導体集積回路装置。

【請求項9】

前記クロック補償回路は、ディレイロックループ回路を有することを特徴とする請求項6または請求項7記載の半導体集積回路装置。

【請求項10】

前記ラッチ回路は、前記内部クロック信号で制御されることを特徴とする請求項6ないし請求項9のいずれか1項に記載の半導体集積回路装置。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係わり、特に、駆動回路(ドレインドライバ)間でディジタル信号を転送する方式の液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】

S T N (Super Twisted Nematic) 方式、あるいはT F T (Thin Film Transistor) の液晶表示モジュールは、ノート型パソコン等の表示装置として広く使用されている。

これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路を備えている。 30

そして、このような液晶表示装置において、例えば、特開平6-13724号公報に記載されているように、カスケード接続された駆動回路の先頭の駆動回路にのみ、ディジタル信号(例えば、表示データ、あるいはクロック信号)を入力し、他の駆動回路には、駆動回路内を通して、ディジタル信号を順次転送する方式(以下、ディジタル信号順次転送方式と称する。)のものが知られている。

前記公報(特開平6-13724号)に記載されている液晶表示装置では、駆動回路を構成する半導体集積回路装置(I C)は、液晶表示パネルのガラス基板に直接実装されているが、例えば、特開平6-3684号公報に記載されているように、この駆動回路を構成する半導体集積回路装置(I C)をテープキャリアパッケージに搭載し、前述したディジタル信号順次転送方式を採用した液晶表示装置も知られている。 40

また、ディジタル信号順次転送方式の駆動回路において、信号のデューティ比変動をキャンセルするために、信号の極性を反転して次段の駆動回路に転送する公知文献には、「シヤープ技報、第74号(1999年8月)、第31~34頁」があるが、いずれの公知技術も、クロック信号の立ち上がりタイミングと、立ち下がりタイミングを揃えるクロック補償回路に関する記載は全くない。

【0003】

【課題を解決するための手段】

図32(a)に示すように、表示データを、表示データ取込用のクロック信号の立ち上がり時点と立ち下がり時点で取り込む、デュアルエッジ取り込み方式の場合には、セットア 50

ップ期間、およびホールド期間に余裕を持たせるために、表示データの切り替わり時点の中間時点に、クロック信号の立ち上がり時点および立ち下がり時点が位置している必要がある。

しかしながら、前述したようなディジタル信号順次転送方式を採用する液晶表示装置では、タイミングコントローラ（または表示制御装置）から送出された表示データとクロック信号とは、各駆動回路内の信号線、および各駆動回路間の伝送線路（ガラス基板上の伝送線路またはテープキャリアパッケージ上の伝送線路）を伝搬することになる。

即ち、タイミングコントローラから送出された表示データとクロック信号とは、各ドレインドライバ間で受け渡していくことになる。

【0004】

10

そのため、各ドレインドライバ内部の特性、例えば、CMOSインバータ回路における各MOSトランジスタのしきい値(V_{th})の変動等や、伝送線路上の何らかの要因により、クロック信号のデューティー比（即ち、パルス信号の周期に対するHighレベル期間の比）が変動し、かつ、複数回の受け渡しにより、デューティー比の変動が累積されている恐れがある。

そして、クロック信号のデューティー比の変動が大きくなり、表示データとの位相差が大きくなると、図32(b)に示すように、クロック信号で表示データを取り込む際のセットアップ期間、あるいはホールド期間が減少し、最悪の場合、各駆動回路で表示データを取り込むことができなくなる恐れがあり、液晶表示パネルに誤表示が生じ、表示品質を著しく損なうことになる。

20

前述したような問題点は、クロック信号の両エッジで、表示データを取り込む方式の場合においてより顕著となるが、クロック信号の片方のエッジで、表示データを取り込む方式でも例外ではない。

【0005】

20

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、液晶駆動回路に入力されるクロック信号のデューティー比の変動を補償することが可能となる技術を提供することにある。また、本発明の他の目的は、液晶表示装置において、映像信号の取り込みが正常に行えるようにして、液晶表示素子の表示品質を向上させることができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によつて明らかにする。

30

【0006】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

即ち、本発明は、液晶表示素子と、液晶駆動回路とを備える液晶表示装置であって、前記液晶駆動回路は、内部クロック信号の第1レベルから第2レベルへの切り替わり、あるいは、第2レベルから第1レベルへの切り替わりのタイミングで、前記液晶駆動回路に入力された映像信号をバスに取り込み、前記バスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記内部クロック信号は、クロック補償回路により、前記液晶駆動回路に入力される外部クロック信号の第1レベル期間と第2レベル期間とをそれぞれ所定の値に揃えたクロック信号であることを特徴とする。

40

【0007】

また、本発明は、液晶表示素子と、液晶駆動回路とを備える液晶表示装置であって、前記液晶駆動回路は、内部クロック信号の切り替わりのタイミングで、前記液晶駆動回路に入力された映像信号をバスに取り込み、前記バスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記内部クロック信号は、前記液晶駆動回路に入力される外部クロック信号に基づき、フェーズロックループ回路、あるいは、ディレイロッドループ回路を用いて生成されたクロック信号であることを特徴とする。

【0008】

50

また、本発明は、液晶表示素子と、液晶駆動回路とを備える液晶表示装置であって、前記液晶駆動回路は、内部クロック信号の第1レベルから第2レベルへの切り替わりと、第2レベルから第1レベルへの切り替わりのタイミングで、前記液晶駆動回路に入力された映像信号を内部回路に取り込み、前記内部回路に取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記内部クロック信号は、クロック補償回路により、前記液晶駆動回路に入力される外部クロック信号の第1レベル期間と第2レベル期間とをそれぞれ所定の値に揃えたクロック信号であることを特徴とする。

【0009】

また、本発明は、液晶表示素子と、液晶駆動回路とを備える液晶表示装置であって、前記液晶駆動回路は、内部クロック信号の第1レベルから第2レベルへの切り替わりと、第2レベルから第1レベルへの切り替わりのタイミングで、前記液晶駆動回路に入力された映像信号を2系統のバスに取り込み、前記2系統のバスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記内部クロック信号は、クロック補償回路により、前記液晶駆動回路に入力される外部クロック信号の第1レベル期間と第2レベル期間とをそれぞれ所定の値に揃えたクロック信号であることを特徴とする。 10

【0010】

また、本発明は、液晶表示素子と、液晶駆動回路とを備える液晶表示装置であって、前記液晶駆動回路は、内部クロック信号の第1レベルから第2レベルへの切り替わりと、第2レベルから第1レベルへの切り替わりのタイミングで、前記液晶駆動回路に入力された映像信号を2系統のバスに取り込み、前記2系統のバスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記内部クロック信号は、前記液晶駆動回路に入力される外部クロック信号に基づき、フェーズロックループ回路、あるいは、ディレイロックループ回路を用いて生成されたクロック信号であることを特徴とする。 20

【0011】

また、本発明は、液晶表示素子と、第1の液晶駆動回路と第2の液晶駆動回路とを備える液晶表示装置であって、前記第1および第2液晶駆動回路は、内部クロック信号の第1レベル、あるいは第2レベルへの切り替わりのタイミングで、前記液晶駆動回路に入力された映像信号をバスに取り込み、前記バスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記第1の液晶駆動回路は、前記入力された映像信号と、前記内部クロック信号とを、前記第2の液晶駆動回路に出力する出力回路を有し、前記内部クロック信号は、クロック補償回路により、前記液晶駆動回路に入力される外部クロック信号の第1レベル期間と第2レベル期間とをそれぞれ所定の値に揃えたクロック信号であることを特徴とする。 30

【0012】

また、本発明は、液晶表示素子と、第1の液晶駆動回路と第2の液晶駆動回路とを備える液晶表示装置であって、前記第1および第2液晶駆動回路は、前記液晶駆動回路に入力される外部クロック信号の第1レベル、あるいは第2レベルへの切り替わりのタイミングで、前記液晶駆動回路に入力された映像信号をバスに取り込み、前記バスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記第1の液晶駆動回路は、前記入力された映像信号と、内部クロック信号とを、前記第2の液晶駆動回路に出力する出力回路を有し、前記内部クロック信号は、クロック補償回路により、前記液晶駆動回路に入力される外部クロック信号の第1レベル期間と第2レベル期間とをそれぞれ所定の値に揃えたクロック信号であることを特徴とする。 40

本発明の好ましい実施の形態では、前記クロック補償回路が、フェーズロックループ回路、あるいは、ディレイロックループ回路を有することを特徴とする。

【0013】

また、本発明は、液晶表示素子と、第1の液晶駆動回路と第2の液晶駆動回路とを備える液晶表示装置であって、前記第1の液晶駆動回路および第2の液晶駆動回路は、内部クロック信号の第1レベルから第2レベルへの切り替わりと、第2レベルから第1レベルへの切り替わりのタイミングで、前記各液晶駆動回路に入力された映像信号を、2系統のバス

に取り込み、前記 2 系統のバスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記第 1 の液晶駆動回路および第 2 の液晶駆動回路は、前記各液晶駆動回路に外部から入力されるクロック信号を、継続接続されたインバータ回路を通して次段の液晶駆動回路に出力し、前記インバータの数は、クロック信号入力端子からクロック信号出力端子までの伝送経路中で、回路素子によるクロック信号の論理反転回数が奇数回になるように設定されていることを特徴とする。

本発明の好ましい実施の形態では、前記第 1 の液晶駆動回路のクロック信号の出力回路と、映像信号の出力回路とが、異なる系統の電源から電力が供給されることを特徴とする。

【 0 0 1 4 】

また、本発明は、液晶表示素子と、第 1 の液晶駆動回路と第 2 の液晶駆動回路とを備える液晶表示装置であって、前記第 1 の液晶駆動回路および第 2 の液晶駆動回路は、内部クロック信号の第 1 レベルから第 2 レベルへの切り替わり、あるいは第 2 レベルから第 1 レベルへの切り替わりの少なくとも一方のタイミングで、前記各液晶駆動回路に入力された映像信号をバスに取り込み、前記バスに取り込まれた映像信号から前記液晶表示素子を駆動する電圧を選択し、前記第 1 の液晶駆動回路および第 2 の液晶駆動回路は、前記各液晶駆動回路に入力される第 1 のクロック信号を取り込む第 1 のクロック信号系統と、前記第 1 のクロック信号を反転した第 2 のクロック信号を取り込む第 2 のクロック信号系統とを有し、前記第 1 の液晶駆動回路は、前記第 1 のクロック信号を反転したクロック信号を、前記第 2 の液晶駆動回路の第 2 のクロック信号系統に供給することを特徴とする。

本発明の好ましい実施の形態では、前記第 1 の液晶駆動回路が、前記第 2 のクロック信号を反転したクロック信号を、前記第 1 のクロック信号系統に供給することを特徴とする。

【 0 0 1 5 】

前記手段によれば、各液晶駆動回路において、クロック補償回路により、前記液晶駆動回路に入力される外部クロック信号の第 1 レベル期間と第 2 レベル期間とをそれぞれ所定の値に揃えた内部クロック信号を生成するようにしたので、外部から入力されるクロック信号のデューティー比の変動を補償することが可能となる。

これにより、各液晶駆動回路で正確に表示データを取り込むことが可能となるので、液晶表示素子の表示品質を向上させることが可能となる。

ここで、前述のクロック補償回路は、フェーズロックループ回路、あるいは、ディレイロックループ回路を用いて構成される。

さらに、内部クロック信号を次段の液晶駆動回路に出力するようにしたので、外部から入力されるクロック信号を直接次段の液晶駆動回路に出力する場合に比して、よりクロック信号のデューティー比の変動を抑制することが可能となる。

【 0 0 1 6 】

前記手段によれば、各液晶駆動回路において、第 1 のクロック信号と、当該第 1 のクロック信号を反転した第 2 のクロック信号とを取り込み、前記第 1 のクロック信号を次段の液晶駆動回路の第 2 のクロック信号系統に、前記第 2 のクロック信号を次段の液晶駆動回路の第 1 のクロック信号系統に供給するようにしたので、外部から入力されるクロック信号のデューティー比の変動を補償することが可能となる。

これにより、各液晶駆動回路で正確に表示データを取り込むことが可能となるので、液晶表示素子の表示品質を向上させることが可能となる。

また、表示データ転送用回路の電源と、クロック信号転送用回路の電源とを分離するようにしたので、クロック信号転送用回路に対する表示データ転送用回路の影響を低減することが可能となる。

【 0 0 1 7 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[実施の形態 1]

10

20

30

40

50

図1は、本発明の実施の形態1の液晶表示モジュールの表示パネルの基本構成を示すプロック図である。

同図に示すように、本実施の形態の液晶表示モジュールは、液晶表示パネル100と、タイミングコントローラ110と、電源回路120と、ドレインドライバ130と、ゲートドライバ140と、フレキシブルプリント配線基板(以下、FPC基板と称する。)150から構成される。

液晶表示パネル100は、画素電極PIX、薄膜トランジスタTFT等が形成されるTFT基板、対向電極、カラーフィルタ等が形成されるフィルタ基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

【0018】

各画素は、画素電極PIXと薄膜トランジスタTFTから成り、複数の走査信号線(またはゲート信号線)Gと映像信号線(またはドレン信号線)Dとの交差する部分に対応して設けられる。

なお、本実施の形態では、画素電極PIXの電位を保持するために、保持容量CSTを各画像毎に設けている。

C_Lは、保持容量CSTに基準電圧V_{com}を供給するための容量線である。

なお、容量線C_Lは、前のラインの走査信号線Gで代用することもできる。

各画素の薄膜トランジスタTFTは、ソースが画素電極PIXに接続され、ドレンが映像信号線Dに接続され、ゲートが走査信号線Gに接続され、画素電極PIXに表示電圧(階調電圧)を供給するためのスイッチとして機能する。

なお、ソース、ドレンの呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像信号線Dに接続される方をドレンと称する。

【0019】

タイミングコントローラ110と、ドレインドライバ130と、ゲートドライバ140とは、液晶表示パネル100のTFT基板を構成する透明性の絶縁基板(ガラス基板)上に、それぞれ実装される。

そして、前述したように、タイミングコントローラ110から送出されたデジタル信号(表示データ、クロック信号等)、および電源回路から供給される階調基準電圧は、先頭のドレインドライバ130に入力され、各ドレインドライバ130内の内部信号線、および各ドレインドライバ130間の伝送線路(ガラス基板上の伝送線路)を伝搬して、各ドレインドライバ130に入力される。

ここで、各ドレインドライバ130の電源電圧は、電源回路120からFPC基板150を介して、各ドレインドライバ130に供給される。

【0020】

同様に、タイミングコントローラ110から送出されたデジタル信号(クロック信号等)は、先頭のゲートドライバ140に入力され、各ゲートドライバ140内の内部信号線、および各ゲートドライバ140間の伝送線路(ガラス基板上の伝送線路)を伝搬して、各ゲートドライバ140に入力される。

但し、ゲートドライバ側では、電源回路120から供給されるゲートドライバ140の電源電圧も、先頭のゲートドライバ140に供給され、各ゲートドライバ140内の内部電源線、および各ゲートドライバ140間の伝送線路(ガラス基板上の伝送線路)を介して、各ゲートドライバ140に供給される。

【0021】

タイミングコントローラ110は、1個の半導体集積回路(LSI)から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R·G·B)を基に、ドレインドライバ130、およびゲートドライバ140を制御・駆動する。

ゲートドライバは、タイミングコントローラ110から送出されるフレーム開始指示信号

10

20

30

40

50

(F L M) およびシフトクロック (C L 3) に基づき、1 水平走査時間毎に、順次液晶表示パネル 100 の各ゲート信号線 G に H i g h レベルの選択走査電圧を供給する。

これにより、液晶表示パネル 100 の各ゲート信号線 G に接続された複数の薄膜トランジスタ (T F T) が、1 水平走査時間の間導通する。

【0022】

図 2 は、図 1 に示すドレインドライバ 130 の概略構成を示すブロック図である。なお、この図 2 において、添字の i はドレインドライバ 130 の外部から入力される信号を意味し、添字の o はドレインドライバ 130 内を伝搬してドレインドライバ 130 から外部へ出力される信号を意味している。

例えば、C L 2 i は外部から入力される表示データラッチ用クロック信号で、C L 2 o はドレインドライバ 130 内を伝搬して外部 (次段のドレインドライバ 130) へ出力される表示データラッチ用クロック信号である。10

同図に示すクロック補償回路 200 は、外部から入力表示データラッチ用クロック信号 (C L 2) に基づき、デューティー比が 50% の内部クロック信号 (即ち、H i g h レベル期間と、L o w レベル期間とが等しいクロック信号) (C L L 2) を生成する。

同図に示すラッチ回路 (1) 135 は、ラッチアドレスセレクタ 132 から送出されるデータ取り込み信号に基づき、データ取込・演算回路 133 から送出される表示データを順次ラッチする。

なお、データ取込・演算回路 133 から送出される表示データは、データ出力回路 134 を経て外部に出力される。20

ここで、ラッチアドレスセレクタ 132 は、クロック制御回路 131 から送出される内部クロック信号 (C L L 2) に基づき、データ取り込み信号を生成する。

ラッチ回路 (2) 136 は、クロック制御回路 131 から送出される出力タイミング制御用クロック (C L 1) に基づき、ラッチ回路 (1) 135 にラッチされた表示データを取り込み、デコーダ回路 137 に出力する。

【0023】

デコーダ回路 137 は、階調電圧生成回路 139 から供給される 64 階調の階調電圧から、ラッチ回路 (2) 136 から送出された表示データに対応する階調電圧を選択してアンプ回路 138 に出力する。

アンプ回路 138 は、デコーダ回路 137 から送出された階調電圧を增幅 (電流増幅) して各ドレン信号線 D (Y i) に供給する。30

以上の動作により、液晶表示パネル 100 に画像が表示される。

なお、デコーダ回路 137 およびアンプ回路 138 は、それぞれ正極用の回路と、負極性の回路とで構成されるが、ここでは詳細な説明は省略する。

また、階調電圧生成回路 139 は、外部から供給される正極性の階調基準電圧 (V 0 ~ V 4) に基づき正極性の 64 階調の階調電圧と、外部から供給される負極性の階調基準電圧 (V 5 ~ V 9) に基づき負極性の 64 階調の階調電圧を生成する。

【0024】

図 3 は、図 2 に示すクロック補償回路 200 の一例を示すブロック図である。この図 3 に示すクロック補償回路 200 は、フェーズロックドループ回路 (以下、単に、P L L 回路と称する。) を用いた回路である。40

この P L L 回路を用いたクロック補償回路は、回路の占有面積が少なく、ドレインドライバを小型化するのに有利であり、液晶表示パネルの周辺領域を小さくできる。

図 3 に示す回路は、位相比較器 210 と、チャージポンプ回路 211 と、フィルタ回路 212 と、電圧制御発信回路 (以下、単に、V C O 回路) 213 と、m 分周器 214 とで構成される。

この P L L 回路では、入力クロック信号 (f i) と、m 分周器 214 から出力される出力クロック信号 (f o) との位相を、位相比較器 210 で比較する。

位相比較器 210 は、位相比較した結果、入力クロック信号 (f i) の位相が出力クロック信号 (f o) よりも進んでいる場合には、位相遅れパルス (I N C) を出力し、また、50

入力クロック信号 (f_i) の位相が出力クロック信号 (f_o) よりも遅れている場合には、位相進みパルス (DEC) を出力する。

【0025】

チャージポンプ回路 211 は、前述の位相遅れパルス (INC)、あるいは、位相進みパルス (DEC) をそれぞれ電流パルスに変換し、フィルタ回路 212 は、前述の位相遅れパルス (INC) に基づく電流パルスにより、内部コンデンサの電位を上昇させ、また、前述の位相進みパルス (DEC) に基づく電流パルスにより、内部コンデンサの電位を下降させる。

リングオシレータあるいはエミッタ結合形比安定マルチバイブレータ回路等で構成される VCO 回路 213 は、この内部コンデンサの電位に基づき、クロック信号 (f_m) の発振周波数を可変する。10

これにより、入力クロック信号 (f_i) と出力クロック信号 (f_o) との発振周波数と位相とが一致する。

【0026】

以下、図 4 を用いて、図 3 に示す PLL 回路により、デューティー比が 50% でない入力クロック信号 (f_i) から、デューティー比が 50% の出力クロック信号 (f_o) が得られる理由を説明する。

なお、この図 4 は、VCO 回路 213 が、入力クロック信号 (f_i) の 2 倍の周波数のクロック信号 (f_m) を出力し、m 分周器 214 が 2 分周器で構成される場合のタイミングチャートを示している。20

図 4 に示すように、デューティー比が 50% でない入力クロック信号 (f_i) と、出力クロック信号 (f_o) とが同期した場合には、VCO 回路 213 から入力クロック信号 (f_i) の 2 倍の周波数のクロック信号 (f_m) が出力される。このクロック信号 (f_m) は、2 分周器で分周されて出力クロック信号 (f_o) となるが、出力クロック信号 (f_o) は、クロック信号 (f_m) の立ち上がり (または立ち下がり) 時点で、High レベルから Low レベル、および Low レベルから High レベルへ変化するクロック信号となるので、この出力クロック信号 (f_o) は、デューティー比が 50% のクロック信号となる。

なお、VCO 回路 213 からは、必ずしもデューティー比が 50% のクロック信号 (f_m) が得られないで、図 3 に示す PLL 回路の m 分周器 214 は、最終的にデューティー比が 50% の出力クロック信号 (f_o) を得るために設けられる。30

【0027】

図 5 は、図 2 に示すクロック補償回路 200 の他の例を示すブロック図である。

この図 5 に示すクロック補償回路 200 は、ディレイロッドループ回路 (以下、単に、DLL 回路と称する。) を用いた回路である。

DLL 回路を用いたクロック補償回路は、遅延ラインを有する点で、PLL 回路を用いるものより回路の占有面積が大きくなるが、高速の信号が不要なので動作安定であり、液晶表示パネルの画素数が増えても信号周波数が高くならないので、安定した動作が可能となる。

図 5 に示す回路は、DLL 回路 220 と、2 分周器 (221, 222) と、排他的論理和回路 (EOR) とで構成構成される。40

図 6 は、図 5 に示す DLL 回路 220 の回路構成を示す回路図であり、図 7 は、図 6 に示す遅延ライン 310 の構成を示す回路図である。

また、図 8 は、図 6 に示す回路のタイミングチャートを示す図である。

この図 6 に示す DLL 回路 220 において、アップ・ダウンカウンタ 312 は、入力 (IN) の立ち上がりエッジに対して OUT2 (DWN) が High レベル、OUT3 (UP) が Low レベルの状態にあるときは、さらに位相を遅らせるためにカウンタ値を +1 する。

デコーダ回路 311 は、アップ・ダウンカウンタ 312 のカウント値をデコードして、当該カウント値に対応する遅延ライン 310 のスイッチ素子 (HIZ) の一つをオンとし、50

信号線上の遅延素子 D E L を増加させて、遅延ライン 3 1 0 の遅延時間を増加させる。

【 0 0 2 8 】

逆に、入力 (I N) の立ち上がりエッジに対して O U T 2 (D W N) が L o w レベル、 O U T 3 (U P) が H i g h レベルの状態にあるときは、アップ・ダウンカウンタ 3 1 2 は、遅れすぎた位相を元に戻すためにカウンタ値を - 1 する。デコーダ回路 3 1 1 は、アップ・ダウンカウンタ 3 1 2 のカウント値をデコードして、当該カウント値に対応する遅延ライン 3 1 0 のスイッチ素子 (H I Z) の一つをオンとし、信号線上の遅延素子 D E L を減少させて、遅延ラインの遅延時間を減少させる。

また、入力 (I N) の立ち上がりエッジに対して O U T 2 (D W N) 、 O U T 3 (U P) ともに L o w レベルの状態にあるときは、位相が一致しているものとして、アップ・ダウンカウンタ 3 1 2 はカウンタ値を保持する。10

これにより、 O U T 2 から入力クロック信号 (f i) に対して、位相が 1 8 0 ° 遅延したクロック信号 (f t) が得られる。

【 0 0 2 9 】

以下、図 9 を用いて、図 5 に示す回路により、デューティー比が 5 0 % でない入力クロック信号 (f i) から、デューティー比が 5 0 % の出力クロック信号 (f o) が得られる理由を説明する。

図 9 に示すように、 D L L 回路 2 2 0 からは、デューティー比が 5 0 % でない入力クロック信号 (f i) に対して、位相が 1 8 0 ° 遅延したクロック信号 (f t) が得られる。

この入力クロック信号 (f i) は 2 分周器 2 2 1 に、位相が 1 8 0 ° 遅延したクロック信号 (f t) は 2 分周器 2 2 2 に入力されて、 2 分周されたクロック信号となる。20

この場合に、前述したように、 2 分周器で分周されたクロック信号は、 2 分周前 (例えば、入力クロック信号 (f i) の立ち上がり (または立ち下がり) 時点で、 H i g h レベルから L o w レベル、および L o w レベルから H i g h レベルへ変化するクロック信号となるので、この 2 分周器で分周されたクロック信号は、デューティー比が 5 0 % のクロック信号となる。

この 2 分周器 (2 2 1 , 2 2 2) で 2 分周されたクロック信号を、排他的論理和回路 (E O R) に入力することにより、入力クロック信号 (f i) に同期し、デューティー比が 5 0 % の出力クロック信号 (f o) が得られる。

【 0 0 3 0 】

なお、図 3 に示すクロック補償回路 2 0 0 は、回路規模を小さくできるというメリットを有するが、反面、高速動作が必要となるデメリットがある。

これに対して、図 5 に示すクロック補償回路 2 0 0 は、高速動作を必要としないというメリットを有するが、反面、回路規模が大きくなるというデメリットがある。

したがって、実際の製品に本発明のクロック補償回路 2 0 0 を組み込む場合には、前述したメリット・デメリットを考慮する必要がある。

【 0 0 3 1 】

図 1 0 は、図 2 に示すデータ取込・演算回路 1 3 3 、およびデータ出力回路 1 3 4 の回路構成を示す回路図である。

この図 1 0 において、点線より左側 (矢印 A A の方向) が、データ取込・演算回路 1 3 3 で、点線より右側 (矢印 B B の方向) が、データ出力回路 1 3 4 を表す。40

同図に示すように、データ取込・演算回路 1 3 3 は、演算回路 (2 1 , 2 2 , 2 3) と、ラッチ回路 3 1 とで構成され、また、データ出力回路 1 3 4 は、演算回路 (2 4 , 2 5 , 2 6) と、ラッチ回路 (3 2 , 3 3) と、マルチプレクス回路 (4 1 , 4 2) 、遅延回路 5 1 とで構成される。

なお、図 1 0 では、表示データ転送用の内部信号線は、ドレインドライバ 1 3 0 の液晶駆動電圧出力に使用している内部バスラインで兼用した場合を図示している。

【 0 0 3 2 】

以下、各部の動作について説明する。

図 1 1 は、図 1 0 に示す回路図において、内部バスライン 1 本当たりの回路構成を示す図50

であり、図12は、図11に示すクロック信号(CLL2)と、表示データと、内部信号線上の表示データのタイミングチャートを示す図である。

なお、この図11では、演算回路(21, 22, 24, 25)は省略している。

図12に示すように、クロック信号(CLL2)の立ち上がり時点で、外部から入力された表示データ(D1)はD型フリップ・フロップ回路(以下、単に、FFと称する。)1に取り込まれる。

また、クロック信号(CLL2)の立ち下がり時点で、外部から入力された表示データ(D2)はFF3に取り込まれて内部バスラインBに出力され、同時に、FF1に取り込まれた表示データ(D1)は、FF2に取り込まれて内部バスラインAに出力される。

このように、本実施の形態では、同一タイミングで内部バスラインに表示データが送出される。10

なお、内部バスラインが、2系統のバスラインで構成される理由は後述する。

【0033】

内部バスライン(A, B)に送出された表示データは、ドレインドライバ130の長辺方向に伝搬、即ち、半導体チップの長辺長にわたって伝搬されるために、内部バスラインの配線抵抗および配線容量により遅延が生じ、クロック信号(CLL2)との位相ずれが生じる。

そのため、クロック信号(CLL2)の立ち下がり時点で、内部バスライン上の表示データ(D1)をFF4に取り込み、同時に、内部バスライン上の表示データ(D2)をFF5に取り込み、前述した位相ズレを吸収する。20

また、FF4とFF5に取り込まれた表示データは、マルチプレス回路(スイッチ回路)41により、交互に外部に出力される。

これにより、外部に出力される表示データは、外部から入力された順番で、外部に出力される。

【0034】

次段のドレインドライバに転送する信号を極性反転して出力する公知文献(シャープ技報、第74号(1999年8月)、第31~34頁)の技術では、正論理のドレインドライバと、負論理のドレインドライバを交互に継続接続する必要があるため、ドレインドライバが2種類必要になり、ドレインドライバのコストが高くなる、液晶表示装置の組み立てが複雑になり歩留まりが向上しない等のデメリットがある。30

しかし、本発明によれば、クロック信号(CL2)のデューティを補正する回路を設けたことにより、転送データを反転する必要がなく、ドレインドライバも1種類で済むので、ドレインドライバのコストも高くならず、液晶表示装置の組み立ても容易となり、歩留まりが大幅に向上する効果がある。

【0035】

なお、図10では、表示データ転送用の内部信号線を、ドレインドライバ130の液晶駆動電圧出力に使用している内部バスラインで兼用した場合について説明したが、例えば、図13に示すように、表示データ転送用の内部信号線を、ドレインドライバ130の液晶駆動電圧出力に使用している内部バスラインと別に設けるようにしてもよい。

但し、図13に示す例では、自ドレインドライバ130の36本の内部バスライン(例えば、6ビット×3(R·G·B用のバスライン)×2=36本)と、それと同等の内部信号線が必要となるので、ドレインドライバ130を構成する半導体チップの面積が増大する分不利となる。40

これに対して、本実施の形態では、表示データ転送用の内部信号線を、ドレインドライバ130の液晶駆動電圧出力に使用している内部バスラインで兼用するようにしたので、図13に示す例に比して半導体チップの面積を小さくすることができる。

【0036】

次に、図10に戻って、演算回路(21, 22)の動作について説明する。

図1のタイミングコントローラ110と先頭のドレインドライバ130および各ドレインドライバ130間を接続している表示データ伝送線路では表示データの変化による消費電50

力（伝送線路での充放電等）が問題となる。

例えば、3画素（×6ビット=18本）の表示データのうちある9本がHighレベルで、残りの9本がLowレベルで、その次の3画素分の表示データがこの反転レベルとなる場合、18本の全表示データが変化することになり、この動作が高速で、また、振幅が大きい程表示データ伝送線路での充放電により消費電力が大きくなる。

そこで、前記状態による消費電力を抑制するために、タイミングコントローラ110では、データ反転信号（図2に示すPOL信号）を一本設け、データ反転信号に基づいて18本の表示データを予め演算し、前記18本の表示データの変化は行わず、データ反転信号のみレベルを反転し、送出する。

【0037】

10

各ドレインドライバ130の演算回路21は、これらの信号を演算することで3画素（×6ビット=18本）の表示データのうち9本がHighレベルで、残りの9本がLowレベルで、その次の3画素分の表示データは、この反転レベルを生成し、データ反転信号がない場合と同機能を実現し消費電力を抑制する回路である。

演算回路21は、排他的論理和から構成され、表1に示すように、データ反転信号（図2にPOL信号）が「0」の時に、表示データを反転しないで出力し、データ反転信号（図2のPOL信号）が「1」の時に、表示データを反転させて出力する。

【0038】

【表1】

表1

20

入力		出力
データ入力信号	データ反転 信号	A
0	0	0
0	1	1
1	0	1
1	1	0

30

次に、演算回路22の動作について説明する。

液晶表示パネル100は、交流化駆動方法により駆動される。

この交流化駆動方法の一つにコモン対称法があり、コモン対称法（例えば、ドット反転法、nライン反転法）では、各画素電極に、正極性の階調電圧と負極性の階調電圧を印加する必要がある。

図14は、本実施の形態のドレインドライバ130の各色毎の隣接するドレイン信号線（Y_i, Y_{i+1}）当たりの回路構成をより詳細に示す図である。

この図14において、235A、235Bは図2に示すラッチ回路（1）135のそれぞれのラッチ回路を、236A、236Bは図2に示すラッチ回路（2）136のそれぞれのラッチ回路を示す。

また、237A、237Bは、図2に示すデコーダ回路137のそれぞれのデコーダ回路を示し、237Aは正極性の階調電圧を選択する高電圧デコーダ回路、237Bは負極性の階調電圧を選択する低電圧デコーダ回路である。

同様に、238A、238Bは、図2に示すアンプ回路138のそれぞれのアンプ回路を示し、237Aは正極性の階調電圧を増幅する高電圧アンプ回路、237Bは負極性の階調電圧を選択する低電圧アンプ回路である。

【0039】

40

このように、本実施の形態では、各ドレイン信号線毎に正極性の回路と負極性の回路とを設ける代わりに、隣接する各色毎のドレイン信号線毎に一対の正極性側回路と負極性側回路とを設け、スイッチ部239で切り替えて隣接する各色毎のドレイン信号線のそれぞ

50

に、正極性の階調電圧あるいは負極性の階調電圧を供給するようにしている。

例えば、ドレイン信号線(Y_i)に正極性の階調電圧、ドレイン信号線(Y_{i+1})に負極性の階調電圧を印加する場合には、スイッチ部239で、ドレイン信号線(Y_i)を正電圧アンプ回路238Aに、ドレイン信号線(Y_{i+1})を低電圧アンプ回路238Bに接続し、逆に、ドレイン信号線(Y_i)に負極性の階調電圧、ドレイン信号線(Y_{i+1})に正極性の階調電圧を印加する場合には、スイッチ部239で、ドレイン信号線(Y_i)を低電圧アンプ回路238Bに、ドレイン信号線(Y_{i+1})を正電圧アンプ回路238Aに接続する。

【0040】

しかしながら、正極性側のラッチ回路235は、図10に示す内部バスラインDに接続され、負極性側のラッチ回路235Bは、図10に示す内部バスラインEに接続されている。

そのため、ドレイン信号線(Y_i)に正極性の階調電圧を供給するためには、内部バスラインDに、ドレイン信号線(Y_i)に正極性の階調電圧を選択するための表示データ、逆に、ドレイン信号線(Y_i)に負極性の階調電圧を供給するためには、内部バスラインEに、ドレイン信号線(Y_i)に負極性の階調電圧を選択するための表示データを送出する必要がある。

演算回路22は、前述した表示データを、図10に示す内部バスラインD、あるいは、内部バスラインEに送出するために設けられる。

【0041】

演算回路22は、スイッチ回路(61, 62)で構成され、スイッチ回路61は、交流化信号(図2に示すM信号)の「1」あるいは「0」レベルに応じて、FF3から出力される表示データ、あるいはFF2から出力される表示データを選択して内部バスラインDに送出する。

同様に、スイッチ回路62は、交流化信号(図2に示すM信号)の「0」あるいは「1」レベルに応じて、FF2から出力される表示データ、あるいはFF3から出力される表示データを選択して内部バスラインEに送出する。

ここで、スイッチ回路62に供給される交流化信号Mは、スイッチ回路61に供給される交流化信号Mの反転信号であるので、内部バスラインDに送出される表示データが、FF3(またはFF2)から出力される表示データである場合には、内部バスラインEに送出される表示データは、FF2(またはFF3)から出力される表示データとなる。

この演算回路22の演算内容を、図15に示す。

【0042】

演算回路24は、演算回路21と逆の演算を施す回路である。

この演算回路24は、2系統の内部バスライン(D, E)毎に設けられる排他的論理和回路で構成され、データ反転信号に基づき、演算回路21で反転された表示データをさらに反転し、また、演算回路21で反転されなかった表示データはそのままの状態で出力する回路である。

演算回路25は、交流化信号Mの極性により、2系統の内部バスライン(D, E)上に送出される表示データの順番が入れ替えられているので、この順番を表示データの入力順に並べる変えるために、マルチプレクス回路41でFF4とFF5との選択順を変更させるための回路である。

この演算回路25の演算内容を、図16に示す。

図16に示すように、この演算回路25は、交流化信号Mが「0」のときは、内部バスラインD 内部バスラインE 内部バスラインDの順に表示データを出力させ、交流化信号Mが「1」のときは、内部バスラインE 内部バスラインD 内部バスラインEの順に表示データを出力させる。

【0043】

演算回路24で説明したように、転送する表示データは、演算回路21で演算された表示データを逆演算する必要がある。

10

20

30

40

50

そこで、本実施の形態の形態では、このデータ反転信号も F F 6 ~ F F 8 によりクロック信号 (C L L 2) に同期して取り込み、また、前述したように、交流化信号 M により、2 系統の内部バスライン (D , E) 上に送出される表示データの順番が入れ替えられているので、それに合わせて、演算回路 2 3 のスイッチ回路 (6 3 , 6 4) により、 F F 7 、 F F 8 から出力されるデータ反転信号を、内部信号線 (J , K) に振り分けて送出する。

【 0 0 4 4 】

この内部信号線 (J , K) 上のデータ反転信号が、それぞれ、演算回路 2 4 における、2 系統の内部バスライン (D , E) 毎に設けられる排他的論理和回路に入力される。

また、クロック信号 (C L L 2) の立ち下がり時点で、内部信号線 (J , K) 上のデータ反転信号は、 F F 9 および F F 1 0 に取り込まれ、演算回路 2 6 により、マルチプレクス回路 4 2 で F F 9 と F F 1 0 との選択順を変更させ、入れ替えられている内部信号線 (J , K) 上のデータ反転信号を、元の状態にして外部に出力する。 10

【 0 0 4 5 】

次に、遅延回路 5 1 の動作について説明する。

図 1 7 に示すように、表示データを、クロック信号の立ち上がり時点と立ち下がり時点を取り込む、デュアルエッジ取り込み方式の場合には、セットアップ期間、およびホールド期間に余裕を持たせるために、表示データの切り替わり時点の中間時点に、クロック信号 (C L L 2) の立ち上がり時点および立ち下がり時点が位置している必要がある。

しかしながら、図 1 2 に示すタイミングチャートから分かるように、本実施の形態では、マルチプレクス回路 4 1 から送出される表示データの切り替わり時点と、クロック信号 (C L L 2) の立ち上がり時点および立ち下がり時点とは一致している。 20

これでは、次段のドレインドライバ 1 3 0 では、表示データを F F 1 ~ F F 3 で取り込むことができない。

遅延回路 5 1 は、外部に出力されるクロック信号 (C L L 2) の位相を遅延し、前述した問題点を解決するために設けられる。

【 0 0 4 6 】

図 1 8 は、図 1 7 に示す遅延回路 5 1 の一例を示す回路図である。

この図 1 8 に示す回路は、縦続接続された n 個のインバータ回路で構成され、このインバータ回路の数 (n) は、このインバータ回路によるクロック信号 (C L L 2) の遅延量が、図 1 7 に示すように、表示データの切り替わり時点の中間時点に、クロック信号 (C L L 2) の立ち上がり時点および立ち下がり時点が位置するような遅延量 (9 0 °) となるように設定される。 30

図 1 9 は、図 1 7 に示す遅延回路 5 1 の他の例を示す回路図である。

この図 1 9 に示す回路は、前記図 6 ないし図 8 で説明したディレイロッドループ回路であり、この場合は、 O U T 1 から 9 0 ° 遅延したクロック信号 (f t) を得るようにしている。

【 0 0 4 7 】

図 2 0 は、ドレインドライバ 1 3 0 と F P C 基板 1 5 0 とのガラス基板との接続方法を説明するための模式断面図である。

図 2 0 に示すように、ドレインドライバ 1 3 0 には、 F P C 基板 1 5 0 の配線層 3 2 0 ガラス基板 S U B 1 のメタライズ層 3 2 1 ガラス基板 S U B 1 の配線層 3 2 2 ガラス基板 S U B 1 のメタライズ層 3 2 3 ドレインドライバ (半導体チップ) 1 3 0 のバンプ電極 3 2 4 を経て、電源電圧が供給される。 40

この場合に、本実施の形態では、図 2 1 に示すように、表示データ転送用回路 (例えば、マルチプレクス回路 4 1 等) 3 3 1 に供給する電源と、クロック信号転送用回路 (例えば、遅延回路 5 1 等) 3 3 2 に供給する電源とを分離するようにしている。

即ち、表示データ転送用回路用 3 3 1 と、クロック信号転送用回路 3 3 2 とに、それぞれ別のパッド電極 3 3 3 、および電源ラインを介して電源を供給するようにしている。

なお、図 2 1 は、本実施の形態のドレインドライバ 1 3 0 への電源電圧供給系統を示す図であり、この図 2 2 において、抵抗 R は、ガラス基板のメタライズ層 3 2 1 ガラス基板

の配線層 322 ガラス基板のメタライズ層 323 ドレインドライバ(半導体チップ)130 のバンプ電極 324 間の抵抗成分を示す。

【0048】

図22は、表示データ転送用回路331に供給する電源と、クロック信号転送用回路332に供給する電源とを分離しない場合の電源電圧供給系統を示す図であるが、この図22に示す例では、表示データ転送用回路331のマルチプレクス回路41に流れる電流が表示データのビット数だけ必要となるので、前記した抵抗Rでの電圧低下が大きく、これにより、クロック信号転送用回路332に供給される電源電圧が低下し、クロック信号(CL2)の振幅が小さくなる。

しかしながら、本実施の形態では、表示データ転送用回路331に供給する電源と、クロック信号転送用回路332に供給する電源とを分離するようにしたので、前述したような、クロック信号転送用回路332に供給される電源電圧が低下し、クロック信号(CL2)の振幅が小さくなることがない。 10

即ち、本実施の形態では、クロック信号転送用回路332に対する表示データ転送用回路331の影響を低減することが可能となる。

【0049】

[実施の形態2]

図23は、本発明の実施の形態2のドレインドライバの概略構成を示すブロック図である。

本実施の形態は、クロック補償回路200を、データ出力回路134内に設けた点で、前記実施の形態1と相違する。 20

本実施の形態では、データ出力回路内に設けられたクロック補償回路200で生成されたクロックを、前述の遅延回路51に遅延して次段のドレインドライバ130に出力する。なお、本実施の形態のドレインドライバ130内の各部の動作は、前述の説明において、内部クロック信号(CL2)をクロック信号(CL2)と読み替えればよいので、詳細な説明は省略する。

さらに、クロック補償回路200の挿入位置は、前記実施の形態1のように、ドレインドライバ130のクロック信号の入力側、あるいは本実施の形態のように、ドレインドライバ130のクロック信号の出力側に限定されるものではなく、ドレインドライバ130内で、外部から入力されたクロック信号(CL2)が外部へ出力されるまでの伝送経路中に、前述したクロック補償回路200を挿入すれば、前述したような作用・効果を得ることが可能であることはいうまでもない。 30

【0050】

[実施の形態3]

図24は、本発明の実施の形態3のドレインドライバの概略構成を示すブロック図である。

本実施の形態では、前記各実施の形態のクロック補償回路200を設ける代わりに、図25に示すように、各ドレインドライバ130内で、外部から入力されたクロック信号(CL2)が外部へ出力されるまでの伝送経路中に、挿入される回路素子(例えば、インバータ回路)52により、論理レベルが反転する回数が奇数回となるような値に設定したものである。 40

前述したように、CMOSインバータ回路では、各MOSトランジスタのしきい値(V_{th})が変化すると、出力パルス信号のデューティー比(即ち、パルス信号の周期に対するHighレベル期間の比)が変化する。

そのため、ディジタル信号順次転送方式を採用する液晶表示装置では、各ドレインドライバ130をクロック信号(CL2)が伝送していく途中で、クロック信号(CL2)のデューティー比の変化が累積されて、表示データとの位相差が大きくなる。

【0051】

しかしながら、前述したように、各ドレインドライバ130で伝搬するクロック信号(CL2)の論理レベルの反転回数が奇数回となるようにすることにより、例えば、前段のド 50

レインドライバ 130 でクロック信号 (CL2) のデューティー比が大きくなるように変化しても、次段のドレインドライバ 130 ではクロック信号 (CL2) のデューティー比が小さくなるように変化する。

これにより、全体で、クロック信号 (CL2) のデューティー比の変化を小さくすることが可能となる。

なお、本実施の形態のドレインドライバ 130 内の各部の動作は、前述の説明において、内部クロック信号 (CLL2) をクロック信号 (CL2) と読み替えればよいので、詳細な説明は省略する。

【0052】

前述したように、デューティー比の変動を防止するために、表示データを反転して次段のドレインドライバにデータ転送する方法が、公知文献（シャープ技報、第74号（1999年8月）、第31～34頁）に記載されているが、本実施の形態は、表示データをクロック信号 (CL2) に同期させて次段に出力する点と、表示データを反転させずにクロック信号 (CL2) のみを反転させる点で、上記文献に記載のものと異なっている。

上記文献に記載のものは、表示データをクロックに同期させて出力させる思想がないので、デューティー比変動を防止するために全表示データを反転して出力させなければならない。

したがって、次段のドレインドライバは、反転された表示データを元に液晶駆動電圧を生成する必要があるので、負論理のドレインドライバでなければならず、ドレインドライバの種類が増え、コストが高くなる、液晶表示装置の製造が複雑になり、歩留まりが低下する等のデメリットがある。

【0053】

それに対して、本発明では、表示データをクロック信号 (CL2) に同期させて次段のドレインドライバに出力するので、表示データを反転して出力する必要がなく、次段のドレインドライバは同じ論理のドレインドライバも用いることでき、コストが高くなることがなく、液晶表示装置の製造が容易になり、歩留まりが向上する効果がある。

また、本発明では、クロック信号 (CL2) については、デューティー比変動を防止するために、反転して出力することになるが、次段のドレインドライバは、クロック信号 (CL2) についてのみ特別な制御回路を設けるだけで良いので回路が簡単で、かつ、一種類の論理のドレインドライバで液晶表示装置を構成することができる。

具体的には、本実施の形態では、各ドレインドライバのスタートパルスをクロック信号 (CL2) で取り込むときのタイミングを正転クロックと、反転クロックで同じにする回路を各ドレインドライバに設ける。

【0054】

あるいは、図26に示すように、次段のドレインドライバ 130 に転送する表示データを所定時間（例えば、90°）遅延する。

この図26において、正転クロック信号は、前段のドレインドライバ 130 に入力されるクロック信号 (CL2) を表し、反転クロック信号は、後段のドレインドライバ 130 に入力されるクロック信号 (CL2) を表わす。

この図26に示す例では、前段のドレインドライバ 130 では、表示データ (1) は、正転クロック信号の立ち上がりでドレインドライバ 130 に取り込まれ、さらに、表示データは、例えば、遅延回路により90°遅延されて次段のドレインドライバ 130 に転送されるので、次段のドレインドライバ 130 でも、表示データ (1) は、反転クロック信号の立ち上がりでドレインドライバ 130 に取り込まれる。

なお、表示データを反転して次段のドレインドライバに転送する方法でも、各ドレインドライバに、極性反転した表示データを元の極性の表示データに戻す回路、および表示データの極性を制御する回路を設けることにより、ドレインドライバを共用化することは可能である。

しかしながら、前述したようなことは、公知文献（シャープ技報、第74号（1999年8月）、第31～34頁）では全く検討されておらず、また、表示データの各ビット毎に

10

20

30

40

50

極性反転を制御する回路が必要となり、回路が大規模になるデメリットがある。

【0055】

[実施の形態4]

図27は、前記実施の形態のクロック信号(CL2)の伝送経路を簡略化して示す図である。

前述したように、公知文献の開示する技術では、各ドレインドライバは表示データを反転して次段のドレインドライバに転送している。

また、クロック信号も1系統しか設けられていない。

前記公知文献の技術では、ドレインドライバに入力されるクロック信号(CL2)がHレベルであれば、次段のドレインドライバに入力されるクロック信号(CL2)はLレベル、さらに次段のドレインドライバに入力されるクロック信号(CL2)はHレベルとなる。

そのため、2種類のドレインドライバを用意する必要がある。

即ち、表示データおよびクロック信号(CL2)の正転信号が入力されることを前提とした論理構成のドレインドライバ(例えば、図27の130a, 130c)と、反転信号が入力されることを前提とした論理構成のドレインドライバ(例えば、図27の130c)を用意する必要がある。

このように、前記公知文献に記載されたドレインドライバでは、液晶駆動回路の回路構成が複雑になるという欠点がある。

【0056】

図28は、本発明の実施の形態4のクロック信号(CL2)の伝送経路を簡略化して示す図である。

本実施の形態では、各ドレインドライバ(130a, 130b, 130c)に、クロック信号(CL2)の正転クロック(CL2(T))と、クロック信号(CL2)の反転クロック(CL2(B))とが入力される。

ここで、前記実施の形態と同様、正転クロック(CL2(T))と、反転クロック(CL2(B))とは、各ドレインドライバ内の伝送経路中で、その論理レベルの反転回数が奇数回となるように設定されている。

なお、図28でも、正転クロック(CL2(T))、および反転クロック(CL2(B))の論理レベルの奇数回の反転回数を、直列接続された3個のインバータで表現している。

【0057】

本実施の形態でも、前段のドレインドライバ(例えば、130a)で正転クロック(CL2(T))および反転クロック(CL2(B))のデューティー比が大きくなるように変化したとしても、次段のドレインドライバ(例えば、130b)では、正転クロック(CL2(T))および反転クロック(CL2(B))とも、デューティー比が小さくなるように変化する。

これにより、全体で、クロック信号(CL2)の正転クロック(CL2(T))および反転クロック(CL2(B))のデューティー比の変化を小さくすることが可能となる。

さらに、本実施の形態では、正転クロック(CL2(T))および反転クロック(CL2(B))が伝送される、各ドレインドライバ間の伝送線路(ガラス基板上の伝送線路)を切り替え、前段のドレインドライバ(例えば、130a)から出力される正転クロック(CL2(T))を、次段のドレインドライバ(例えば、130b)の反転クロック(CL2(B))として入力し、前段のドレインドライバ(例えば、130a)から出力される反転クロック(CL2(B))を、次段のドレインドライバ(例えば、130b)の正転クロック(CL2(T))として入力している。

【0058】

このような構成を採用することにより、各ドレインドライバ(130a, 130b, 130c)の正転クロック(CL2(T))入力端子に入力されるクロック信号のレベルは、ともに同一となるので、前述したような、クロック信号(CL2)についてのみ特別な制

10

20

30

40

50

御回路等を設ける必要もなく、かつ、2種類のドレインドライバを用意する必要もない。なお、本実施の形態において、図29に示すように、各ドレインドライバ(130a, 130b, 130c)の内部で、正転クロック(CL2(T))および反転クロック(CL2(B))が伝送される内部信号線を切り替え、前段のドレインドライバ(例えば、130a)から出力される正転クロック(CL2(T))を、次段のドレインドライバ(例えば、130b)の反転クロック(CL2(B))として入力し、前段のドレインドライバ(例えば、130a)から出力される反転クロック(CL2(B))を、次段のドレインドライバ(例えば、130b)の正転クロック(CL2(T))として入力するようにしてもよい。

【0059】

10

[実施の形態5]

図30は、本発明の実施の形態5のデータ取込・演算回路133、およびデータ出力回路134の回路構成を示す回路図である。

この図30においても、点線より左側(矢印AAの方向)が、データ取込・演算回路133で、点線より右側(矢印BBの方向)が、データ出力回路134を表す。

図30に示すように、本実施の形態では、スタンバイ回路(71, 72)を付加した点で、図10に示す前記実施の形態1のデータ取込・演算回路133、およびデータ出力回路134と相違する。

前述した演算回路(21, 22, 23)の演算は、外部から入力される表示データが、自ドレインドライバ内で取り込む表示データである場合にのみ、必要となるものである。

20

そこで、本実施の形態では、スタンバイ回路(71, 72)により、外部から入力される表示データが、自ドレインドライバ内で取り込む表示データである場合に、演算回路(21, 22, 23)を有効とし、それ以外の場合には、演算回路(21, 22, 23)を無効とするものである。

【0060】

図31は、図30に示すスタンバイ回路71の回路構成を示すブロック図である。

図31に示すように、このスタンバイ回路71では、カウンタ回路350は、スタートパルス(表示データ取込開始信号)が入力されると、クロック信号(CL1L2)をカウントする。

また、カウンタ回路350のカウンタ数が、所定のカウント数以下の場合に、スイッチ回路351は、データ反転信号を出力し、カウンタ回路350のカウンタ数が、所定のカウント数を越えると、スイッチ回路351は、一定のバイアス電圧(Highレベルの電圧、あるいはLowレベルの電圧など)Vbbを出力する。

30

これにより、演算回路21は、表1に示す演算内容を実行することになる。

【0061】

なお、スタンバイ回路72も、スタンバイ回路71と同様の回路構成である。本実施の形態によれば、外部から入力される表示データが、自ドレインドライバ内で取り込む必要のない表示データ(換言すれば、単に転送用の表示データ)である場合に、余分な演算を行う必要がないので、消費電力を低減することができる。

また、前記各実施の形態では、ドレインドライバ130が、液晶表示パネルのガラス基板に直接実装されている場合について説明したが、本発明は、これに限定されるものではなく、ドレインドライバ130が、テープキャリアパッケージに搭載されるディジタル信号順次転送方式の液晶表示装置にも適用可能であることはいうまでない。

40

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0062】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

50

(1) 本発明の液晶表示装置によれば、表示データの転送に液晶ドライバIC内のデータバスを利用して行うので、各液晶ドライバICに表示データを並列に送るためのプリント基板の配線が不要となり、液晶表示装置の周辺回路領域を小さくすることが可能となる。

(2) 本発明の液晶表示装置によれば、液晶駆動回路に入力されるクロック信号のデューティー比の変動を補償することが可能となる。

(3) 本発明の液晶表示装置によれば、液晶表示素子に表示される画像に誤表示が起こるのを防止できるので、液晶表示素子に表示される画像の表示品質を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の液晶表示モジュールの表示パネルの基本構成を示すブロック図である。 10

【図2】図1に示すドレインドライバの概略構成を示すブロック図である。

【図3】図2に示すクロック補償回路の一例を示すブロック図である。

【図4】図3に示す回路により、デューティー比が50%でない入力クロック信号(f_i)から、デューティー比が50%の出力クロック信号(f_o)が得られる理由を説明するための図である。

【図5】図2に示すクロック補償回路の他の例を示すブロック図である。

【図6】図5に示すDLL回路の回路構成を示す回路図である。

【図7】図6に示す遅延ラインの構成を示す回路図である。

【図8】図6に示す回路のタイミングチャートを示す図である。 20

【図9】図5に示す回路により、デューティー比が50%でない入力クロック信号(f_i)から、デューティー比が50%の出力クロック信号(f_o)が得られる理由を説明するための図である。

【図10】本発明の実施の形態1の示すデータ取込・演算回路、およびデータ出力回路の回路構成を示す回路図である。

【図11】図10に示す回路図において、内部バスライン1本当たりの回路構成を示す図である。

【図12】図11に示すクロック信号(CLL2)と、表示データと、内部信号線上の表示データのタイミングチャートを示す図である。

【図13】表示データ転送用の内部信号線を、内部バスラインと別に設けるた場合の個性を示す図である。 30

【図14】本発明の実施の形態1のドレインドライバの各色毎の隣接するドレイン信号線(Y)当たりの回路構成をより詳細に示す図である。

【図15】図10に示す演算回路22の演算内容を示す図である。

【図16】図10に示す演算回路25の演算内容を示す図である。

【図17】表示データの取り込み時点を説明するための図である。

【図18】図10に示す遅延回路51の一例を示す回路図である。

【図19】図10に示す遅延回路51の他の例を示す回路図である。

【図20】ドレインドライバとFPC基板とのガラス基板との接続方法を説明するための模式断面図である。 40

【図21】本発明の実施の形態1のドレインドライバへの電源電圧供給系統を示す図である。

【図22】表示データ転送用回路に供給する電源と、クロック信号転送用回路に供給する電源とを分離しない場合の電源電圧供給系統を示す図である。

【図23】本発明の実施の形態2のドレインドライバの概略構成を示すブロック図である。

【図24】本発明の実施の形態3のドレインドライバの概略構成を示すブロック図である。

【図25】本発明の実施の形態3のクロック補償方法を説明するための図である。

【図26】本発明の実施の形態3の一例のクロック信号と表示データとの関係を説明する 50

ための図である。

【図27】本発明の実施の形態3のクロック信号(CL2)の伝送経路を簡略化して示す図である。

【図28】本発明の実施の形態4のクロック信号(CL2)の伝送経路を簡略化して示す図である。

【図29】本発明の実施の形態4のクロック信号(CL2)の伝送経路の変形例を簡略化して示す図である。

【図30】本発明の実施の形態5のデータ取込・演算回路、およびデータ出力回路の回路構成を示す回路図である。

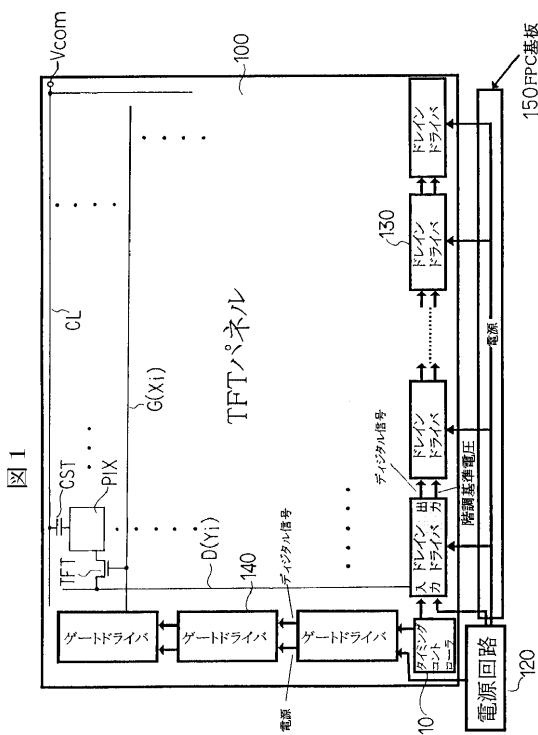
【図31】図30に示すスタンバイ回路の回路構成を示すブロック図である。 10

【図32】デュアルエッジ取り込み方式におけるセットアップ期間、およびホールド期間を説明するための図である。

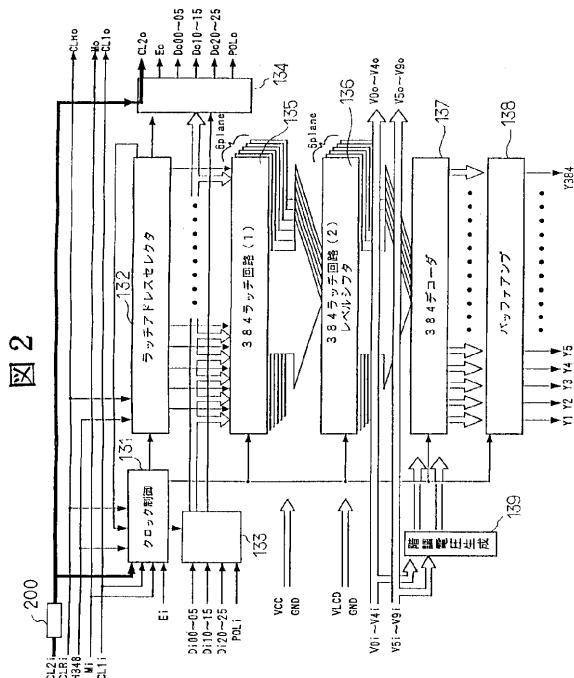
【符号の説明】

1 ~ 10 ... D型フリップ・フロップ回路、21 ~ 26 ... 演算回路、31 ~ 32, 235A, 235B, 236A, 236B ... ラッチ回路、41, 42 ... マルチプレクス回路、51 ... 遅延回路、52 ... 回路素子、61, 62, 63, 64, 351 ... スイッチ回路、71, 72 ... スタンバイ回路、100 ... 液晶表示パネル、110 ... タイミングコントローラ、120 ... 電源回路、130, 130a, 130b, 130c ... ドレインドライバ、131 ... クロック制御回路、132 ... ラッチャドレスセレクタ、133 ... データ取込・演算回路、134 ... データ出力回路、135 ... ラッチ回路(1)、136 ... ラッチ回路(2)、137, 311, 237A, 237B ... デコーダ回路、138, 238A, 238B ... アンプ回路、139 ... 階調電圧生成回路、140 ... ゲートドライバ、150 ... フレキシブルプリント配線基板(FPC基板)、200 ... クロック補償回路、210 ... 位相比較器、211 ... チャージポンプ回路、212 ... フィルタ回路、213 ... VCO回路、214 ... m分周器、220 ... DLL回路、221, 222 ... 2分周器、239 ... スイッチ部、310 ... 遅延ライン、312, 350 ... カウンタ、320, 322 ... 配線層、321, 323 ... メタライズ層、324 ... バンプ電極、331 ... 表示データ転送用回路、331 ... クロック信号(CL2)転送用回路、333 ... パッド電極、SUB1 ... ガラス基板、R ... 抵抗、DEL ... 遅延素子、HIZ ... スイッチ素子、PIX ... 画素電極、TFT ... 薄膜トランジスタ、G ... 走査信号線(またはゲート信号線)、D, Y ... 映像信号線(またはドレイン信号線)、CST ... 保持容量、CL ... 容量線、EOR ... 排他的論理和回路。 20 30

【図1】

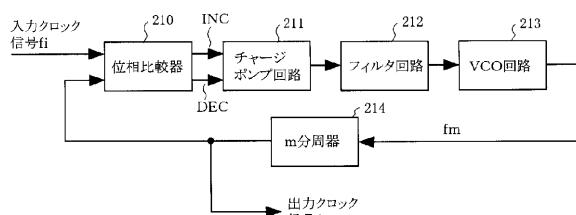


【図2】



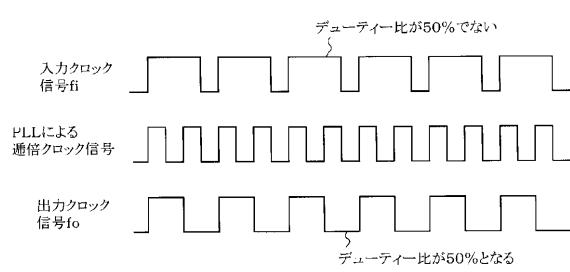
【図3】

図3



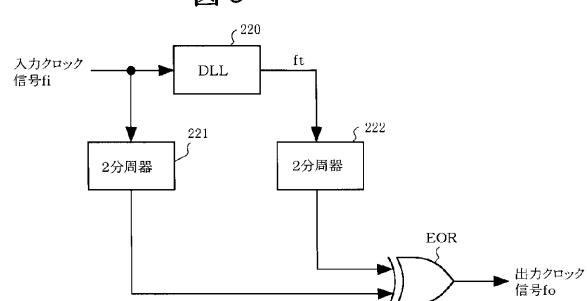
【図4】

図4



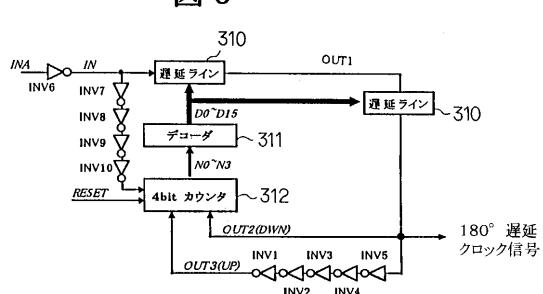
【図5】

図5



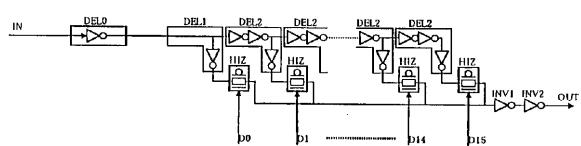
【図6】

図6



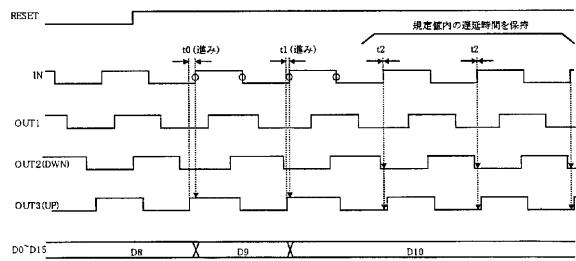
【図7】

図7



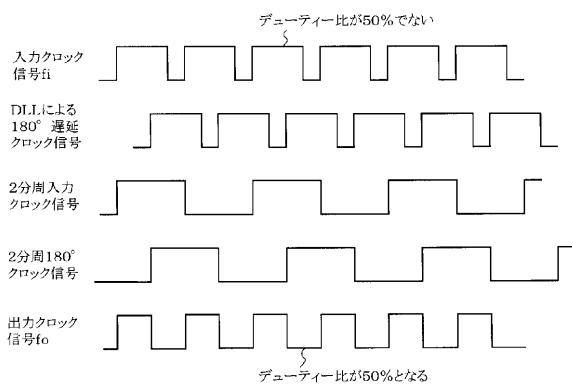
【図8】

図8



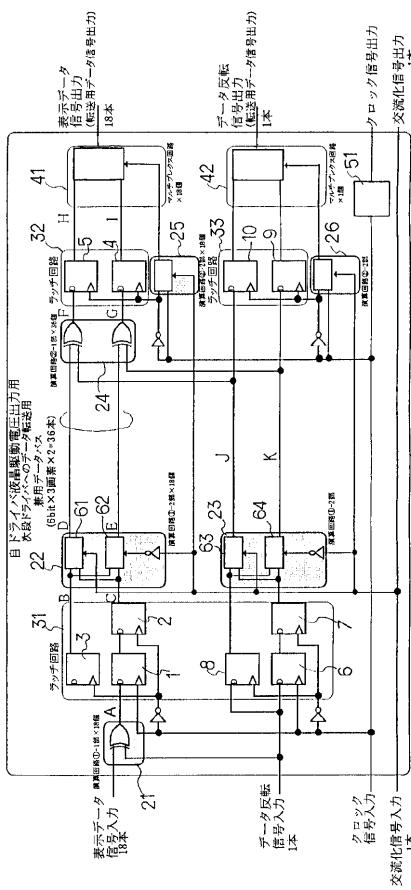
【図9】

図9



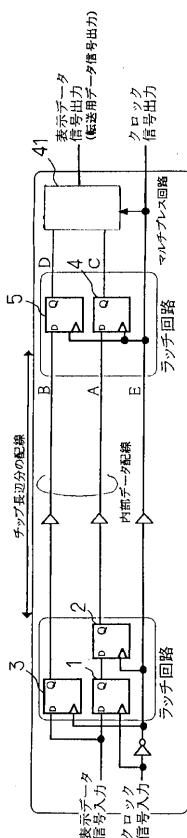
【図10】

図10



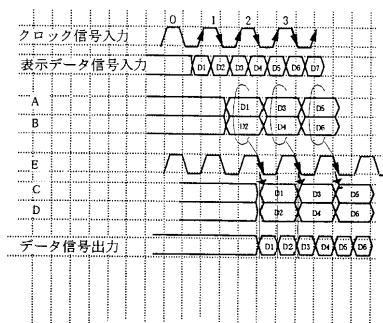
【図11】

図11



【図12】

図12



【図13】

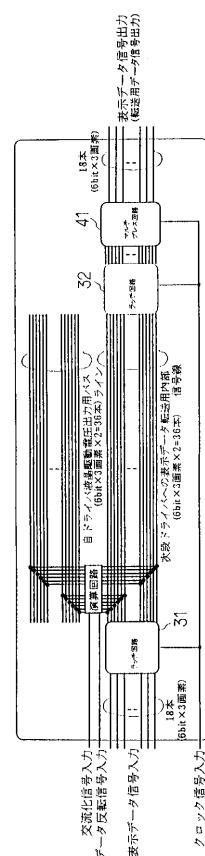
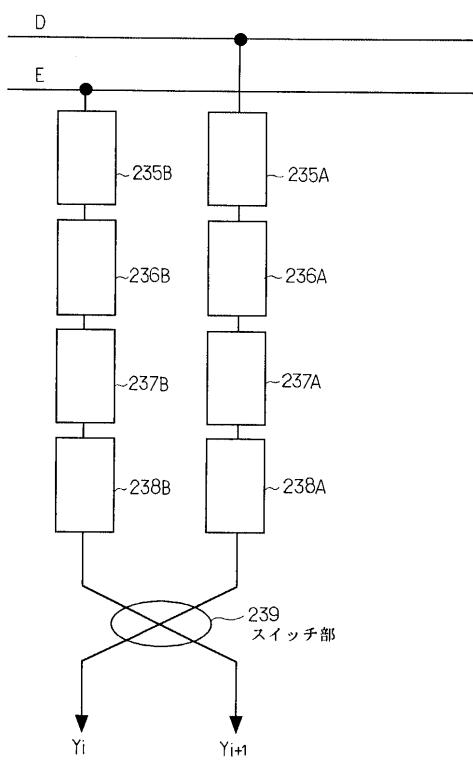


図13

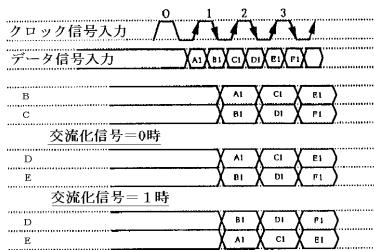
【図14】

図14



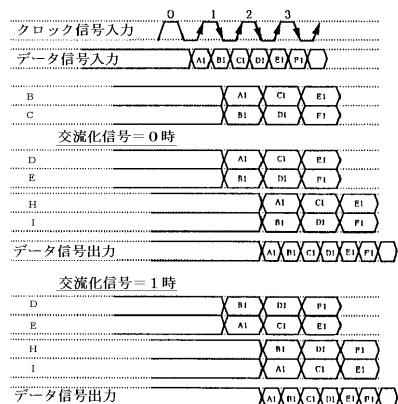
【図15】

図15



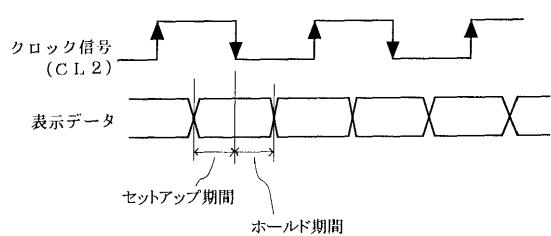
【図16】

図16



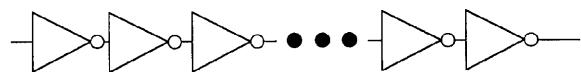
【図17】

図17



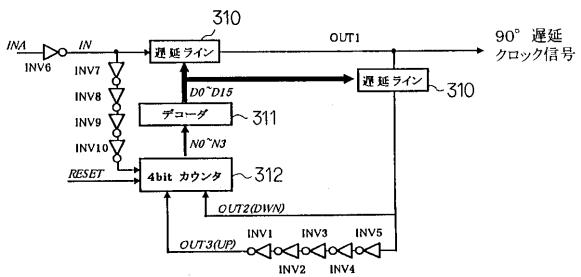
【図18】

図18



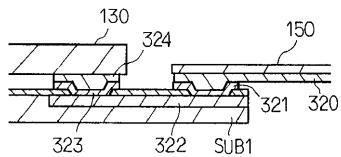
【図19】

図19



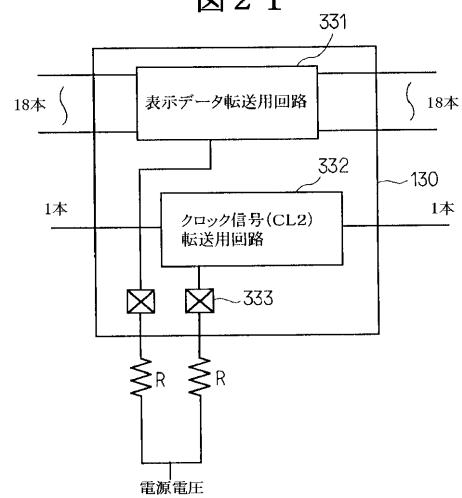
【図20】

図20



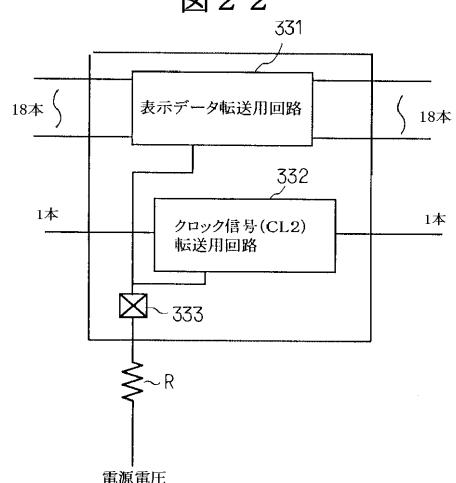
【図21】

図21

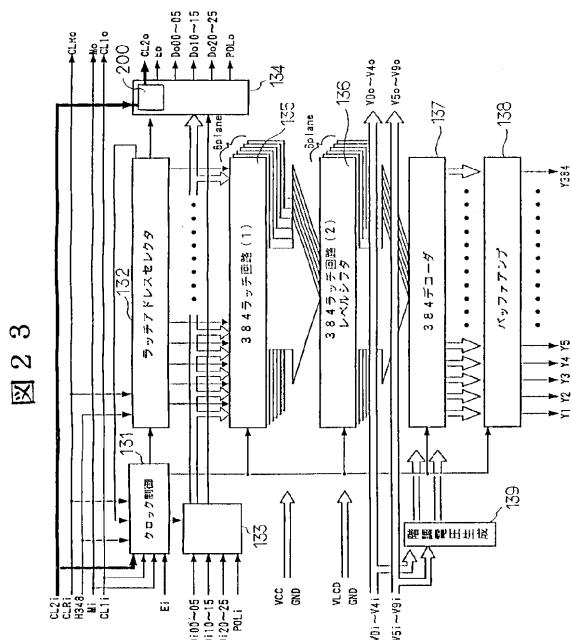


【図22】

図22

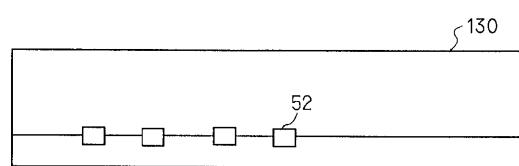


【 図 2 3 】



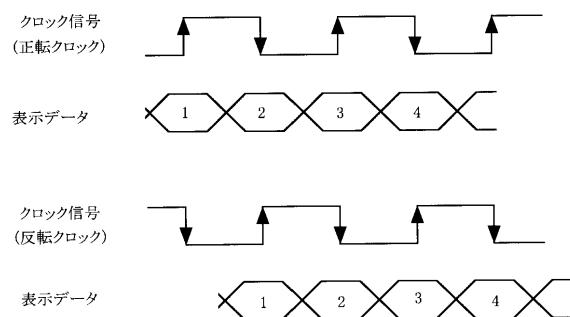
【 図 2 5 】

図 25

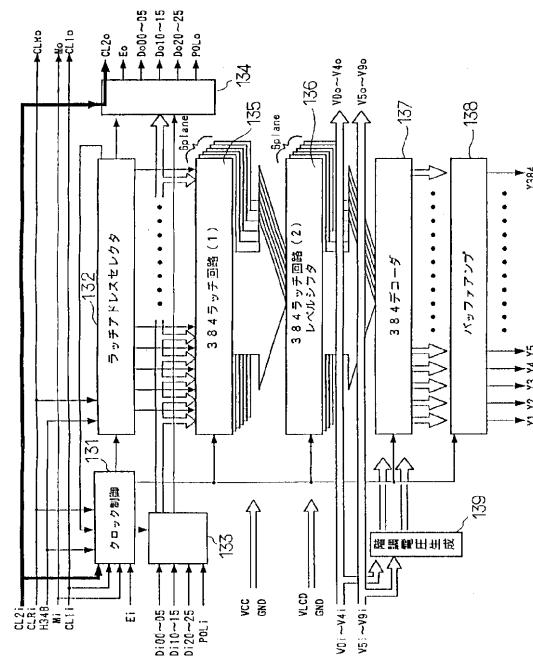


【図26】

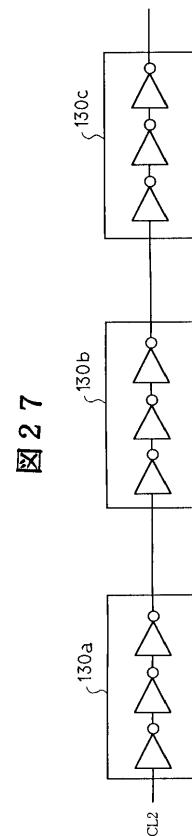
図 2 6



【 図 2 4 】



【 図 27 】



【図 28】

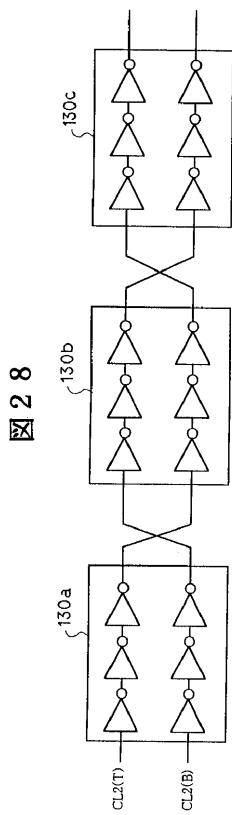


図 28

【図 29】

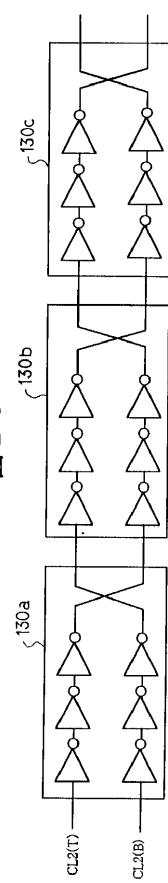


図 29

【図 30】

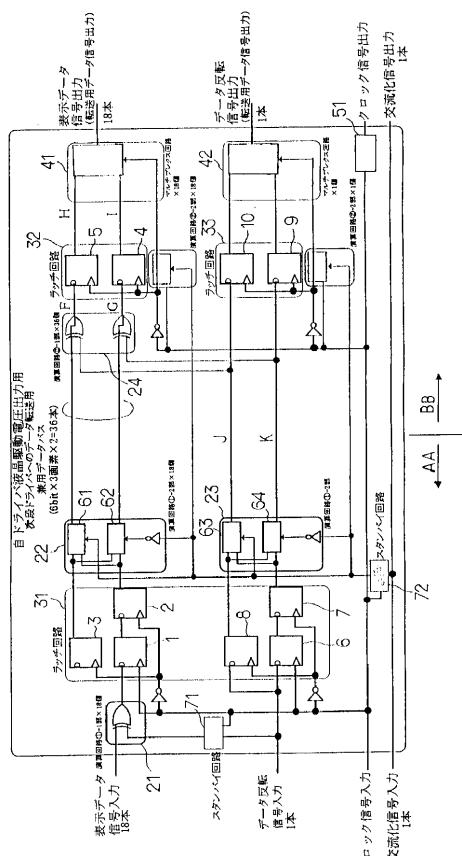


図 30

【図 31】

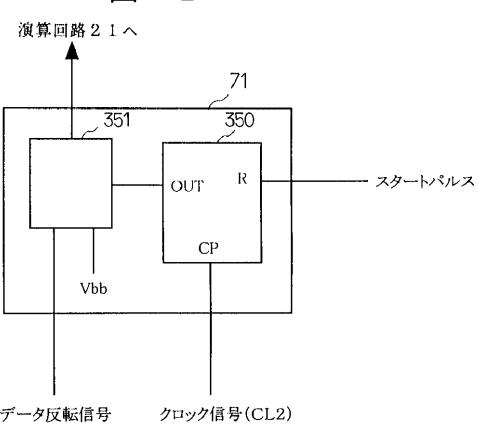
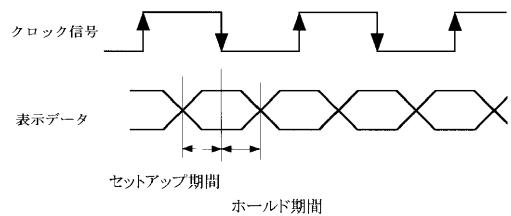


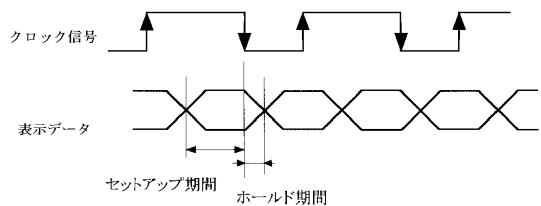
図 31

【図32】

図32



(a) 理想状態(クロック信号のデューティー比50%)

(b) クロック信号のHighレベル期間が長い場合
(クロック信号の立ち下りでホールドマージンが減少)

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 G
H 0 4 N	5/66	1 0 2 B

(72)発明者 後藤 充

千葉県茂原市早野3300番地 株式会社日立製作所 ディスプレイグループ内

(72)発明者 中安 洋三

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72)発明者 斎藤 良幸

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

審査官 濱本 穎広

(56)参考文献 特開平10-153760(JP,A)

特開平10-161598(JP,A)

特開平11-024035(JP,A)

特開2000-020029(JP,A)

特開2000-020034(JP,A)

特開平06-075204(JP,A)

特開平04-081815(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	液晶显示装置和半导体集成电路装置		
公开(公告)号	JP3827917B2	公开(公告)日	2006-09-27
申请号	JP2000146603	申请日	2000-05-18
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
当前申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	藤岡恭弘 伊藤茂 後藤充 中安洋三 斎藤良幸		
发明人	藤岡 恭弘 伊藤 茂 後藤 充 中安 洋三 斎藤 良幸		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H04N5/66 G09G5/18		
CPC分类号	G09G3/3688 G09G3/2011 G09G5/18 G09G2370/08		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.K G09G3/20.621.B G09G3/20.623.G H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA51 2H093/NC03 2H093/NC09 2H093/NC16 2H093 /NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND01 2H093/ND60 2H093/NF05 2H193/ZA04 2H193/ZD21 2H193/ZF03 2H193/ZQ06 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF43 5C006 /AF72 5C006/BB16 5C006/BC12 5C006/BC23 5C006/BF03 5C006/BF04 5C006/FA15 5C058/AA06 5C058/BA01 5C058/BA35 5C058/BB10 5C080/AA10 5C080/BB05 5C080/DD09 5C080/EE29 5C080 /FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP2001331150A JP2001331150A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够通过补偿输入到液晶驱动电路的时钟信号的占空比的变化来改善显示质量，并使其能够正常地接收视频信号。解决方案：液晶显示装置具有液晶元件和液晶驱动电路，液晶驱动电路在从第1个转换的时刻将输入到液晶驱动电路的视频信号提取到总线中电平转换为内部时钟信号的第2电平或从第2电平转换到第1电平的时刻，并从进入总线的视频信号中选择驱动液晶元件的电压，内部时钟信号为时钟信号，对于通过时钟补偿电路输入到液晶驱动电路的外部时钟信号的第一和第二电平周期的两者，均匀化为规定值。

入力		出力
データ入力信号	データ反転 信号	A
0	0	0
0	1	1
1	0	1
1	1	0