

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3806629号
(P3806629)

(45) 発行日 平成18年8月9日(2006.8.9)

(24) 登録日 平成18年5月19日(2006.5.19)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1343

GO2F 1/1333 (2006.01)

GO2F 1/1333 505

GO2F 1/1337 (2006.01)

GO2F 1/1337

請求項の数 5 (全 11 頁)

(21) 出願番号 特願2001-300778 (P2001-300778)
 (22) 出願日 平成13年9月28日(2001.9.28)
 (65) 公開番号 特開2003-107502 (P2003-107502A)
 (43) 公開日 平成15年4月9日(2003.4.9)
 審査請求日 平成16年6月21日(2004.6.21)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (73) 特許権者 000214892
 鳥取三洋電機株式会社
 鳥取県鳥取市立川町七丁目101番地
 (74) 代理人 100131071
 弁理士 ▲角▼谷 浩
 (72) 発明者 木下 卓生
 鳥取県鳥取市南吉方3丁目201番地 鳥
 取三洋電機株式会社内
 (72) 発明者 田中 慎一郎
 鳥取県鳥取市南吉方3丁目201番地 鳥
 取三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶を封入した一対の基板と、一方の基板上にマトリクス状に配置された画素電極と、前記画素電極に接続するスイッチング素子と、前記スイッチング素子に接続すると共に互いにほぼ平行に配置された複数の信号線と、前記スイッチング素子と接続すると共に前記信号線と交差して配置された複数の走査線と、前記信号線と前記画素電極の間に介在する保護膜とを備えた液晶表示装置において、前記画素電極内にはそのエッジ付近に信号線とほぼ平行な第一溝が形成され、前記保護膜には前記第一溝と対応する位置に第二溝を形成したことを特徴とする液晶表示装置。

【請求項2】

一方の基板上には、信号線と画素電極の間に位置すると共に走査線と同一平面に形成される遮光膜を有し、前記第一及び第二溝は遮光膜よりも画素の中央側に位置することを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記信号線と前記走査線の間にゲート絶縁膜が介在し、前記ゲート絶縁膜には保護膜の溝に相当する部分に溝が形成されたことを特徴とする請求項1乃至請求項2記載の液晶表示装置。

【請求項4】

前記信号線と前記画素電極を同一のエッチング液により除去可能な材質で形成したことを特徴とする請求項1乃至請求項3記載の液晶表示装置。

10

20

【請求項 5】

前記走査線及び前記信号線を A l で形成し、前記画素電極を I Z O で形成したことを特徴とする請求項 4 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示領域内の配線の短絡を防止して歩留まりを向上させた液晶表示装置に関する。

【0002】

【従来の技術】

一般に液晶表示装置には薄型軽量、低消費電力という特徴があり、小型携帯端末から大型テレビに至るまで幅広く利用されている。この液晶表示装置としては、各画素電極にスイッチング素子として T F T を設けた T F T 型液晶表示装置が主流になっている。この構成は、ガラス基板上に複数の走査線と複数の信号線を直交するように配線し、走査線と信号線の交差部分に T F T を設けている。このときガラス基板上には走査線、ゲート絶縁膜、信号線、保護膜が順に積層される。画素電極はゲート絶縁膜又は保護膜の上に形成され、T F T のゲート電極は走査線に、ソース電極は信号線に、ドレイン電極は画素電極にそれぞれ電氣的に接続する。走査線や信号線、画素電極はガラス基板の全面に材料となる金属が積層され、フォトリソグラフィ法などによってパターニングし、不要部分をエッチングで除去して形成される。このとき不要部分の一部分がエッチングされずに残ってしまうと、その残った部分と他の配線との間で短絡が生じ、表示不良の原因になっていた。

【0003】

このような問題の対策として特許第 2 7 3 8 2 8 9 号公報、再公表特許 W O 9 6 / 2 6 4 6 3 号公報がある。この構成を図 8、図 9 に基づいて説明する。図 8 は画素部分の概略平面図、図 9 は図 8 の二点鎖線に沿った断面図である。

【0004】

ガラス電極 1 0 0 上には走査線 1 0 1 がパターニングされ、走査線 1 0 1 上にゲート絶縁膜 1 0 2 が積層される。走査線 1 0 1 からは T F T のゲート電極 1 0 1 a と補助容量用の電極 1 0 1 b が張り出している。1 0 3 はゲート電極 1 0 1 a に対向してゲート絶縁膜 1 0 2 上に形成された半導体層であり、半導体層 1 0 3 上にはソース領域 1 0 4 とドレイン領域 1 0 5 が設けられる。ゲート絶縁膜 1 0 2 上には走査線 1 0 1 と直交するように信号線 1 0 6 がパターニングされ、信号線 1 0 6 からはソース領域 1 0 4 に接続するソース電極 1 0 6 a が張り出している。1 0 7 はドレイン領域 1 0 5 と画素電極 1 0 8 に接続するドレイン電極であり、ソース電極 1 0 6 a と同じ材料で同時形成される。この例では画素電極 1 0 8 が信号線 1 0 6 と同様にゲート絶縁膜 1 0 2 上に形成される。1 0 9 は信号線 1 0 6 や画素電極 1 0 8 を覆う保護膜であり、保護膜 1 0 9 には画素電極 1 0 8 と信号線 1 0 6 の間に該当する部分にスリット 1 1 0 が設けられる。そして例えば信号線 1 0 6 の形成時のエッチング処理が不十分なとき、残留部 1 1 1 によって信号線 1 0 6 と画素電極 1 0 8 が短絡状態になるが、保護膜 1 0 9 にスリット 1 1 0 を形成しその後にエッチング処理を施すことでスリット 1 1 0 内の残留部 1 1 1 を除去でき、画素電極 1 0 8 上に位置する残留部 1 1 1 を信号線 1 0 6 から切断する。

【0005】

【発明が解決しようとする課題】

一般に走査線や信号線は A l や C r で、画素電極は I T O で、保護膜は S i を含む無機絶縁膜で形成されることが多いため、保護膜用のエッチング液では金属である A l や C r 、I T O を同時にエッチングすることが出来ない。したがって従来の構成では残留部を各配線から切断するために、保護膜にスリットを形成した後にそのスリット内に存在する残留部を取除くエッチング処理を行う必要があり、製造工程が増えてしまう。特に A l 、C r 、I T O の全て材料を除去するエッチング液がないため、走査線、信号線、画素電極にそれぞれ異なる材料を用いた場合は、スリット内の残留部のエッチング処理を複数行う必要

10

20

30

40

50

があった。

【0006】

また配線などの残留部が他の配線と直に接続しなくても絶縁膜を介して近接した場合には、配線と残留部との間で電圧が飛び移って短絡状態になることがある。そのため残留部はできるだけ配線から切断することが望ましく、走査線も例外ではない。走査線の残留部に対処するためには、保護膜に形成した溝をゲート絶縁膜にまで延長することになる。しかし平面的に見て画素電極と信号線の間であって走査線と同一面上に遮光膜を形成する場合があります、この形態では遮光膜と溝の位置が重なるため、最適な位置に溝が形成できない。

【0007】

そこで本発明は、簡単な製造工程で確実に残留部を各配線から切断でき、最適な表示状態を得ることができる液晶表示装置を提供することを目的とする。

10

【0008】

【課題を解決するための手段】

上記課題を解決するために本発明は、液晶を封入した一对の基板と、一方の基板上にマトリクス状に配置された画素電極と、画素電極に接続するスイッチング素子と、スイッチング素子に接続すると共に互いにほぼ平行に配置された複数の信号線と、スイッチング素子と接続すると共に信号線と交差して配置された複数の走査線と、信号線と画素電極の間に介在する保護膜とを備えた液晶表示装置において、画素電極内にはそのエッジ付近に信号線とほぼ平行な第一溝が形成され、保護膜には第一溝と対応する位置に第二溝を形成したことを特徴とする。

20

【0009】

また本発明は、一方の基板上に、信号線と画素電極の間に位置すると共に走査線と同一平面に形成される遮光膜を有し、第一及び第二溝は遮光膜よりも画素の中央側に位置することを特徴とする。また、信号線と走査線の間にはゲート絶縁膜が介在し、ゲート絶縁膜には保護膜の溝に相当する部分に溝が形成されたことを特徴とする。また、信号線と画素電極を同一のエッチング液により除去可能な材質で形成したことを特徴とする。また、走査線及び信号線をA1で形成し、画素電極をIZOで形成したことを特徴とする。

【0010】

【発明の実施の形態】

以下、本発明の第1の実施形態を図に基づいて説明する。図1は画素電極を有する第一基板の平面図、図2は図1のA-A'線に沿った断面図、図3は突起と画素電極のスリットとの関係を示す模式図である。なおこの実施例はMVA型の場合を示す。

30

【0011】

1はガラス基板などの透明な第一基板、2はA1などで形成された走査線、3は走査線2と同時形成される補助容量用電極線であり、走査線2と補助容量用電極線3は第一基板1上に略等間隔で平行に配置される。4は走査線2や補助容量用電極線3上に積層されるゲート絶縁膜であり、ゲート絶縁膜4上にはA1などにより信号線5が形成される。この信号線5は走査線2と直交するように配置され、走査線2と信号線5で囲まれる領域が1画素に相当し、この1画素に対応してIZOなどからなる画素電極6を、走査線2と信号線5の交差部にスイッチング素子であるTFT7を配置する。この実施例では1画素に対して2つの信号線5が設けられ、1つの画素電極6に2つのTFT7が接続されている。従って製造中に一方のTFT7が不良になっても他方のTFT7により画素電極6を動作させることができ、歩留まりが向上する。

40

【0012】

8は信号線5やTFT7を覆う第一保護膜、9は第一保護膜8上に積層された第二保護膜であり、画素電極6は第二保護膜9上に形成される。例えばこの第二保護膜9はその表面を平坦にして平坦化膜として作用させてもよく、また第一保護膜8を無機絶縁膜で、第二保護膜9を有機絶縁膜で形成しても良い。両保護膜8、9にはTFT7のドレイン電極に対応する部分にコンタクトホール21が設けられ、コンタクトホール21を介して画素電極6とドレイン電極を電氣的に接続している。ゲート絶縁膜4上には補助容量用電極線3

50

に対向する部分に島状電極（図示せず）が設けられ、この島状電極は信号線 5 と同一の材料で且つ同時形成される。島状電極は両保護層 8、9 に形成されたコンタクトホールを介して画素電極 6 と電氣的に接続され、島状電極と補助容量用電極線 3 によって各画素の補助容量を成している。

【0013】

画素電極 6 のエッジ部は第一基板 1 の法線方向から観察したときに走査線 2 や信号線 5 と一部分で重複し、画素電極 6 内にはスリット 10 が複数設けられている。スリット 10 は画素電極 6 の一部分をフォトリソグラフィ法などによって取除いて形成され、隣接するスリット 10 とほぼ平行に配置されている。なお、この実施例では、スリット 10 が信号線 5 に対して約 45° 方向に延在し、補助容量電極線 3 を境にして延在方向が 90° ずれている。画素電極 6 の輪郭のうち、スリット 10 との位置関係により液晶分子の配列状態が乱れやすい部分がジグザク状に形成されている。それに伴い対向する信号線 5 の輪郭もジグザク状に形成されている。11 は画素電極 4 を覆う配向膜であり、垂直配向処理が施されている。

10

【0014】

22 は隣り合う信号線 5 の間に形成された溝である。図 1 では溝 22 に斜線を施している。この溝 22 はゲート絶縁膜 4 と保護膜 8、9 に連続的につながって設けられている。この溝 22 は信号線 5 に沿って形成され、両端部分は走査線 2 又は補助容量用電極 3 付近に位置する。そして走査線 2 や信号線 5 などの残留部が溝 22 に残っている場合、画素電極 6 を形成するときのエッチング液によって溝 22 内の残留物が同時にエッチングされ、残留物を走査線 2 や信号線 5 から切断できる。一般に Al と Cr と ITO は同じエッチング液によってエッチングできないが、Al と IZO は同じエッチング液によりエッチングできるため、走査線 2 や信号線 5 を Al で、画素電極 6 を IZO により形成することにより、余分な工程が設けなくても残留物がエッチングできる。

20

【0015】

12 はガラス基板などの透明な第二基板であり、第二基板 12 上には各画素を区切るようにブラックマトリックス 13 が形成され、各画素に対応してカラーフィルタ 14 が積層されている。カラーフィルタ 14 は各画素に対応して赤色（R）、緑色（G）、青色（B）のうち何れか一色のカラーフィルタ 14 が配置されている。カラーフィルタ 14 上には例えば ITO や IZO 等からなる透明電極 15 が積層され、透明電極 15 上には所定パターンの帯状の突起 16 が形成されている。突起 16 は例えばアクリル樹脂等からなるレジストをフォトリソグラフィ法によって所定パターンにして形成される。第二基板 12 の法線方向から観察したときに、各画素内で突起 16 はスリット 10 のほぼ中間に位置し、隣接するスリット 10 と平行になっている。突起 16 の延在方向もスリット 10 と同様に補助容量用電極 3 を境にして 90° ずれており、また画素電極 6 のエッジでは突起 16 a がそのエッジに沿って延在している。透明電極 15 及び突起 16 を垂直配向処理が施された配向膜 17 で覆っている。

30

【0016】

両基板 1、12 間には誘電率異方性が負の液晶層 18 が介在する。そして画素電極 6 と透明電極 15 の間に電界が生じないときは液晶分子 18 が配向膜 11、17 に規制されて垂直配列し、画素電極 6 と透明電極 15 の間に電界が発生したときは液晶分子 16 が水平方向に傾斜する。このとき液晶分子 18 はスリット 10 や突起 16 に規制されて所定方向に傾斜し、1 画素内に複数のドメインを形成することができる。なお図 2 は画素電極 6 と透明電極 15 の間に電界が発生した状態を模式的に示している。

40

【0017】

第一基板 1 の外側には第一偏光板 19 が、第二基板 12 の外側には第二偏光板 20 がそれぞれ配置され、第一偏光板 19 と第二偏光板 20 は互いの透過軸が直交するように設定されている。第二基板 12 の法線方向から観察したときに、偏光板 19、20 の透過軸と液晶分子 18 の傾斜方向が約 45° を成すとき、最も効率良く透過光が第二偏光板 20 を通過することができる。そして液晶分子 18 は突起 16 やスリット 10 に対して約 90° 方

50

向に傾斜するため、画素内のスリット10や突起16の延在方向と第二偏光板20の透過軸とが約45°を成すように両偏光板19、20は配置する。この実施例では第一偏光板19の透過軸が走査線2の延在方向と一致し、第二偏光板20の透過軸が信号線5の延在方向と一致するように設定する。

【0018】

そして画素電極6と透明電極15の間に電界が生じないときは液晶分子18が垂直配列するため、第一偏光板19を通過した直線偏光の透過光が液晶層18を直線偏光のまま通過して第二偏光板20で遮断され、黒表示になる。また画素電極6に所定の電圧が印加されて画素電極6と透明電極15の間に電界が発生したとき、液晶分子18が水平方向に傾斜するため、第一偏光板19を通過した直線偏光の透過光が液晶層18で楕円偏光になり第二偏光板20を通過して、白表示になる。

10

【0019】

次に第一基板1に各膜を形成する工程を図4に基づいて説明する。図4(a)では、ガラス基板1上にA1を成膜し、露光処理、エッチングをして走査線2及び補助容量用電極3を形成する。なお図4(a)は走査線2や補助容量用電極3が存在しない部分の断面を示し、23はA1のエッチング不良による残留部を示す。図4(b)では、走査線2などの上にゲート絶縁膜4を積層し、ゲート電極に対向する部分に島状の半導体層(図示せず)を形成する。図4(c)では、ゲート絶縁膜4上にA1を成膜し、露光処理、エッチングにより信号線5、ソース電極、ドレイン電極などを形成する。なお24はエッチング不良による残留部を示し、隣接する信号線5が残留部24によって短絡している。図4(d)ではゲート絶縁膜4や信号線5の上に第一保護膜8と第二保護膜9を積層する。図4(e)では保護膜8、9やゲート絶縁膜4の所定箇所にコンタクトホール21や溝22をエッチングして形成する。このとき保護膜用のエッチング液ではA1である残留物23、24はエッチングできないため、残留物23、24はそのまま溝内に露出した状態で残る。図4(f)では第二保護膜9上にIZOを成膜し、露光処理、エッチングにより所定形状の画素電極6を形成する。このときIZOを除去するエッチング液によりA1も除去できるため、溝22内に存在する残留物23、24は除去される。その後、画素電極6や第二保護膜9の上に配向膜11を積層する。

20

【0020】

このように本発明では、画素電極6を形成する際に溝22内の残留部も除去できるため、特別に溝22内の残留部を取り除く工程を設ける必要がない。なお、走査線2や信号線5をA1で形成する場合を説明したが、IZOとの電気的なコンタクトの相性を考慮してA1とMoなどの積層構造にしてもよい。

30

【0021】

次に第2の実施形態を図面に基いて説明する。図5は画素電極を有する第一基板の平面図、図6は図1のB-B'線に沿った断面図である。なおこの実施例はTN型の場合を示す。

【0022】

31は透明なガラス基板などからなる第一基板であり、32は第一基板31上に形成された走査線である。この走査線32はA1より形成され、複数の走査線32を平行に配置している。34はゲート絶縁膜であり、第一基板31や走査線32に積層される。35はゲート絶縁膜34上に形成された信号線であり、信号線35はA1などにより形成され、走査線32と直交するように配線されている。走査線32と信号線35の交差部分にはスイッチング素子であるTFE36が配置され、このTFE36は次のように構成されている。走査線32から張出したゲート電極をゲート絶縁膜34で覆い、ゲート絶縁膜34上にはゲート電極と対向して半導体層を積層する。半導体層上にソース領域とドレイン領域を形成し、ソース領域はソース電極と、ドレイン領域はドレイン電極とそれぞれ接続される。このソース電極とドレイン電極は信号線35を形成する際に同時に形成され、ソース電極は信号線35から突出した形状になっている。37は信号線35やゲート絶縁膜34を覆う保護膜であり、保護膜37上には走査線32と信号線35で囲まれる領域に画素電極

40

50

38が形成される。33は第一基板31上に形成された帯状の遮光膜であり、第一基板31の法線方向から見たときに信号線35と画素電極38の間であって画素電極38のエッジに沿って位置し、信号線35と画素電極38の間からの光漏れを防いでいる。図5では遮光膜33に斜線を施している。この遮光膜33は走査線32と同様にA1で形成され、走査線32と同一工程により同時形成される。画素電極38には後述する第一溝39aが、ゲート絶縁膜34と保護膜37には後述する第二溝39bが形成されている。40は画素電極38や保護膜37に積層された配向膜であり、例えば走査線32に平行な方向へ配向処理が施されている。

【0023】

41はガラス基板などよりなる第二基板であり、第一基板とほぼ等間隔をおいて対向配置される。42はガラス基板上に形成され、走査線や信号線に対向して形成されたブラックマトリックスである。このブラックマトリックスはCrなどから形成され、各画素間を仕切っている。43は各画素に対応して形成されたカラーフィルタであり、画素毎に赤色(R)、緑色(G)、青色(B)のうち何れか一色が配置されている。カラーフィルタ43上には例えばITOやIZO等からなる透明電極44が積層され、透明電極44は配向膜45で覆われている。この配向膜には第一基板の配向膜の配向方向と直交する方向(この実施例では信号線と平行方向)に水平配向処理が施されている。

【0024】

両基板31、41間には誘電率異方性が正の液晶層46が封入されている。そして画素電極38と透明電極44の間に電界が生じないときは液晶分子46が配向膜40、45に規制されて90度ねじれながら水平配列し、画素電極38と透明電極44の間に電界が発生したときは液晶分子46が電界に沿って起き上がって垂直配列する。なお図5は画素電極38と透明電極44の間に電界が発生していない状態を模式的に示している。

【0025】

第一基板31の外側には第一偏光板47が、第二基板41の外側には第二偏光板48がそれぞれ配置され、第一偏光板47と第二偏光板48は互いの透過軸が直交するように設定されている。また第一偏光板47の透過軸と配向膜40の配向方向が一致し、第二偏光板48の透過軸と配向膜45の配向方向が一致するように設定する。そして電界無印加時は、第一偏光板47の透過光が液晶分子46によって振幅方向が90度ずれた状態で通過して第二偏光板48を透過する。また電界印加時は、第一偏光板47の透過光が液晶層46をそのままの状態通過し、第二偏光板48で遮断される。

【0026】

次に第一溝39a及び第二溝39bの形態について説明する。走査線32や信号線35のエッチング不足により画素電極38の下方にまで残った残留部は、画素電極38のエッチング時に溝39a、39bの部分で同時にエッチングされて取除かれる。従って溝39a、39bはできるだけ走査線32や信号線35に近接して位置する方が効果的である。しかし信号線35と画素電極38の間には遮光膜33が存在し、また補助容量を形成するために画素電極38の一部と隣接する画素の走査線32が重複しており、溝39a、39bの配置が困難である。そこで溝39a、39bを画素電極38内であって、できるだけ遮光膜33若しくは走査線32に近い位置に形成している。

【0027】

画素電極38の第一溝39aは遮光膜33や走査線32に沿って細長状に形成され、複数に分けて設けられている。第一溝39aを複数に分けることで、画素電極38の中央部分と第一溝39aよりも外側に位置するエッジ部分との電気的なコンタクトが数カ所で行うことができ、画素電極38全体を同電位に保つことが可能になる。また第一溝39aの幅をあまり広くすると液晶分子46に対する規制力が弱くなるが、第一溝39aの幅が狭い場合には第一溝39aを設けない場合と同等の規制力を保つことができる。第二溝39bは第一溝39aに対応した位置に形成される。両溝39a、39bを形成する際、第二溝39bの外側(走査線32又は信号線35側)のエッジは第一溝39aの外側(走査線32又は信号線35側)のエッジよりも内側(画素の中央側)に位置している。この位置関

10

20

30

40

50

係によって溝 39a、39b に存在する残留部は少なくとも第二溝 39b の外側のエッジ部分で確実に除去されるため、溝内の残留部を確実に取除くことができながらも画素電極 38 の第一溝 39a の幅を狭くすることができる。

【0028】

次に第一基板 31 上の成膜工程を図 7 に基づいて説明する。図 7 (a) では、第一基板 31 上に A1 を成膜し、走査線 32 や遮光膜 33 をパターンニング、エッチングにより形成する。49 はエッチング不足による残留部を示し、遮光膜 33 からその周囲に広がっている。遮光膜 33 には電圧が印加されないが、その残留部 49 が信号線 35 と画素電極 38 の下方に位置する場合は、残留部 49 を介して信号線 35 と画素電極 38 が短絡状態になる可能性がある。図 7 (b) では、第一基板 31、走査線 32、遮光膜 33 上にゲート絶縁膜 34 を積層する。そしてゲート絶縁膜 34 上に半導体層を積層し、エッチングによりゲート電極に対向する部分に島状の半導体を残す。図 7 (b) では、TFT 36 や走査線 32 が存在しない部分の断面を示しているため、走査線 32 や半導体層などは図示していない。図 7 (c) では、ゲート絶縁膜 34 上に A1 を成膜し、信号線 35 などを形成する。50 は信号線 35 を形成する際にエッチング不足により残った残留部を示し、信号線 35 から画素領域 38 内にまで伸びている。図 7 (d) では、信号線 35 上に例えば無機絶縁膜からなる保護膜 37 を積層する。図 7 (e) では、ゲート絶縁膜 34 と保護膜 37 の所定の箇所にコンタクトホールや第二溝 39b などを形成する。図 7 (f) では、保護膜 37 上に IZO を積層し、画素電極 38 を形成する。このとき画素電極 38 の第一溝 39a もエッチングにより形成するが、IZO のエッチング液によって A1 もエッチングできるため、溝 39 内に存在する残留部 49、50 も同時にエッチングされて除去される。従って画素電極 38 下の残留部 49 は遮光膜 33 と切断され、画素電極 38 下の残留部 50 は信号線 35 と切断される。

【0029】

このように溝 39 を遮光膜 33 の内側に形成したため、画素電極 38 の下方にまで広がる残留部を各配線などから確実に切断でき、高い表示品位を保つことができる。また、遮光膜 33 よりも内側に溝 39 を配置したので、遮光膜 33 などの形成が可能になる。

【0030】

なお、本発明の要旨を逸脱しない範囲であれば上記実施形態以外の形態も可能である。例えば走査線や信号線を A1 で形成し、画素電極を IZO で形成したが、この組合せ以外で画素電極と走査線、信号線を同時にエッチングできる材料を用いてもよい。また実施例では MVA 方式と TN 方式について説明したが、それ以外の方式でもよい。

【0031】

【発明の効果】

本発明によれば、保護膜などに形成される溝を画素電極と信号線の間ではなく、隣り合う信号線の間や画素電極内であってエッジ付近に設け、その溝を介して信号線などのエッチング不足による残留物を除去するため、画素電極を信号線に重なる程度大きくした場合や画素電極と信号線の間で遮光膜を形成した場合でも、溝内に存在する信号線などの残留部を取除いて他の配線との短絡を防止できる。

【0032】

また、走査線や信号線を A1 で形成し、画素電極を IZO で形成することによって、同一のエッチング液によって各金属のエッチングが可能になり、製造工程が簡略化できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例である液晶表示装置の画素電極を有する第一基板の平面図である。

【図 2】図 1 における A - A' に沿った断面概略図である。

【図 3】本発明の画素電極と突起との位置関係を示した模式図である。

【図 4】本発明の第一基板上への成膜工程を説明する図である。

【図 5】本発明の第 2 の実施例である液晶表示装置の画素電極を有する第一基板の平面図である。

10

20

30

40

50

【図 6】図 5 における B - B ' に沿った断面概略図である。

【図 7】本発明の第一基板上への成膜工程を説明する図である。

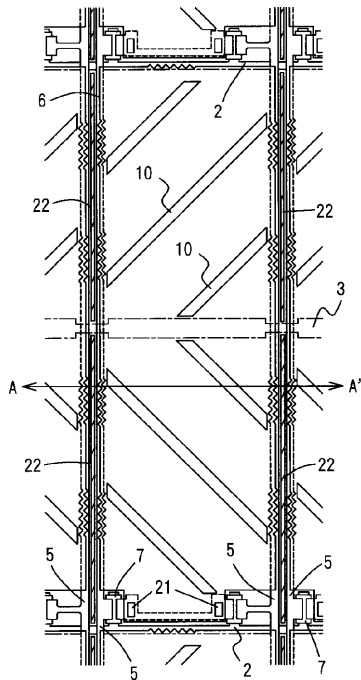
【図 8】従来の液晶表示装置の画素電極を有する基板の平面図である。

【図 9】図 8 の二点鎖線に沿った断面概略図である。

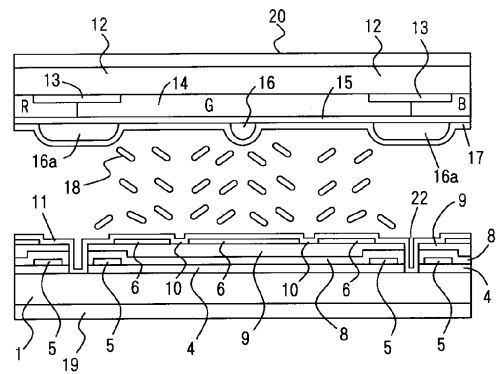
【符号の説明】

- 1、31 第一基板
- 5、35 信号線
- 6、38 画素電極
- 22、39 a、39 b 溝
- 12、41 第二基板

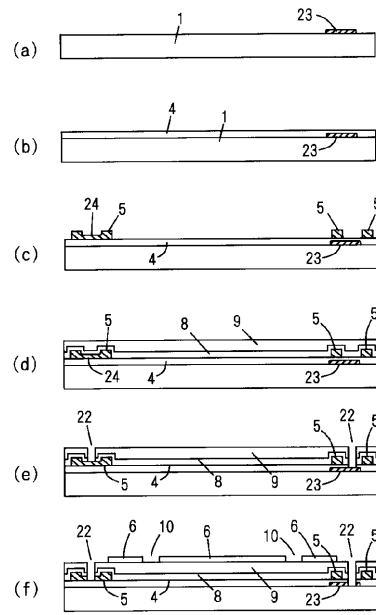
【図 1】



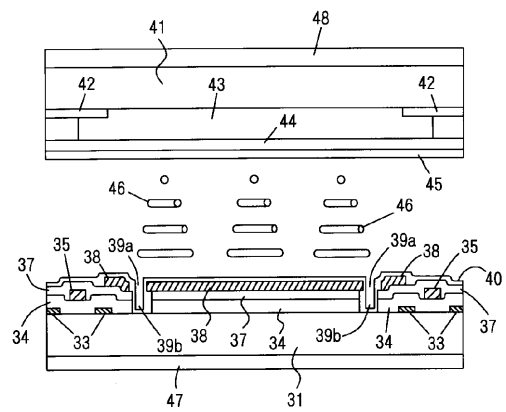
【図 2】



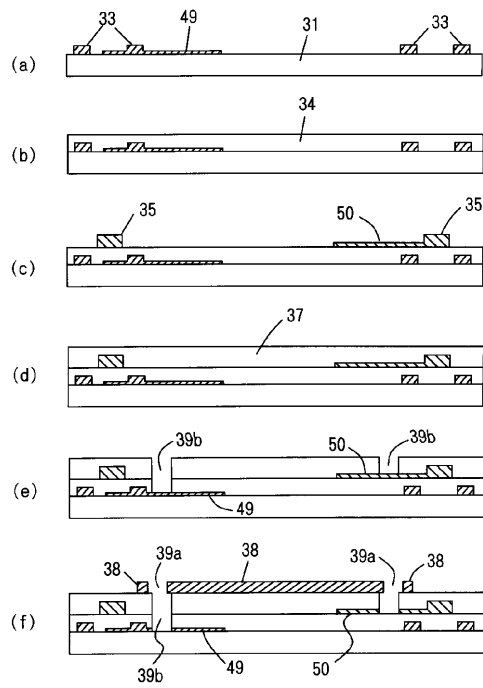
【 図 4 】



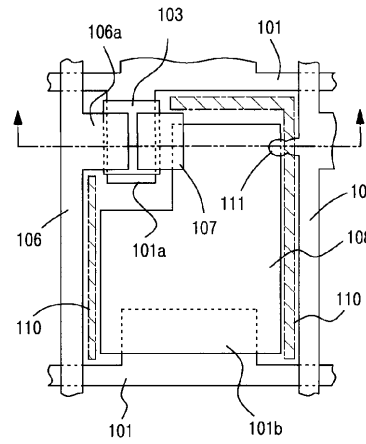
【 図 6 】



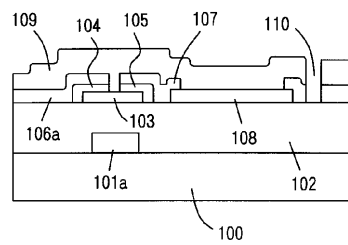
【図 7】



【図 8】



【図 9】



フロントページの続き

審査官 福島 浩司

- (56)参考文献 特開平09-258244(JP,A)
特開平06-051349(JP,A)
特開平08-272529(JP,A)
特開平11-109405(JP,A)
特開昭61-232483(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1333

G02F 1/1337

专利名称(译)	液晶表示装置		
公开(公告)号	JP3806629B2	公开(公告)日	2006-08-09
申请号	JP2001300778	申请日	2001-09-28
[标]申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
[标]发明人	木下卓生 田中慎一郎		
发明人	木下 卓生 田中 慎一郎		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1337		
FI分类号	G02F1/1343 G02F1/1333.505 G02F1/1337		
F-TERM分类号	2H090/HA02 2H090/HA03 2H090/HA16 2H090/MA14 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB32 2H092/JB33 2H092/JB42 2H092/JB56 2H092/MA12 2H092/MA17 2H092/NA16 2H092/NA17 2H092/NA27 2H092/NA29 2H092/PA09 2H092/PA11 2H190/HA02 2H190/HA03 2H190/LA25 2H290/AA15 2H290/AA33 2H290/BB24 2H290/BB44 2H290/BB53 2H290/CA46		
审查员(译)	福島浩二		
其他公开文献	JP2003107502A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种液晶显示装置，该液晶显示装置能够在简单的制造过程中可靠地断开每个布线的残留部分，并防止布线之间的短路并获得最佳的显示状态。像素电极以矩阵形式布置在基板上，TFT连接到像素电极，并且提供连接到TFT的信号线和扫描线。保护膜8和9插入在信号线5和像素电极6之间。两条信号线5并置在像素电极6之间，并且在相邻信号线5之间的保护膜8,9中形成凹槽。

