

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3685029号
(P3685029)

(45) 発行日 平成17年8月17日(2005.8.17)

(24) 登録日 平成17年6月10日(2005.6.10)

(51) Int. Cl.⁷

F I

G09G 3/36
G02F 1/133
G09G 3/20G09G 3/36
G02F 1/133 575
G09G 3/20 611D
G09G 3/20 623C
G09G 3/20 641P

請求項の数 9 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2000-304980 (P2000-304980)
(22) 出願日 平成12年10月4日(2000.10.4)
(65) 公開番号 特開2002-116735 (P2002-116735A)
(43) 公開日 平成14年4月19日(2002.4.19)
審査請求日 平成16年1月19日(2004.1.19)(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅普
(74) 代理人 100107261
弁理士 須澤 修
(72) 発明者 青木 透
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 液晶表示装置、画像信号補正回路、液晶表示装置の駆動方法、および画像信号補正方法、ならびに電子機器

(57) 【特許請求の範囲】

【請求項1】

水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号と、所定の濃度に応じた情報を有する基準信号との差を求める減算器と、前記減算器による減算出力を、水平走査毎に積分する積分器と、前記積分器による積分出力と、これに対応する画像信号とを加算する加算器と、前記加算器による加算出力に基づく信号が、前記水平走査および垂直走査に応じて印加される画素電極と、前記画素電極とは液晶を介して対向する対向電極とを具備することを特徴とする液晶表示装置。

【請求項2】

前記基準信号は、灰色の濃度に対応する情報を有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記積分器による積分出力を徐々に減衰する減衰手段を、さらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】

水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号にしたがって表示を行う液晶パネルの前段に設けられる画像信号補正回路であって、

前記画像信号と、所定の濃度に応じた情報を有する基準信号との差を求める減算器と、前記減算器による減算出力を、水平走査毎に積分する積分器と、前記積分器による積分出力と、これに対応する画像信号とを加算し、この加算結果に基づく信号を、画像信号として前記液晶パネルに供給することを特徴とする画像信号補正回路。

【請求項 5】

前記基準信号は、灰色の濃度に対応する情報を有することを特徴とする請求項 4 に記載の画像信号補正回路。

【請求項 6】

前記積分器による積分出力を徐々に減衰する減衰手段を、さらに備えることを特徴とする請求項 4 に記載の画像信号補正回路。

10

【請求項 7】

画素電極と、前記画素電極と液晶を介して対向する対向電極を具備する液晶表示装置の駆動方法において、

水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号と、所定の濃度に応じた情報を有する基準信号との差を求め、

前記画像信号と前記基準信号との前記差を、水平走査毎に積分し、

前記積分された値と、これに対応する画像信号とを加算し、

前記加算された値に基づく信号が、前記水平走査および垂直走査に応じて画素電極に印加することを特徴とする液晶表示装置の駆動方法。

20

【請求項 8】

水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号にしたがって液晶パネルに表示を行う画像信号補正方法であって、

前記画像信号と、所定の濃度に応じた情報を有する基準信号との差を求め、

前記画像信号と前記基準信号との前記差を、水平走査毎に積分し、

前記積分された値と、これに対応する画像信号とを加算し、この加算結果に基づく信号を、画像信号として前記液晶パネルに供給する

ことを特徴とする画像信号補正方法。

【請求項 9】

請求項 1 乃至 3 のいずれかに記載の液晶表示装置を表示部に用いたことを特徴とする電子機器。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、いわゆる横クロストークによる表示品位の低下を防止した液晶表示装置、並びに、その画像信号補正回路、この液晶表示装置を表示部に適用した電子機器に関する。

【0002】

【従来の技術】

一般に、液晶を用いて所定の表示を行う液晶パネルは、一対の基板間に液晶が挟持された構成となっている。このような液晶パネルは、駆動方式によりいくつかに分類することができるが、例えば、画素電極を三端子型のスイッチング素子により駆動するアクティブマトリクス型にあっては、次のような構成となっている。すなわち、この種の液晶パネルを構成する一対の基板のうち、一方の基板には、複数の走査線と複数のデータ線とが互いに交差するように設けられるとともに、これらの交差部分の各々に対応して薄膜トランジスタのような三端子型のスイッチング素子および画素電極の対が設けられ、さらに、これらの画素電極が設けられる領域（表示領域）の周辺には、走査線およびデータ線の各々を駆動するための周辺回路が設けられる。また、他方の基板には画素電極に対向する透明な対向電極（共通電極）が設けられて、一定の電位に維持されている。くわえて、両基板の各対向面には、液晶分子の長軸方向が両基板間で例えば約 90 度連続的に捻れるようにラビング処理された配向膜がそれぞれ設けられる一方、両基板の各背面側には配向方向に応じ

40

50

た偏光子がそれぞれ設けられる。

【 0 0 0 3 】

ここで、走査線とデータ線との交差部分に設けられたスイッチング素子は、対応する走査線に印加される走査信号がアクティブレベルになるとオンして、対応するデータ線にサンプリングされた画像信号を画素電極に供給するものである。このため、画素電極と対向電極と両電極間に挟持された液晶とからなる液晶容量には、対向電極の電位と画像信号の電位との電位差が印加されることになる。この後、スイッチング素子がオフしても、液晶容量には、それ自身や蓄積容量の容量性によって、すでに印加された電位差が保持されることになる。

【 0 0 0 4 】

この際、画素電極と対向電極との間を通過する光は、両電極間に印加された電位差がゼロであれば、液晶分子の捻れに沿って約90度旋光する一方、電位差の大きくなるにつれて、液晶分子が電界方向に傾く結果、その旋光性が消失する。このため、例えば透過型において、入射側と背面側とに、配向方向に合わせて偏光軸が互いに直交する偏光子をそれぞれ配置させた場合（ノーマリーホワイトモードの場合）、両電極に印加される電位差がゼロであれば、光が透過するので白（透過率が大になる）表示になる一方、両電極に印加される電位差が大きくなるにつれて光が遮断して、ついには黒（透過率が小になる）表示になる。したがって、画素電極に印加する電圧を画素毎に制御することによって、所定の表示が可能となっている。

【 0 0 0 5 】

【 発明が解決しようとする課題 】

しかしながら、このような液晶パネルでは、いわゆる横クロストークにより表示品位の低下が発生する、という問題があった。ここで、横クロストークには、いくつかの種類があるが、本件でいう横クロストークとは、ノーマリーホワイトモードであれば、例えば、図11に示されるように、一定濃度の灰色を背景にして矩形の黒表示を行う場合、その黒色領域の右側（水平走査方向の側）における灰色領域が、本来の灰色よりも明るくなった後（場合によっては暗くなった後）、本来の灰色に徐々に戻る、というものである。なお、図11においては、濃度を斜線の線密度により示している。

【 0 0 0 6 】

本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、いわゆる横クロストークの発生を抑えて、高品位な表示が可能な液晶表示装置、並びに、その画像信号補正回路、この液晶表示装置を表示部に適用した電子機器を提供することにある。

【 0 0 0 7 】

【 課題を解決するための手段 】

まず、横クロストークの原因について検討する。上述したように、液晶容量は、画素電極と対向電極との間に液晶を挟持してなるが、対向電極は、ITO（Indium Tin Oxide：インジウム錫酸化物）などの透明薄膜金属からなるので、少なからず抵抗を有する。このため、画素電極から対向電極までに至る経路は、容量分および配線抵抗からなる一種の微分回路となる。

一方、液晶容量の保持特性を改善するために、液晶容量と並列に蓄積容量が設けられる構成が一般的である。詳細には、この蓄積容量は、一端が画素電極に接続される一方、他端が容量線に共通接続された構成となっている。ここで、容量線は、走査線と同じポリシリコンからなるので、抵抗分を有する結果、対向電極と同様に、画素電極から容量線までに至る経路は、容量分および配線抵抗からなる一種の微分回路となる。

【 0 0 0 8 】

このため、走査線とデータ線との交差部分に設けられたスイッチング素子がオンして、対応する画素電極に、ある濃度に対応する画像信号が印加されたとき、容量線の電位は、画素電極の電位変化方向に、かつ、その変化量に応じて変化した後、その時定数に応じて徐々に本来の電位に回復することになる。対向電極の電位も同様である。

【 0 0 0 9 】

10

20

30

40

50

次に、説明の便宜上、液晶容量に印加される電圧実効値がゼロの場合に白色表示を行うノーマリーホワイトモードを想定すると、画素電極における電位変化量は、画素の濃度が黒に近づくにつれて大きくなる。このため、最も電位変化量が大きくなる黒色画素を連続して書き込むと、ある黒色画素の書込によって変位した対向電極や容量線の電位が本来の電位に回復する前に、次の黒色画素の書込が行われてしまう事態が起こり得る。この事態が発生すると、対向電極や容量線の電位は、本来の電位に回復する前に、変位してしまうことになるから、本来の電位から次第に離れてしまうことになる。一方、対向電極や容量線の電位は、本来の電位から変位しても、画素電極の電位変化量が少なくなれば、本来の電位に徐々に戻るはずである。

【 0 0 1 0 】

ここで、対向電極や容量線の電位が本来の電位から変位している状態で、画素電極に接続されたスイッチング素子がオフしてしまうと、その液晶容量に印加される電圧実効値は、対向電極や蓄積容量の電位が変位している分だけ、小さくなってしまうので、画素は本来の濃度よりも明るく（白く）になってしまう。一方、対向電極や容量線の電位が本来の電位である状態で、スイッチング素子がオフすると、その液晶容量に印加される電圧実効値は、本来あるべき値になる。

【 0 0 1 1 】

このため、図 1 1 における現象、詳細には、黒色領域の右側における灰色領域が本来の灰色よりも明るくなった後に本来の灰色に徐々に戻る現象は、次のような理由により発生すると考えられる。すなわち、この現象は、画素電極における電位変化量が最大である黒色画素を連続して書き込むことによって、対向電極や容量線の電位が本来の電位から離れてしまった状態において、灰色画素を書き込んでしまったが、画素電極における電位変化量が比較的小さい灰色画素を連続して書き込むうちに、対向電極や容量線の電位が本来の電位に徐々に戻るために発生する、と考えられる。

【 0 0 1 2 】

このような考えは、本件の発明者が、横クロストークによる表示品位の低下の程度と、黒色領域の形状との因果関係を調査することによって判明した次のような傾向と一致する。詳細には、表示品位の低下は、黒色領域の位置や、黒色領域における上下方向（垂直走査方向）の距離 h とは相関性がないが、黒色領域の右側における灰色部分は、黒色領域における水平方向の距離 w が広がるにつれて明るくなり、また、背景の灰色と黒色との濃度差が大きくなるにつれて、顕著に現れる。すなわち、距離 w が広いということは、黒色画素を連続して書き込む回数が多いということであるから、対向電極や容量線の電位の変位量を大きくさせる方向に作用し、また、背景の灰色と黒色との濃度差が大きくなることは、同様に、対向電極や容量線の電位の変位量を大きくさせる方向に作用する、と考えられるからである。

【 0 0 1 3 】

なお、このような考えによれば、対向電極や容量線の電位は、黒色画素を連続して書き込むことにより、本来の電位から次第に離れてしまうことになるので、黒色領域では右側に位置する画素ほど、液晶容量に印加される電圧実効値が、本来の値よりも小さくなっているはずである。しかしながら、黒色画素において電圧実効値の相違があるにもかかわらず、これが表示品位の低下として視認されないのは、画素を黒色（白色）とする場合には、液晶容量の電圧実効値が多少変動しても、濃度（透過率）はほとんど変化しないためである。

換言すれば、横クロストークにおける表示品位の低下は、液晶容量に印加される電圧実効値の変化に対して濃度変化率が大きい灰色表示領域にて視認されやすいものであり、黒色（白色）表示領域に限って言えば、表示品位の低下はほとんど問題にならない。

【 0 0 1 4 】

また、液晶容量と蓄積容量とを比較した場合、容量的には蓄積容量の方が大きいので、横クロストークの原因は、容量線の電位変動による影響が、対向電極の電位変動による影響よりも大きいと考えられる。さらに、これらの容量のほかにも、画素電極とデータ線との

10

20

30

40

50

寄生容量など、各種の容量による影響を受けているとも考えられる。

【0015】

さて、横クロストークが、対向電極や容量線等の電位変動に起因して発生するならば、対向電極や容量線の配線抵抗を小さく抑えれば良いはずであるが、液晶パネルのサイズやプロセス等の制約のために、配線抵抗を小さくするにも限界がある。

そこで、本件では、対向電極や容量線のように、画素電極を一端とする容量の他端において本来の電位から変位する分を、補正信号として予め画像信号に上乘せすることにより、本来の濃度に対応する電圧実効値が液晶容量に印加される構成としたのである。

【0016】

具体的には、本発明に記載の液晶表示装置は、水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号と、所定の濃度に応じた情報を有する基準信号との差を求める減算器と、前記減算器による減算出力を、水平走査毎に積分する積分器と、前記積分器による積分出力と、これに対応する画像信号とを加算する加算器と、前記加算器による加算出力に基づく信号が、前記水平走査および垂直走査に応じて印加される画素電極と、前記画素電極とは液晶を介して対向する対向電極とを具備する構成を特徴としている。

10

【0017】

この構成によれば、画像信号と基準信号との差、すなわち、画像信号で示される濃度と基準信号で示される濃度との濃度差が求められて、この濃度差が水平走査の開始から順番に積分される。このため、積分結果は、水平走査の開始から、画像信号で示される濃度と基準信号で示される濃度との濃度差と、当該差が生じている期間とに応じた値になるので、電位変動による影響を模擬した信号になる。そして、この信号が、元の画像信号にタイミングを合わせて加算されて、画素電極に印加される。このため、画素電極には、対向電極や容量線等の電位変動による影響をキャンセルする電圧が加算される。したがって、対向電極や容量線等が電位変動しても、本来の濃度に対応する電圧実効値が、画素電極および対向電極の間に印加されるので、表示品位の低下が防止されることになる。

20

【0018】

また、本発明に記載の画像信号補正回路は、画像信号を液晶パネルに供給する際に、補正を行う補正回路として概念されるものであり、具体的には、水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号にしたがって表示を行う液晶パネルの前段に設けられる画像信号補正回路であって、前記画像信号と、所定の濃度に応じた情報を有する基準信号との差を求める減算器と、前記減算器による減算出力を、水平走査毎に積分する積分器と、前記積分器による積分出力と、これに対応する画像信号とを加算し、この加算結果に基づく信号を、画像信号として前記液晶パネルに供給する構成を特徴としている。この構成においても、画素電極には、対向電極や容量線等の電位変動による影響をキャンセルする電圧が加算されて印加されるので、同様に、表示品位の低下が防止されることになる。

30

また、本発明に記載の液晶表示装置の駆動方法は、画素電極と、前記画素電極と液晶を介して対向する対向電極を具備し、水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号と、所定の濃度に応じた情報を有する基準信号との差を求め、前記画像信号と前記基準信号との前記差を、水平走査毎に積分し、前記積分された値と、これに対応する画像信号とを加算し、前記加算された値に基づく信号が、前記水平走査および垂直走査に応じて画素電極に印加することを特徴としている。

40

また、本発明に記載の画像信号補正方法は、水平走査および垂直走査に応じて供給されるとともに画素の濃度に応じた情報を有する画像信号にしたがって液晶パネルに表示を行う画像信号補正方法であって、前記画像信号と、所定の濃度に応じた情報を有する基準信号との差を求め、前記画像信号と前記基準信号との前記差を、水平走査毎に積分し、前記積分された値と、これに対応する画像信号とを加算し、この加算結果に基づく信号を、画像信号として前記液晶パネルに供給することを特徴としている。

【0019】

50

ここで、上記の各発明において、基準信号は、画素の濃度を灰色にする電圧を有することが望ましい。上述したように、表示品位の低下は、電圧実効値に対して濃度変化率が大きい灰色表示領域で発生するので、画素の濃度を灰色にする電圧との比較が有効になるからである。

【0020】

また、対向電極や容量線等は、電位変動しても、それらの時定数にしたがって定常状態に戻るので、補正信号としては、時間が経過するにつれて減衰させる構成が望ましい。このため、第1または第2発明において、前記積分器による積分出力を徐々に減衰する減衰手段を、さらに備える構成が良い。この構成により画像信号に対する過剰な補正が防止されることになる。なお、このように積分結果を徐々に減衰する減衰手段としては、積分結果を一定の割合で減衰して、積分器の入力にフィードバックする構成や、時間経過とともにゼロに近づく係数を積分結果に乗算する構成などが考えられる。

10

【0021】

さらに、本発明に係る電子機器は、上記液晶表示装置を表示部に備えるので、横クロストークを抑制した高品位の表示が可能になる。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態に係る液晶表示装置について説明する。図1は、実施形態に係る液晶表示装置の全体構成を示すブロック図である。この図に示されるように、液晶表示装置は、液晶パネル100と、制御回路200と、画像信号補正回路300と、処理回路400とから構成される。このうち、制御回路200は、上位装置から供給される垂直走査信号 V_s 、水平走査信号 H_s およびドットクロック信号 CLK にしたがって、各部を制御するためのタイミング信号やクロック信号などを生成するものである。

20

【0023】

続いて、画像信号補正回路300は、垂直走査信号 V_s 、水平走査信号 H_s およびドットクロック信号 CLK に同期して（すなわち、垂直走査および水平走査にしたがって）供給されるデジタルの画像信号 VID から、対向電極の電位変動を模擬した補正信号を生成し、画像信号 VID に加算して、補正画像信号 VID' として出力するものである。なお、この画像信号補正回路300の詳細については後述する。

【0024】

次に、処理回路400は、 D/A 変換器402、 S/P 変換回路404および増幅・反転回路406からなり、画像信号補正回路300により補正された画像信号 VID' を、液晶パネル100への供給に適した信号に処理するものである。

30

このうち、 D/A 変換器402は、補正されたデジタルの画像信号 VID' をアナログの画像信号に変換するものである。また、 S/P 変換回路404は、アナログの画像信号を入力すると、これを N （図においては $N=6$ ）系統に分配するとともに、時間軸に N 倍に伸長（シリアル-パラレル変換）して出力するものである。なお、画像信号をシリアル-パラレル変換する理由は、後述するサンプリングスイッチ151（図3参照）において、画像信号が印加される時間を長くして、サンプル&ホールド時間および充放電時間を十分に確保するためである。

40

【0025】

一方、増幅・反転回路406は、シリアル-パラレル変換された画像信号のうち、極性反転が必要となるものを反転させ、その後、適宜、増幅して画像信号 $VID_1 \sim VID_6$ として液晶パネル100に供給するものである。なお、反転するか否かについては、データ信号の印加方式が 1 走査線単位の極性反転であるか、 2 データ信号線単位の極性反転であるか、 3 画素単位の極性反転であるかに応じて定められ、その反転周期は、 1 水平走査期間またはドットクロック周期に設定される。ただし、この実施形態にあっては説明の便宜上、 1 走査線単位の極性反転である場合を例にとって説明するが、本発明をこれに限定する趣旨ではない。

【0026】

50

また、変換された画像信号VID1～VID6の液晶パネル100への供給タイミングは、本実施形態では同時とするが、ドットクロックに同期して順次シフトしても良く、この場合は後述するサンプリング回路にて、N系統の画像信号を順次サンプリングする構成となる。ここで、本実施形態における極性反転とは、所定の一定電位Vc(画像信号の振幅中心電位であり、対向電極の印加される電圧LCcomとほぼ等しい)を基準として正極性と負極性とに交互に電圧レベルを反転させることをいう。

【0027】

なお、ここでは、処理回路400の入力段においてアナログ変換したが、シリアル-パラレル変換した後や、増幅・反転後において、アナログ変換しても良いのはもちろんである。

10

【0028】

<液晶パネルの構造>

次に、液晶パネル100の構造について説明する。図2(a)は、この液晶パネル100の構成を示す斜視図であり、図2(b)は、図2(a)におけるA-A'線の断面図である。

これらの図に示されるように、液晶パネル100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が設けられた対向基板102とが、スペーサ(図示省略)を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に例えばTN(Twisted Nematic)型の液晶105が封入された構成となっている。

20

【0029】

なお、素子基板101には、本実施形態では、ガラスや、半導体、石英などが用いられるが、不透明な基板を用いても良い。ただし、素子基板101に、不透明な基板を用いる場合には、透過型ではなく反射型として用いる必要がある。また、シール材104は、対向基板102の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0030】

次に、素子基板101の対向面であって、シール材104の外側一辺の領域140aには、データ線駆動回路140が形成され、さらに、この内側の領域150aには、サンプリング回路150が形成されている。一方、この一辺の外周部分には、複数の実装端子107が形成されて、制御回路200や処理回路400などから各種信号を入力する構成となっている。

30

【0031】

また、この一辺に隣接する2辺の領域130aには、それぞれ走査線駆動回路130が形成されて、走査線を両側から駆動する構成となっている。なお、走査線に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路130を片側1個だけに形成する構成でも良い。さらに、残りの一辺の領域160aには、2個の走査線駆動回路130において共用される配線(図示省略)や、後述するプリチャージ回路160などが形成される。

40

【0032】

一方、対向基板102に設けられる対向電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所に設けられた銀ペースト等などの導通材によって、素子基板101に形成された実装端子107と電氣的に接続されて、一定の電圧LCcomが印加される構成となっている。

【0033】

ただし、対向電極108は、通常、対向基板102においてパターンニングされることなく、一面にわたっていわゆるべた塗りの状態で形成されているので、素子基板101に対しては、画素電極118以外の各部にも対向することになる。さらに、対向電極108は、前述したようにITOなどの透明薄膜金属からなるので、その配線抵抗は比較的大きい。

50

このため、対向電極 108 は、実際には、素子基板 101 における各部、特に、画像信号線やデータ線等の影響を受けて電位変動することになる。

【0034】

なお、ほかに対向基板 102 には、特に図示はしないが、画素電極 118 と対向する領域に、必要に応じて着色層（カラーフィルタ）が設けられる。ただし、後述するプロジェクタのように色光変調の用途に適用する場合、対向基板 102 に着色層を形成する必要はない。また、着色層を設けると否かとはかわらず、光のリークによるコントラスト比の低下を防止するために、画素電極 118 と対向する領域以外の部分には遮光膜が設けられている（図示省略）。

【0035】

また、素子基板 101 および対向基板 102 の対向面には、液晶 105 における分子の長軸方向が両基板間で約 90 度連続的に捻れるようにラビング処理された配向膜が設けられる一方、その各背面側には配向方向に応じた偏光子がそれぞれ設けられるが、本件とは直接関係しないので、その図示については省略することにする。なお、図 1 (b) においては、対向電極 108 や、画素電極 118、実装端子 107 等には厚みを持たせているが、これは、位置関係を示すための便宜的な措置であり、実際には、基板の厚みに対して充分に無視できるほど薄い。

【0036】

<素子基板>

次に、液晶パネル 100 における素子基板 101 の電気的な構成について説明する。図 3

は、素子基板 101 の構成を示すブロック図である。
この図に示されるように、素子基板 101 の表示領域にあっては、複数本の走査線 112 が行 (X) 方向に沿って平行に形成され、また、複数本のデータ線 114 が列 (Y) 方向に沿って平行に形成されている。そして、これらの走査線 112 とデータ線 114 とが交差する部分においては、画素を制御するためのスイッチング素子たる薄膜トランジスタ (Thin Film Transistor: 以下「TFT」と称する) 116 のゲートが走査線 112 に接続される一方、TFT 116 のソースがデータ線 114 に接続されるとともに、TFT 116 のドレインが矩形形状の透明な画素電極 118 に接続されている。

【0037】

上述したように、液晶パネル 100 では、素子基板 101 と対向基板 102 との電極形成面の間において液晶 105 が挟持されているので、各画素における液晶容量は、画素電極 118 と、対向電極 108 と、これら両電極間に挟持された液晶 105 とによって構成されることになる。ここで、説明の便宜上、走査線 112 の総本数を「m」とし、データ線 114 の総本数を「6n」とすると (m、n は、それぞれ整数とする)、画素は、走査線 112 とデータ線 114 との各交差部分に対応して、m 行 × 6 n 列のマトリクス状に配列することになる。

【0038】

また、マトリクス状の画素からなる表示領域には、このほかに、液晶容量のリークを防止するための蓄積容量 119 が画素毎に形成されている。この蓄積容量 119 の一端は、画素電極 118 (TFT 116 のドレイン) に接続される一方、その他端は、容量線 175

【0039】

により共通接続されている。なお、この容量線 175 には、本実施形態では、接続端子 107 を介して、一定の電位 (例えば電圧 LC com や、駆動回路の高位側電源電圧、低位側電源電圧など) に接地されている。

一方、素子基板 101 の非表示領域には、周辺回路 120 が形成されている。この周辺回路 120 は、走査線駆動回路 130 や、データ線駆動回路 140、サンプリング回路 150、プリチャージ回路 160 のほか、製造後に欠陥の有無を判別するための検査回路を含んだ回路として概念されるものであるが、検査回路については、本件とは直接関係しないので、その説明については省略することとする。

【0040】

10

20

30

40

50

ここで、周辺回路120の構成素子は、画素を駆動するTFT116と共通の製造プロセスで形成される。このように周辺回路120を素子基板101に内蔵させ、かつ、その構成素子を共通のプロセスで形成すると、周辺回路120を別基板上に形成して外付けするタイプと比較して、装置全体の小型化や低コスト化を図る上で有利となる。

【0041】

さて、周辺回路120のうち、走査線駆動回路130は、1水平走査期間1H毎に順次アクティブレベルになる走査信号G1、G2、...、Gmを、1垂直有効表示期間内に出力するものである。詳細については本発明と直接関連しないので図示を省略するが、シフトレジスタと複数の論理積回路とから構成される。このうち、シフトレジスタは、図5に示されるように、垂直走査の最初に供給される転送開始パルスDYを、クロック信号CLYのレベルが遷移する毎に(立ち上がり及び立ち下りの双方で)、順次シフトして、信号G1'、G2'、G3'、...、Gm'として出力し、各論理積回路は、信号G1'、G2'、G3'、...、Gm'のうち、相隣接する信号同士の論理積信号を求めて、走査信号G1、G2、G3、...、Gmとして出力するものである。

10

【0042】

また、データ線駆動回路140は、順次アクティブレベルになるサンプリング信号S1、S2、...、Snを、水平有効表示期間内に出力するものである。この詳細についても本発明と直接関連しないので図示を省略するが、シフトレジスタと複数の論理積回路とから構成されている。このうち、シフトレジスタは、図5または図6に示されるように、水平有効表示期間の最初に供給される転送開始パルスDXを、クロック信号CLXのレベルが遷移する毎に順次シフトして、信号S1'、S2'、S3'、...、Sn'として出力し、各論理積回路は、信号S1'、S2'、S3'、...、Sn'のパルス幅を、相隣接するもの同士が重複しないように、期間SMPaに狭めてサンプリング信号S1、S2、S3、...、Snとして出力するものである。

20

【0043】

次に、サンプリング回路150は、6本の画像信号線171を介して供給される画像信号VID1~VID6を、サンプリング信号S1、S2、S3、...、Snにしたがって各データ線114にサンプリングするものであり、データ線114毎に設けられるサンプリングスイッチ151から構成されている。

【0044】

ここで、データ線114は6本毎にブロック化されており、図3において左から数えてi(iは、1、2、...、n)番目のブロックに属するデータ線114の6本のうち、最も左に位置するデータ線114の一端に接続されるサンプリングスイッチ151は、画像信号線171を介して供給された画像信号VID1を、サンプリング信号Siがアクティブになる期間においてサンプリングして、当該データ線114に供給する構成となっている。また、同じくi番目のブロックに属するデータ線114の6本のうち、2番目に位置するデータ線114の一端に接続されるサンプリングスイッチ151は、画像信号VID2を、サンプリング信号Siがアクティブになる期間においてサンプリングして、当該データ線114に供給する構成となっている。以下、同様に、i番目のブロックに属するデータ線114の6本のうち、3、4、5、6番目に位置するデータ線114の一端に接続されるサンプリングスイッチ151の各々は、画像信号VID3、VID4、VID5、VID6の各々を、サンプリング信号Siがアクティブレベルになる期間においてサンプリングして、対応するデータ線114に供給する構成となっている。

30

40

【0045】

なお、サンプリングスイッチ151を構成するTFTについては、本実施形態では、Nチャンネル型とするので、サンプリング信号S1、S2、...、SnがHレベルになれば、対応するサンプリングスイッチ151がオンすることになる。なお、サンプリングスイッチ151を構成するTFTについては、Pチャンネル型としても良いし、両チャンネルを組み合わせた相補型としても良い。

【0046】

50

一方、表示領域に対し、データ線駆動回路 140 とは反対側の領域には、プリチャージ回路 160 が備えられる。このプリチャージ回路 160 は、データ線 114 毎に設けられたプリチャージングスイッチ 161 からなり、各プリチャージングスイッチ 161 は、プリチャージ制御線 177 を介して供給されるプリチャージ制御信号 P G がアクティブレベルになった場合に、プリチャージ信号線 179 を介して供給されるプリチャージ電圧信号 P S を、データ線 114 にプリチャージする構成となっている。

【0047】

さて、プリチャージ制御信号 P G は、図 6 に示されるように、水平有効期間を除いた帰線期間のうち、その時間的な前後端から隔絶された期間においてアクティブレベルになる信号である。また、プリチャージ電圧信号 P S は、同図に示されるように、例えば、クロック信号 C L Y の半周期（1 水平走査期間）毎に、電圧 V_c を基準にして電圧 V_{g+} 、 V_{g-} でレベル反転する信号である。

【0048】

ここで、電圧 V_c は、上述したように画像信号 V I D 1 ~ V I D 6 の振幅中心電位であり、対向電極 108 に印加される電圧 L C com とほぼ等しい電位である。また、電圧 V_{g+} 、 V_{g-} は、それぞれ電圧 V_c よりも高位側、低位側にあつて、いずれも灰色に相当する電圧である。なお、プリチャージ電圧信号 P S については、灰色に相当する電圧に限られない。また、電圧 V_{b+} 、 V_{b-} は、本実施形態が電圧無印加状態で白色表示を行うノーマリーホワイトモードであるとした場合に、正極側、負極側で黒色表示する場合の電圧である。

【0049】

このような構成によるプリチャージ回路 160 によれば、サンプリング信号 S 1、S 2、S 3、...、S n が供給される水平有効表示期間の直前たる帰線期間において、各データ線 114 が、電圧 V_{g+} または V_{g-} に、予めプリチャージされるので、その直後の水平有効表示期間において、画像信号 V I D 1 ~ V I D 6 がデータ線 114 にサンプリングされる際の負荷が低減されることとなる。

なお、走査線駆動回路 130 は、図 3 では、走査線 112 の一端側のみに 1 個だけ配置しているが、これは、電氣的な構成を説明するための便宜上の措置であり、実際には、図 2 に示されるように、走査線 112 の両端に 2 個配置している。

【0050】

< 画像信号補正回路の詳細 >

次に、画像信号補正回路 300 の詳細について説明する。図 4 は、この画像信号補正回路 300 の構成を示すブロック図である。この図において、画像信号 V I D は、前述したように、上位装置から垂直走査および水平走査に同期して供給されて、画素の濃度に対応した情報を有するデジタル信号である。

【0051】

続いて、減算器 302 は、画像信号 V I D から、基準信号 R e f を減算するものである。ここで、基準信号 R e f としては、一定の濃度の情報を有すれば良いが、本実施形態では、表示品位の低下として視認されやすい灰色に相当する情報を有したものである。次に、乗算器 304 は、減算器 302 による減算結果に対し、調整用の係数 k_1 を乗算するものであり、また、減算器 306 は、乗算器 304 の乗算結果から乗算器 310 の乗算結果を減算するものである。

【0052】

続いて、積分器 308 は、減算器 306 による減算結果を、転送開始パルス D X の供給によりリセットした後に、積分するものである。また、乗算器 310 は、積分器 308 による積分結果に、「0」以上「1」以下の係数 k_2 を乗算するものである一方、乗算器 312 は、積分器 308 による積分結果に対し調整用の係数 k_3 を乗算して、補正信号 I g r として出力するものである。

【0053】

一方、遅延器 316 は、減算器 302 から乗算器 312 までの演算に要する期間だけ、画像信号 V I D を遅延させるものである。なお、この遅延時間は、本実施形態では説明の便

10

20

30

40

50

宜上、ドットクロック DCLK の 1 周期分とする。そして、加算器 314 は、補正信号 Igr と、この補正信号 Igr にタイミング合わせて遅延された画像信号 VID とを加算して、補正画像信号 VID' として出力するものである。

【0054】

このような構成において、乗算器 310 が存在しないと仮定した場合、補正信号 Igr は、水平有効表示期間の開始から、画像信号 VID と基準信号 Ref との差を累算した値に応じたものとなる。例えば、ノーマリーホワイトモードにおいて正極性の書込を行う場合、画像信号 VID で示される画素の濃度が例えば黒色であれば、画像信号 VID から基準信号 Ref を引いた差は正となるので、補正信号 Igr は、その黒色と基準信号で示される灰色との濃度差が大きくなるにつれて、かつ、その黒色の画素が水平走査される期間が長くなるにつれて、正側に大きな情報を有することになる。

10

【0055】

ただし、実際には、積分器 308 による積分結果は、乗算器 310 および減算器 306 を経由してフィードバックされるので、画像信号 VID が、基準信号 Ref との濃度差を一定として推移するのであれば、積分器 308 による積分結果の変化率は徐々に小さくなり、これに伴い、補正信号 Igr も、変化率が徐々に小さくなって増減することになる。

【0056】

< 液晶表示装置の動作 >

次に、上述した構成に係る液晶表示装置の動作について説明する。まず、走査線駆動回路 130 には、垂直有効表示期間の最初に転送開始パルス DY が供給される。この転送開始パルス DY は、図 5 に示されるように、クロック信号 CLY のレベルが遷移する毎に順次シフトされ、信号 G1'、G2'、G3'、...、Gm' として出力される。そして、これらの信号 G1'、G2'、G3'、...、Gm' のうち、相隣接する信号同士の論理積信号が求められて、1 水平走査期間 1H 毎にアクティブレベルになる走査信号 G1、G2、G3、...、Gm として、対応する走査線 112 に出力される。

20

【0057】

ここでまず、走査信号 G1 がアクティブレベルになる 1 水平走査期間 1H について着目する。なお、この 1 水平走査期間 1H では、説明の便宜上、正極側の書込を行うものとする。S/P 変換回路 404 (図 1 参照) から出力される画像信号 VID1 ~ VID6 は、対向電極 108 に印加される電圧 LCcom (厳密に言えば電圧 Vc) に対して高位側電圧になる。

30

【0058】

またこれに先立って、プリチャージ制御信号 PG が、図 6 に示されるように、その帰線期間の前後端から隔絶された期間にてアクティブレベルになる。この際、プリチャージ電圧信号 PS は、正極側の書込に対応して電圧 Vg+ になる。このため、当該期間において、すべてのデータ線 114 が電圧 Vg+ にプリチャージされることになる。

【0059】

次に、帰線期間が終了して、水平有効表示期間になると、その最初に転送開始パルス DX が、図 5 または図 6 に示されるように、データ線駆動回路 140 に供給される。この転送開始パルス DX は、クロック信号 CLX のレベルが遷移する毎に順次シフトされた信号 S1'、S2'、S3'、...、Sn' として出力される。そして、この信号 S1'、S2'、S3'、...、Sn' の各パルス幅が、相隣接するもの同士が互いに重複しないように期間 SMPa に狭められて、サンプリング信号 S1、S2、S3、...、Sn として出力される。

40

【0060】

一方、画像信号補正回路 300 に入力された画像信号 VID は、遅延器 316 によって 1 ドットクロック DCLK だけ遅延されるとともに、対向電極 108 の電位変動を模擬した補正信号 Igr が加算されて、補正画像信号 VID' として出力される。

さらに、補正画像信号 VID' は、第 1 に、D/A 変換回路 402 によってアナログ信号に変換され、第 2 に、S/P 変換回路 402 によって画像信号 VID1 ~ VID6 に分配

50

されるとともに、時間軸に対して6倍に伸長され、第3に、増幅・反転回路406によって適切に増幅・反転されて、液晶パネル100に供給される。

【0061】

ここで、走査信号G1がアクティブレベルになる期間において、サンプリング信号S1がアクティブレベルになると、左から1番目のブロックに属する6本のデータ線114に、それぞれ画像信号VID1～VID6がサンプリングされる。そして、サンプリングされた画像信号VID1～VID6は、図3において上から数えて1本目の走査線112と当該6本のデータ線114と交差する画素のTF T116によって、それぞれ対応する画素電極118に印加されることになる。

【0062】

この後、サンプリング信号S2がアクティブレベルになると、今度は、2番目のブロックに属する6本のデータ線114に、それぞれ画像信号VID1～VID6がサンプリングされて、これらの画像信号VID1～VID6が、1本目の走査線112と当該6本のデータ線114と交差する画素のTF T116によって、それぞれ対応する画素電極118に印加されることになる。

【0063】

以下同様にして、サンプリング信号S3、S4、……、Snが順次アクティブレベルになると、第3番目、第4番目、…、第n番目のブロックに属する6本のデータ線114にそれぞれ画像信号VID1～VID6がサンプリングされ、これらの画像信号VID1～VID6が、1本目の走査線112と、当該6本のデータ線114と交差する画素のTF T116によって、それぞれ対応する画素電極118に印加されることになる。これにより、第1行目の画素のすべてに対する書込が完了することになる。

【0064】

続いて、走査信号G2がアクティブになる期間について説明する。本実施形態では、上述したように、走査線単位の極性反転が行われるので、この1水平走査期間においては、負極側の書込が行われることになる。このため、S/P変換回路402から出力される画像信号VID1～VID6は、対向電極108に印加される電圧LC com(厳密に言えば電圧Vc)に対して低位側電圧になる。これに先だって、帰線期間におけるプリチャージ電圧信号VSの電圧はVg-になるので、プリチャージ制御信号PGがアクティブレベルになった場合に、すべてのデータ線114は、電圧Vg-にプリチャージされることになる。

【0065】

他の動作については同様であり、サンプリング信号S1、S2、S3、…、Snが順次アクティブレベルになって、第2行目の画素のすべてに対する書込が完了することになる。以下同様にして、走査信号G3、G4、…、Gmがアクティブになって、第3行目、第4行目、…、第m行目の画素に対して書込が行われることになる。これにより、奇数行目の画素については正極側の書込が行われる一方、偶数行目の画素については負極側の書込が行われて、この1垂直走査期間においては、第1行目～第m行目の画素のすべてにわたった書込が完了することになる。

【0066】

そして、次の1垂直走査期間においても、同様な書込が行われるが、この際、各行の画素に対する書込極性が入れ替えられる。すなわち、次の1垂直走査期間において、奇数行目の画素については負極側の画素に対して書込が行われる一方、偶数行目の画素については正極側の書込が行われることになる。このように、1垂直走査期間毎に画素に対する書込極性が入れ替えられるので、液晶105に直流成分が印加されることがなくなって、その劣化が防止されている。

【0067】

また、このような駆動では、データ線114を1本毎に駆動する方式と比較すると、各サンプリングスイッチ151によって画像信号をサンプリングする時間が6倍になるので、各画素における充放電時間が十分に確保される。このため、高コントラスト化が図られる

10

20

30

40

50

ことになる。さらに、データ線駆動回路 140 におけるシフトレジスタの段数、および、クロック信号 CLX の周波数が、それぞれ 1/6 に低減されるので、段数の低減化と併せて低消費電力化も図られることになる。

【0068】

さらに、サンプリング信号 S1、S2、...、Sn のアクティブ期間は、クロック信号 CLX の半周期よりも狭められて、期間 Smpa に制限されているので、隣接するサンプリング信号同士のオーバーラップが事前に防止される。このため、あるブロックに属する 6 本のデータ線 114 にサンプリングされるべき画像信号 VID1 ~ VID6 が、これに隣接するブロックに属する 6 本のデータ線 114 にも同時サンプリングされる事態が防止されて、高品位な表示が可能となっている。

10

【0069】

さて、図 11 に示されるように灰色を背景にして矩形の黒色を表示する場合にあって、当該黒色領域を水平走査するとき、画像信号 VID は、図 7(a) に示されるように、水平有効表示期間の開始から灰色を維持し、タイミング t_1 にて黒色になり、タイミング t_2 にて再び灰色に戻るようになる。一方、画像信号 VID がタイミング t_2 にて灰色に戻る際に、対向電極 108 (容量線 175 についても) の電位が黒色側の電圧に振られているので、黒色領域の右側部分が本来の灰色よりも明るくなり、これにより、図 11 に示されるような表示品位の低下が発生する、と考えられる。

【0070】

本実施形態において、図 7(a) に示される画像信号 VID を、画像信号補正回路 300 に入力した場合、タイミング t_1 までは、基準信号 Ref との濃度差がゼロであるから、補正信号 Igr はゼロを維持する。次に、補正信号 Igr は、画像信号 VID が黒色に遷移するタイミング t_1 において増加を開始するが、上述したように積分器 308 による積分結果が、乗算器 310 および減算器 306 を経由してフィードバックされるので、徐々に変化率が鈍くなる。そして、画像信号 VID が灰色に遷移するタイミング t_2 以降においては、基準信号 Ref との濃度差が再びゼロとなり、また、すでに積分された結果も、フィードバックにより減少するので、補正信号 Igr は収束する形で徐々にゼロに戻るようになる。

20

【0071】

そして、画像信号 VID と補正信号 Igr とを加算した補正画像信号 VID' は、図 7(b) に示されるように、対向電極 108 (容量線 175) の電位変動分が加算されて、処理回路 400 を介して液晶パネル 100 に供給されることになる。

30

このため、本実施形態では、図 11 に示される黒色部分を水平走査する際に、タイミング t_2 にて対向電極 108 (容量線 175) が電位変動していたとしても、その電位変動分が画像信号 VID に加算されて画素電極 118 に印加されるので、黒色表示領域の右側に位置する画素の液晶容量には、本来の灰色に相当する電位差 Vg が印加される。したがって、本実施形態によれば、図 11 に示されるような表示品位の低下を防止することが可能になる。

さらに、補正信号 Igr は、あるタイミングにおいてある値を有していても、画像信号 VID と基準信号 Ref との濃度差がなくなると、時間経過とともに徐々にゼロに収束するので、対向電極 108 や容量線 175 における電位変動が適切に模擬されるとともに、過剰な補正が抑止されることになる。

40

【0072】

<その他>

なお、上述した実施形態にあっては、6 本のデータ線 114 が 1 ブロックにまとめられて、1 ブロックに属する 6 本のデータ線 114 に対して、6 系統に変換された画像信号 VID1 ~ VID6 をサンプリングする構成したが、変換数および同時に印加するデータ線数 (すなわち、1 ブロックを構成するデータ線数) は、「6」に限られるものではない。例えば、サンプリング回路 150 におけるサンプリングスイッチ 151 の応答速度が十分に高いのであれば、補正画像信号をパラレルに変換することなく 1 本の画像信号線にシリア

50

ル伝送して、データ線 1 1 4 毎に順次サンプリングするように構成しても良い。また、変換数および同時に印加するデータ線の数に「3」や、「1 2」、「2 4」等として、3本や、1 2本、2 4本等のデータ線に対して、3系統変換や、1 2系統変換、2 4系統変換等した補正画像信号を同時に供給する構成としても良い。なお、変換数としては、カラーの画像信号が3つの原色に係る信号からなることとの関係から、3の倍数であることが制御や回路などを簡易化する上で好ましい。ただし、後述するプロジェクタのように単なる光変調の用途の場合には、3の倍数である必要はない。

【0073】

一方、上述した実施形態において、画像信号補正回路 3 0 0 は、デジタルの画像信号 V I D を処理するものとしたが、アナログの画像信号を処理する構成としても良い。この構成では、画像信号の電圧が画素の濃度を示すことになる。また、実施形態にあって、画像信号補正回路 3 0 0 は、画像信号のシリアル - パラレル変換の前に、補正を行う構成となっていたが、シリアル - パラレル変換の後に、補正を行う構成としても良いし、上述したように、そもそもシリアル - パラレル変換を行わない構成でも良い。

10

【0074】

さらに、上述した実施形態にあっては、対向電極 1 0 8 と画素電極 1 1 8 との電位差がゼロである場合に白色表示を行うノーマリーホワイトモードとして説明したが、黒色表示を行うノーマリーブラックモードとしても良い。また、プリチャージ電圧 P S として、灰色に相当する電圧 V g +、V g - を選択して、書込極性にしながらって 1 水平走査期間毎にレベル反転する構成としたが、図 6 において破線で示されるように、白色に相当する電圧 V w 20 を選択して時間的に一定としても良いし、黒色に相当する電圧 V b +、V b - を選択して、1 水平走査期間毎にレベル反転する構成としても良いし、書込極性に依りて異なる濃度に相当する電圧としても良い。

20

【0075】

くわえて、実施形態にあっては、素子基板 1 0 1 には、ガラス基板を用いたが、S O I (Silicon On Insulator) の技術を適用し、サファイヤや、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで良い。また、素子基板 1 0 1 として、シリコン基板などを用いるとともに、ここに各種の素子を形成しても良い。このような場合には、各種スイッチとして、電界効果型トランジスタを用いることができるので、高速動作が容易となる。ただし、素子基板 1 0 1 が透明性を有しない場合、画素電極 1 1 8 をアルミニウムで形成したり、別途反射層を形成したりするなどして、反射型として用いる必要がある。

30

【0076】

さらに、上述した実施形態では、液晶として T N 型を用いたが、B T N (Bi-stable Twisted Nematic) 型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料 (ゲスト) を一定の分子配列の液晶 (ホスト) に溶解して、染料分子を液晶分子と平行に配列させた G H (ゲストホスト) 型などの液晶を用いても良い。

また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向 (ホメオトロピック配向) の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行 (水平) 配向 (ホモジニアス配向) の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものに適用することが可能である。

40

【0077】

< 電子機器 >

次に、上述した実施形態に係る液晶表示装置を用いた電子機器のいくつかについて説明する。

【0078】

< その 1 : プロジェクタ >

50

まず、上述した液晶表示装置をライトバルブとして用いたプロジェクタについて説明する。図8は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ2100内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR(赤)、G(緑)、B(青)の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0079】

ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した実施形態における液晶パネル100と同様であり、処理回路(図8では省略)から供給されるR、G、Bの各色に対応する画像信号でそれぞれ駆動されるものである。すなわち、このプロジェクタ2100では、図1に示される液晶表示装置が、R、G、Bの各色に対応して3組設けられた構成になっている。

さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成された後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0080】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロイックミラー2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方向は、ライトバルブ100Gによる水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

【0081】

<その2：モバイル型コンピュータ>

次に、上述した液晶表示装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図9は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ2200は、キーボード2202を備えた本体部2204と、表示部として用いられる液晶パネル100とを備えている。なお、この背面には、視認性を高めるためのバックライトユニット(図示省略)が設けられる。

【0082】

<その3：携帯電話>

さらに、上述した液晶表示装置を、携帯電話の表示部に適用した例について説明する。図10は、この携帯電話の構成を示す斜視図である。図において、携帯電話2300は、複数の操作ボタン2302のほか、受話口2304、送話口2306とともに、表示部として用いられる液晶パネル100を備えるものである。なお、この液晶パネル100の背面にも、視認性を高めるためのバックライトユニット(図示省略)が設けられる。

【0083】

<電子機器のまとめ>

なお、電子機器としては、図8、図9および図10を参照して説明した他にも、テレビジョンや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、本発明に係る液晶表示装置が適用可能なのは言うまでもない。

10

20

30

40

50

【 0 0 8 4 】

【 発明の効果 】

以上説明したように本発明によれば、対向電極や容量線の電位変動を模擬した補正信号が、元の画像信号に加算されて画素電極に印加されるので、これらが電位変動しても、本来の濃度に対応する電圧実効値が、画素電極および対向電極の間に印加されて、これにより、表示品位の低下を防止することが可能になる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【 図 2 】 (a) は、同液晶表示装置における液晶パネルの外観構成を示す斜視図であり、(b) は、その線 A - A ' についての断面図である。

10

【 図 3 】 同液晶パネルにおける素子基板の電氣的構成を示すブロック図である。

【 図 4 】 同液晶表示装置における画像信号補正回路の構成を示すブロック図である。

【 図 5 】 同液晶表示装置の動作を説明するためのタイミングチャートである。

【 図 6 】 同液晶表示装置の動作を説明するためのタイミングチャートである。

【 図 7 】 同液晶表示装置による表示品位の低下防止を説明するための電圧波形図である。

【 図 8 】 実施形態に係る液晶表示装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【 図 9 】 実施形態に係る液晶表示装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

20

【 図 1 0 】 同液晶表示装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【 図 1 1 】 横クロストークによる表示品位の低下を示す平面図である。

【 符号の説明 】

1 0 0 液晶パネル

1 1 2 走査線

1 1 4 データ線

1 1 6 T F T

1 1 8 画素電極

1 3 0 走査線駆動回路

30

1 4 0 データ線駆動回路

1 5 0 サンプリング回路

1 6 0 プリチャージ回路

3 0 0 画像信号補正回路

3 0 2 減算器

3 0 8 積分器

3 0 4、3 1 0、3 1 2 乗算器

3 1 4 加算器

3 1 6 遅延器

4 0 0 処理回路

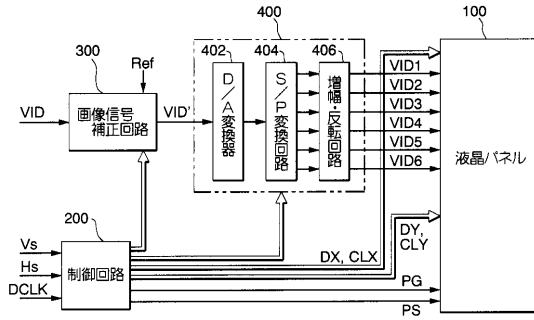
40

2 1 0 0 ... プロジェクタ

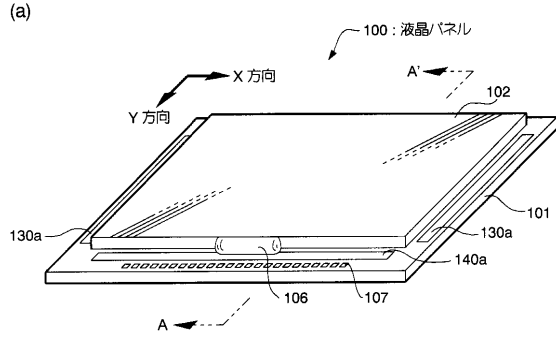
2 2 0 0 ... パーソナルコンピュータ

2 3 0 0 ... 携帯電話

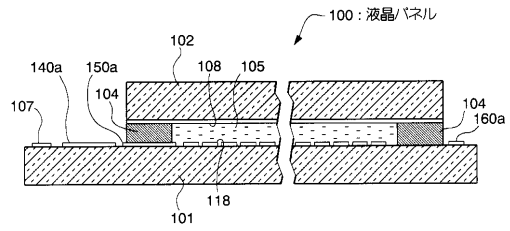
【 図 1 】



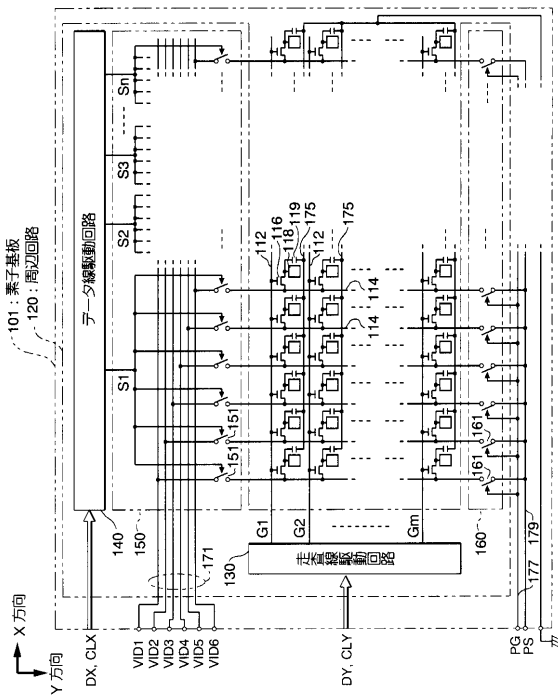
【 図 2 】



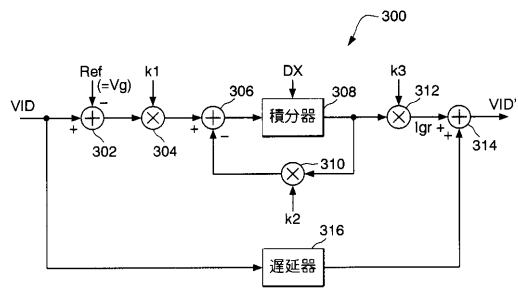
(b)



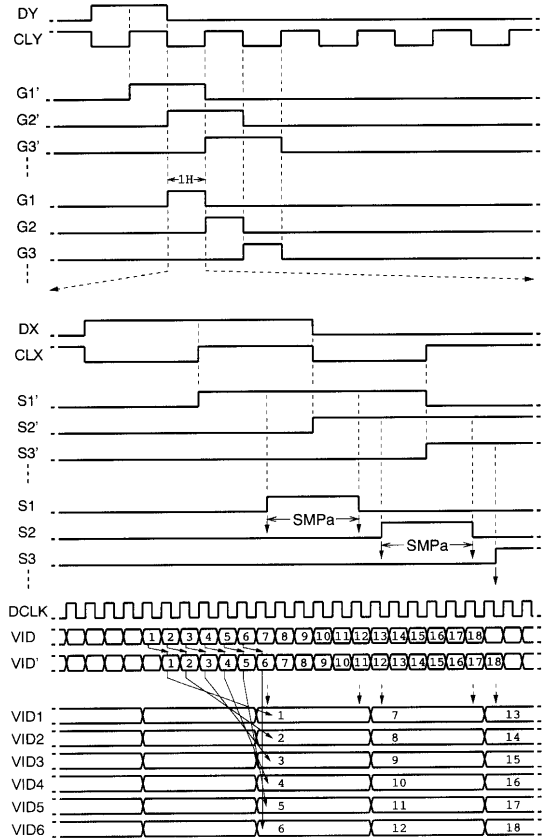
【 図 3 】



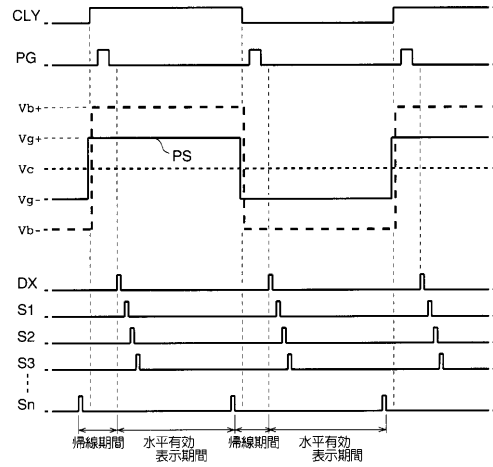
【 図 4 】



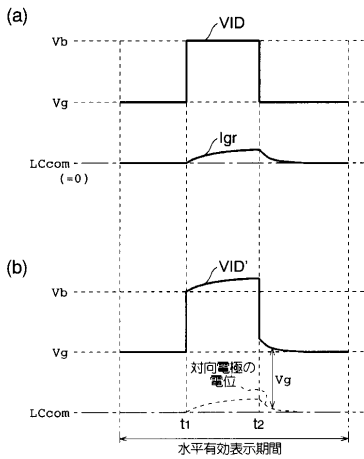
【 図 5 】



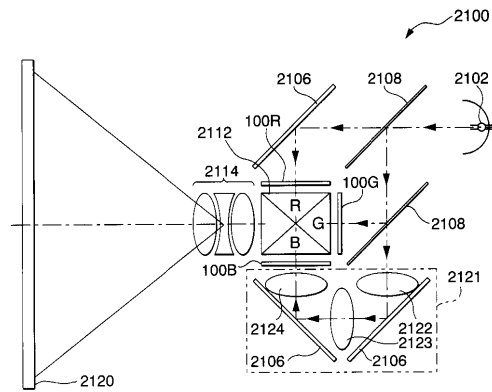
【 図 6 】



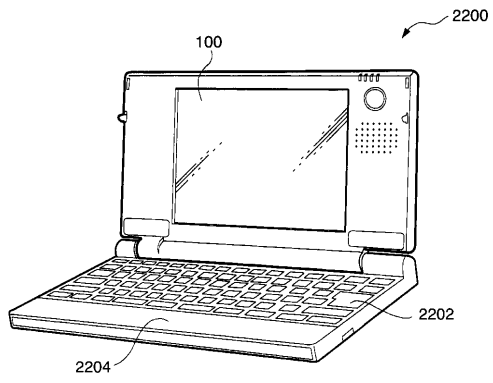
【 図 7 】



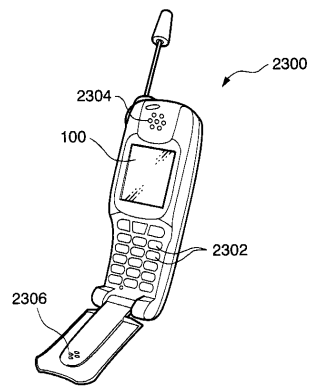
【 図 8 】



【 図 9 】

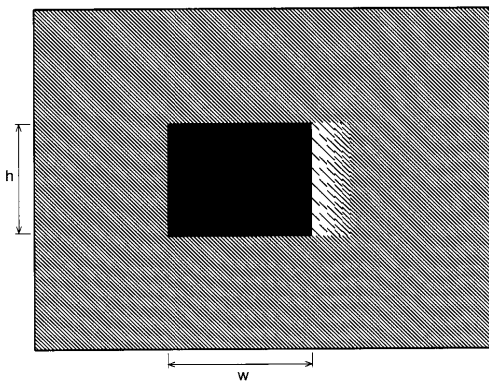


【 図 1 0 】



【 図 1 1 】

水平走査方向 (X方向)
垂直走査方向 (Y方向)



フロントページの続き

(51)Int.Cl.⁷

F I

G 0 9 G 3/20 6 4 2 E

(56)参考文献 特開平09-230309(JP,A)
特開平10-198322(JP,A)
特開平10-105121(JP,A)
特開2002-149136(JP,A)
特開平11-311966(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	液晶显示装置，图像信号校正电路，液晶显示装置的驱动方法，图像信号校正方法和电子装置		
公开(公告)号	JP3685029B2	公开(公告)日	2005-08-17
申请号	JP2000304980	申请日	2000-10-04
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	青木透		
发明人	青木透		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G2310/0248 G09G2320/0209		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.611.D G09G3/20.623.C G09G3/20.641.P G09G3/20.642.E		
F-TERM分类号	2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC54 2H093/NC65 2H093/ND03 2H093/ND15 2H093/ND42 2H193/ZH09 2H193/ZH40 5C006/AA16 5C006/AC21 5C006/AF43 5C006/AF46 5C006/AF83 5C006/BB16 5C006/BC16 5C006/EC11 5C006/FA22 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD10 5C080/EE28 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK43 5C080/KK47		
代理人(译)	须泽修		
其他公开文献	JP2002116735A5 JP2002116735A		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止由于水平串扰导致的显示质量下降。通过减法器304获得根据水平扫描和垂直扫描提供的并且具有根据像素密度的信息和表示恒定密度的参考信号Ref的图像信号VID之间的差异，每个水平扫描由积分器308积分，乘以适当的系数，将其作为模拟对电极，电容线等的电位变化的校正信号Igr加到原始图像信号VID，并加上校正的图像信号VID到液晶面板。结果，通过增加对电极的电位波动而获得的电压被施加到像素电极，相对电极的电位波动被消除，并且防止了显示质量的劣化。

【图3】

