

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3603832号

(P3603832)

(45) 発行日 平成16年12月22日(2004.12.22)

(24) 登録日 平成16年10月8日(2004.10.8)

(51) Int.Cl.⁷

F I

G09G 3/36
G02F 1/133
G09G 3/20
H04M 1/02

G09G 3/36
G02F 1/133 550
G09G 3/20 611A
G09G 3/20 624B
G09G 3/20 680T

請求項の数 10 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2001-322218 (P2001-322218)
(22) 出願日 平成13年10月19日(2001.10.19)
(65) 公開番号 特開2003-122331 (P2003-122331A)
(43) 公開日 平成15年4月25日(2003.4.25)
審査請求日 平成15年3月12日(2003.3.12)

(73) 特許権者 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100086298
弁理士 船橋 國則
(72) 発明者 豊澤 昇
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 仲島 義晴
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびこれを用いた携帯端末装置

(57) 【特許請求の範囲】

【請求項1】

液晶セル部と、列単位で配線された信号線から供給されるアナログ画像信号を前記液晶セル部
に書き込む画素選択用スイッチと、デジタル画像信号を保持するメモリ部と、前記信号
線から供給されるデジタル画像信号を前記メモリ部に書き込む書き込み用スイッチと、
前記メモリ部に保持されているデジタル画像信号を読み出して前記液晶セル部に書き込む
読み出し用バッファと、前記読み出し用バッファの出力端と前記液晶セル部との間を高イ
ンピーダンス状態とする読み出し用スイッチとを含む複数の画素回路が基板上に行列状に
配置されてなる画素部と、

前記画素選択スイッチと前記読み出し用スイッチとを行単位で駆動する第一垂直駆動手段
と、

前記書き込み用スイッチを行単位で駆動する第二垂直駆動手段と
を備えたことを特徴とする液晶表示装置。

【請求項2】

前記読み出し用バッファは、前記メモリ部から読み出したデジタル画像信号を、1ライン
(または、1フィールド)ごとに極性が反転する前記液晶セル部の対向電位に同期して極
性が反転する一定電位に変換して前記液晶セル部に画素電位として供給する
ことを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記読み出し用スイッチは、前記読み出し用バッファによる前記メモリ部から前記液晶セ
20

ル部へのデジタル画像信号の書き込みの終了後、前記読み出し用バッファの出力端と前記液晶セル部との間を高インピーダンス状態とすることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】

前記第一、第二垂直駆動手段は、前記画素部の両側に配置されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】

前記第一垂直駆動手段は、前記メモリ部から読み出したデジタル画像信号に基づく第一表示モードから前記アナログ画像信号に基づく第二表示モードに切り替えるとき、前記第一表示モードでの最終行の画素回路における前記読み出し用スイッチの駆動タイミングを、
前記第二表示モードでの最初の行の画素回路における前記画素選択用スイッチの駆動タイミングと同じタイミングに設定することを特徴とする請求項 1 記載の液晶表示装置。

10

【請求項 6】

前記第二垂直駆動手段は、前記メモリ部に対して前記画素回路で使用する回路電源電圧を保持電圧として供給することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 7】

前記第二垂直駆動手段は、電源制御線を通して前記メモリ部に供給する電源電圧を、前記メモリ部への前記デジタル画像信号の書き込み時に一度、前記回路電源電圧から前記信号線の電位に下げ、書き込み終了後に前記回路電源電圧に戻すことを特徴とする請求項 6 記載の液晶表示装置。

20

【請求項 8】

前記第二垂直駆動手段は、前記電源制御線を通して前記メモリ部に供給する電源電圧を、前記メモリ部への前記デジタル画像信号の書き込み時に先ず、前記信号線の電位よりも低い電位に下げ、その後に前記信号線の電位に設定することを特徴とする請求項 7 記載の液晶表示装置。

【請求項 9】

画面の一部の領域にのみ画表示を行うパーシャル表示モードを持つ出力表示部を備えた携帯端末装置であって、
前記出力表示部として、
液晶セル部と、列単位で配線された信号線から供給されるアナログ画像信号を前記液晶セル部に書き込む画素選択用スイッチと、デジタル画像信号を保持するメモリ部と、前記信号線から供給されるデジタル画像信号を前記メモリ部に書き込む書き込み用スイッチと、前記メモリ部に保持されているデジタル画像信号を読み出して前記液晶セル部に書き込む読み出し用バッファと、前記読み出し用バッファの出力端と前記液晶セル部との間を高インピーダンス状態とする読み出し用スイッチとを有する複数の画素回路が基板上に行列状に配置されてなる画素部と、
前記画素選択スイッチと前記読み出し用スイッチとを行単位で駆動する第一垂直駆動手段と、
前記書き込み用スイッチを行単位で駆動する第二垂直駆動手段と備えた液晶表示装置を用いたことを特徴とする携帯端末装置。

30

40

【請求項 10】

前記第一、第二垂直駆動手段は、前記画素部の両側に配置されていることを特徴とする請求項 9 記載の携帯端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置およびこれを用いた携帯端末装置に関し、特に画素ごとにメモリ

50

部を有する液晶表示装置およびこれを出力表示部として用いた携帯端末装置に関する。

【0002】

【従来の技術】

液晶表示装置は、電界の有無によって液晶の分子配列形態を変え、光の透過／遮断の制御を行うことによって画像表示を行うものであり、原理的に、駆動するための電力をあまり必要とせず、消費電力が少なくて済む低消費電力の表示デバイスであることから、特にバッテリーを主電源とする携帯電話機やPDA（Personal Digital Assistants）等の携帯端末装置の出力表示部として広く用いられている。

【0003】

この種の用途の液晶表示装置では、一回の充電でバッテリーを長時間使用できるようにするために、駆動電圧の低電圧化や駆動周波数の低周波数化によって低消費電力化が進められている。また、さらなる低消費電力化を可能とするための画素構造として、1画素ごとにメモリ部を有する構造を採用した液晶表示装置も知られている（特開平9-212140号公報など参照）。 10

【0004】

このように、画素ごとにメモリ部を有する画素構造を採用した液晶表示装置においては、静止画については、1度画像データを各画素のメモリ部に書き込んでしまえば、その後はその画素のメモリ部に保持されている画像データでその画素の表示駆動を繰り返して行えば良いことから、その都度信号線を充放電駆動する必要がなく、理論上、極性反転のために必要な電力を消費するだけで済むため、消費電力のさらなる低減が可能となるのである 20

【0005】

【発明が解決しようとする課題】

上記構成の液晶表示装置では、従来、信号線から各画素のメモリ部への画像データの書き込みと、各画素においてメモリ部から液晶セル部への画像データの読み出しとを同じ経路で行う構成が採られていた。そのため、メモリ部に画像データを書き込むときに、書き込みラインに液晶セル部がつながっており、その画素容量をチャージすることになることから、液晶セル部の電位（以下、画素電位と称す）が不安定となって書き込み動作に影響を及ぼすことになり、その結果、画素回路を構成するトランジスタの特性によってはメモリ部内の保持データが画素電位によって書き換わってしまうような事態が発生し、トランジスタの特性ばらつきによる画質の変動が大きい、という課題があった。 30

【0006】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、メモリ部にデータを書き込む際の画素電位の影響を排除し、画素回路を構成するトランジスタの特性ばらつきに対して大きいマージンを持たせることが可能な液晶表示装置およびこれを用いた携帯端末装置を提供することにある。

【0007】

【課題を解決するための手段】

本発明による液晶表示装置は、液晶セル部と、列単位で配線された信号線から供給されるアナログ画像信号を前記液晶セル部に書き込む画素選択用スイッチと、デジタル画像信号を保持するメモリ部と、前記信号線から供給されるデジタル画像信号を前記メモリ部に書き込む書き込み用スイッチと、前記メモリ部に保持されているデジタル画像信号を読み出して前記液晶セル部に書き込む読み出し用バッファと、前記読み出し用バッファの出力端と前記液晶セル部との間を高インピーダンス状態とする読み出し用スイッチとを含む複数の画素回路が基板上に行列状に配置されてなる画素部と、前記画素選択スイッチと前記読み出し用スイッチとを行単位で駆動する第一垂直駆動手段と、前記書き込み用スイッチを行単位で駆動する第二垂直駆動手段とを備えた構成となっている。この液晶表示装置は、携帯電話機やPDA等の携帯端末装置において、その出力表示部として用いられる。 40

【0008】

上記構成の液晶表示装置またはこれを出力表示部として用いた携帯端末装置において、信 50

号線からメモリ部へのデジタル画像信号の書き込みは書き込み用スイッチを介して行われる一方、メモリ部から液晶セル部へのデジタル画像信号の読み出しは読み出し用バッファを介して行われる。すなわち、メモリ部へのデジタル画像信号の書き込みと、メモリ部からのデジタル画像信号の読み出しとは別経路で行われる。したがって、メモリ部にデジタル画像信号を書き込む際に、その書き込み動作に画素電位の影響が及ぶことはない。また、信号線から直接液晶セル部にアナログ画像信号を書き込む際は、メモリ部と液晶セル部との間に介在する読み出し用バッファの作用によってメモリ部への書き込みが阻止される。また、第一、第二垂直駆動手段は、画素回路の各スイッチの駆動を分担して行う。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係る液晶表示装置の全体構成の概略を示すブロック図である。

【0010】

図1から明らかなように、本実施形態に係る液晶表示装置は、液晶セル部を含む画素回路が行列状に配列されてなる画素部11と、この画素部11の各画素回路を行単位で選択駆動する第一、第二垂直駆動回路12、13と、これら垂直駆動回路12、13によって選択駆動された行の画素回路に対して列単位で画像信号を供給する信号線駆動回路14とを有する構成となっている。なお、画素部11には、 n 行 m 列の画素配列に対して、 n 本の走査線15-1～15- n および m 本の信号線16-1～16- m がマトリクス状に配線され、その交差部分に画素回路が配置されている。

【0011】

ここで、第一、第二垂直駆動回路12、13および信号線駆動回路14は、画素部11が形成された基板（以下、液晶表示パネルと称す）17上に一体的に形成されたいわゆる駆動回路一体型の構成となっている。具体的には、第一、第二垂直駆動回路12、13は、画素部11の左右両側に分けて配置されている。信号線駆動回路14は、画素部11の例えば上側に配置されている。また、液晶表示パネル17上の下方縁部にはパッド部18が設けられている。

【0012】

液晶表示パネル17は、各画素回路のスイッチング素子である例えば薄膜トランジスタ（Thin Film Transistor; TFT）が形成されたTFT基板と、カラーフィルタや対向電極などが形成された対向基板とが重ね合わされ、これら基板間に液晶が封入された構造となっている。そして、画素部11において、第一、第二垂直駆動回路12、13による行単位での各画素回路のTFTのスイッチング制御と、信号線駆動回路14から信号線16-1～16- m を通して供給される画像信号に基づく電圧印加によって液晶の配向を制御し、光の透過率を変えることによって画像表示が行われる。

【0013】

信号線駆動回路14からは、信号線16-1～16- m に対して交流化されたアナログ画像信号が出力される。ここで、交流駆動化されたアナログ画像信号とは、液晶に同極性の直流電圧が印加され続けることによって液晶の比抵抗（物質固有の抵抗値）等が劣化することから、この液晶の劣化を防ぐために、コモン電圧（シグナルセンター） V_{COM} を中心にある周期にて極性が反転するアナログ画像信号のことを言う。

【0014】

また、交流駆動化されたアナログ画像信号による駆動は、アナログ画像信号の極性反転のタイミングにより、1F（1Fは1フィールド期間）反転駆動と1H（1Hは1水平走査期間）反転駆動とに大別される。1F反転駆動は、ある極性のアナログ画像信号を全画素に書き込んだ後に、アナログ画像信号の極性を反転させる駆動法である。一方、1H反転駆動は、1ライン（1行）ごとにアナログ画像信号の極性を反転させ、これをさらにフィールドごとに反転させる駆動法である。

【0015】

なお、信号線駆動回路14から信号線16-1～16- m に対して出力される交流化され

10

20

30

40

50

たアナログ画像信号は通常表示のための信号である。本実施形態に係る液晶表示装置では、このアナログ画像信号に加えて、信号線駆動回路14からは信号線16-1~16-mに対して静止画用のデジタル画像データも出力されるようになっている。

【0016】

[画素回路]

図2は、i行i列目の画素回路の構成の一例を示す回路図である。当該画素回路は、液晶セル21、保持容量22、画素選択用スイッチ23、データ書き込み用スイッチ24、メモリ回路25、データ読み出し用バッファ26およびデータ読み出し用スイッチ27を有する構成となっている。

【0017】

液晶セル21および保持容量22はその各一端が共通接続されて液晶セル部を構成している。液晶セル21の他端にはコモン電圧VCOMが印加され、保持容量22の他端には1H（または、1F）ごとに極性が反転する電位Csが印加される。画素選択用スイッチ23は、その一端が信号線16-iに、その他端が液晶セル21および保持容量22の各一端にそれぞれ接続され、走査線15-iを介して与えられる走査信号GATEによって駆動されることで、液晶セル部に対するアナログ画像信号の書き込みを行う。

【0018】

データ書き込み用スイッチ24は、その一端が信号線16-iに、その他端がメモリ回路25の入力端にそれぞれ接続されており、データ書き込み制御線28-iを介して与えられる書き込み制御信号dwGATEによって駆動されることで、メモリ回路25に対するデジタル画像データの書き込みを行う。メモリ回路25に書き込まれたデジタル画像データ（以下、メモリデータと略称する場合もある）は、読み出し用バッファ26を通して読み出される。

【0019】

データ読み出し用スイッチ27は、その一端が読み出し用バッファ26の出力端に、その他端が液晶セル21および保持容量22の各一端にそれぞれ接続されており、データ読み出し制御線29-iを介して与えられるデータ読み出し制御信号drGATEによって駆動されることで、読み出し用バッファ26を通してメモリ回路25から読み出されたデジタル画像データの液晶セル部への書き込みを行う。なお、メモリ回路25には、電源制御線30-iを介して電源電圧VCCMEMが供給される。

【0020】

次に、上記構成の画素回路の具体的な回路例について説明する。

(第1回路例)

図3は、画素回路の第1回路例を示す回路図である。図3において、画素回路には、上述した走査線15-i、データ書き込み制御線28-i、データ読み出し制御線29-iおよび電源制御線30-iに加えて、液晶セル21の対向電極の電位（対向電位）と同極性の電位Csを与えるCs線31-i、電位Csと逆極性の電位XCsを与えるXCs線32-i、メモリ回路25に負電源電圧VSSを供給する負電源線33-iがそれぞれ行単位で配線されている。

【0021】

画素選択用スイッチ23は、ゲートが走査線15-iに、ソースが信号線16-iに、ドレインが液晶セル21および保持容量22の各一端にそれぞれ接続されたNchTFT（以下、画素選択用TFTと称す）Qn1によって構成されている。データ書き込み用スイッチ24は、ゲートが書き込み制御線28-iに、ソースが信号線16-iにそれぞれ接続されたNchTFT（以下、データ書き込み用TFTと称す）Qn2によって構成されている。

【0022】

メモリ回路25は、電源制御線30-iと負電源線33-iとの間に直列に接続され、かつゲートが共通に接続されたPchTFTQp1およびNchTFTQn3からなる第1のインバータと、同様に電源制御線30-iと負電源線33-iとの間に直列に接続され

10

20

30

40

50

、かつゲートが共通に接続されたPchTF T Q p 2およびNchTF T Q n 4からなる第2のインバータとからなり、一方のインバータの入力ノードN 1が他方のインバータの出力ノードN 2に、他方のインバータの入力ノードN 3が一方のインバータの出力ノードN 4にそれぞれ接続されたSRAM構成となっている。そして、入力ノードN 1がTF T Q n 2のドレインに接続されている。

【0023】

データ読み出し用バッファ26は、ゲートがメモリ回路25の一方の出力ノードN 2に接続され、ソースがCs線31-iにそれぞれ接続されたNchTF T Q n 5と、ゲートがメモリ回路25の他方の出力ノードN 4に接続され、ソースがXCs線32-iにそれぞれ接続されたNchTF T (以下、データ読み出し用TF T と称す) Q n 6とからなり、

10

両トランジスタQ n 5、Q n 6の各ドレインが共通に接続された構成となっている。

【0024】

データ読み出し用スイッチ27は、ゲートが読み出し制御信号29-iに、ソースがトランジスタQ n 5、Q n 6のドレイン共通接続点に、ドレインが液晶セル21および保持容量22の各一端にそれぞれ接続されたNchTF T (以下、データ読み出し用TF T と称す) Q n 7によって構成されている。

【0025】

以上により、画素回路の各々は、9個のトランジスタ(即ち、TF T Q p 1、Q p 2およびTF T Q n 1~Q n 7)と、8本の配線(即ち、走査線15-i、信号線16-i、書き込み制御線28-i、読み出し制御信号29-i、電源制御線30-i、Cs線31-i、XCs線32-iおよび負電源線33-i)とを有する構成となる。

20

【0026】

次に、上記構成の第1回路例に係る画素回路の回路動作につき、図4~図6のタイミングチャートを用いて説明する。図4は、液晶セル部へのアナログ画像信号の書き込み時のタイミングチャートである。図5は、メモリ回路25へのデジタル画像データの書き込み時のタイミングチャートである。図6は、メモリ回路25からのデジタル画像データの読み出し時のタイミングチャートである。

【0027】

最初に、アナログ画像信号の書き込み時の動作について図4のタイミングチャートを用いて説明する。この書き込み時には、走査信号GATEを高レベル(VDDレベル)とする。これにより、画素選択用TF T Q n 1がオン状態となり、信号線駆動回路14(図1を参照)から信号線16-iを介して供給されるアナログ画像信号が、画素選択用TF T Q n 1を通して液晶セル21および保持容量22からなる液晶セル部に書き込まれる。

30

【0028】

このとき、データ読み出し制御信号drGATEおよびデータ書き込み制御信号dwGATEを共に低レベル(VSSレベル)として、データ読み出し用TF T Q n 7およびデータ書き込み用TF T Q n 2を共にオフ状態とする。これにより、メモリ回路25に対する画像データの書き込み、メモリ回路25からの画像データの読み出しは行われない。正電源電圧VCCMEMについてはVDDレベルとする。

【0029】

40

続いて、デジタル画像データの書き込み時の動作について図5のタイミングチャートを用いて説明する。この書き込み時は、走査信号GATEを低レベル(VSSレベル)とし、画素選択用TF T Q n 1をオフ状態とする。そして、通常の画素選択のタイミングで、データ書き込み制御信号dwGATEを高レベル(VDDレベル)とする。これにより、データ書き込み用TF T Q n 2がオン状態となり、信号線駆動回路14から信号線16-iを介して供給されるデジタル画像データが、データ書き込み用TF T Q n 2を通してメモリ回路25に書き込まれる。このデジタル画像データは静止画用の画像データであり、例えば1ビットの信号である。

【0030】

このデータ書き込み時において、メモリ回路(SRAM)25の電源制御線30-iの正

50

電源電圧 V_{CCMEM} を、パネル内回路駆動電圧である V_{DD} レベルから信号線 $16-i$ の電位である V_{CC} レベルに一度下げ、メモリ回路25へのデータ書き込み後に、再び V_{DD} レベルに上げるシーケンスを採るようにしている。このシーケンスを採ることにより、メモリ保持電位を V_{DD} レベルにすることができるため、メモリ回路25でのデータ保持時に対向電位によるゆれなどに対して高いマージンを持たせることができる。

【0031】

このシーケンスについてさらに詳細に説明するならば、信号線 $16-i$ から与えられる画像データの振幅($V_{SS}-V_{CC}$)が例えば $0V-3V$ であるとしたとき、メモリ回路25において、画像データをその振幅、即ち $V_{SS}=0V$ 、 $V_{CCMEM}=3V$ で保持した場合に、対向電位がゆれたら、保持しているデータの極性が反転してしまう。そのために、メモリ回路25において、書き込むデータの振幅よりも大きい振幅、例えば $0V-7V$ (V_{DD} レベル)で保持すれば、データ保持時に対向電位によるゆれなどに対して高いマージンを持たせることができる。

10

【0032】

ただし、メモリ回路25の正電源電圧 V_{CCMEM} が V_{DD} レベル(7V)のままだと、メモリ回路25を構成するTFTの閾値電圧を V_{th} とした場合、 $7V-V_{th}$ 以上の振幅の画像データでないとメモリ回路25に書き込めないことになる。そこで、 $0-3V$ の画像データを書き込む際に、正電源電圧 V_{CCMEM} を、 V_{DD} レベル(7V)から V_{CC} レベル(3V)に一度下げること、 $V_{SS}=0V$ 、 $V_{CCMEM}=3V$ のメモリ回路25に対して $0-3V$ の画像データの入力されるため、その瞬間に画像データを書き込めることになる。

20

【0033】

画像データを書き込んだ後は、正電源電圧 V_{CCMEM} を V_{DD} レベルに戻すことにより、書き込んだ画像データの振幅が $V_{SS}-V_{CC}$ から $V_{SS}-V_{DD}$ にレベルシフトされる。すなわち、メモリ回路25の保持電位が V_{DD} レベルになるため、対向電位によるゆれなどに対して高いマージンを持たせることができるのである。

【0034】

メモリ回路25にデジタル画像データを書き込んだら、次の1H期間でデータ読み出し制御信号 $drGATE$ を高レベルにすることで、データ読み出し用TFT $Qn7$ をオン状態とする。これにより、メモリ回路25からデータ読み出し用バッファ($Qn5$, $Qn6$)26を通して画像データが読み出され、データ読み出し用TFT $Qn7$ を介して液晶セル部に画素電位として書き込まれる。

30

【0035】

ここで、データ読み出し用TFT $Qn7$ の作用について説明する。データ読み出し用TFT $Qn7$ はオン状態となることにより、メモリ回路25に保持されている画像データをデータ読み出し用バッファ26を介して読み出す。このとき、メモリ回路25には、画像データが高(H)レベル、低(L)レベルのどちらかで保持されている。

【0036】

このため、データ読み出し用バッファ($Qn5$, $Qn6$)26は、メモリ回路25から読み出した画像データを、1H(または、1F)ごとに極性が反転する電位 Cs , XCs のどちらかの電位に変換し、この一定電位をデータ読み出し用TFT $Qn7$ を介して液晶セル部に画素電位として書き込む。これにより、1H反転(または、1F反転)のタイミングに対応可能となる。データ書き込み終了後は、データ読み出し用TFT $Qn7$ はオフ状態となることで、データ読み出し用バッファ26の出力端と液晶セル部との間をオープン状態(高インピーダンス状態)とする。

40

【0037】

以上のシーケンスを採ることにより、1画面中で例えば26万色(6bit)のアナログ画像信号の書き込みによる表示と、8色(1bit)のメモリデータ書き込みによる表示とを混在できる。したがって、従来、アナログ画像信号で8色部分について白表示していたパーシャル表示モードにおいて、メモリデータに基づく8色の静止画表示が可能となる

50

。さらに、メモリ回路25を持つことで、静止画表示の際にその都度信号線16-1~16-mの充放電を行う必要がないため、低消費電力化が可能になる。

【0038】

ところで、通常、アナログ画像信号を液晶セル部に書き込んだ後は、画素選択用TF T Q n 1がオフ状態にあるため、コモン電圧VCOMが1H（または、1F）ごとに極性が反転すると、それに伴って画素電位も変動することになる。一方、メモリ回路25に保持している画像データ（メモリデータ）を液晶セル部に書き込む場合において、データ読み出し用TF T Q n 7が無いものとする、液晶セル部の液晶セル21および保持容量22の各一端と電位Cs、XCsとの間が低インピーダンスで接続されることになる。

【0039】

したがって、メモリデータによる表示時において、コモン電圧VCOMが1H（または、1F）ごとに極性が反転しても、アナログ画像信号を書き込んだときのように、画素電位が変動しなくなる。このことは、シグナルセンターとなるコモン電圧VCOMが、アナログ画像信号による表示時とメモリデータによる表示時とでずれてしまうことを意味する。

【0040】

これに対して、本回路例のように、データ読み出し用TF T Q n 7を設け、メモリデータを液晶セル部に書き込んだ後はデータ読み出し用TF T Q n 7をオフ状態とすることで、液晶セル部と電位Cs、XCsとの間が高インピーダンス状態となるため、メモリデータによる表示時にも、アナログ画像信号による表示時の場合と同様に、コモン電圧VCOMの極性反転に同期して画素電位が変動することになる。その結果、アナログ画像信号による表示時とメモリデータによる表示時とでコモン電圧VCOMのずれをなくすることができる。

【0041】

上述したように、メモリ回路25を持つ画素回路において、メモリ回路25に信号線16-iから画像データを書き込む経路と、メモリ回路25から液晶セル部に画像データを読み出す経路とを別にするとともに、データ読み出し時にデータ読み出し用バッファ26を介してメモリデータを読み出すようにしたことにより、メモリ回路25内のデータに対する画素電位の影響を排除でき、その影響を受けてメモリデータが書き換わってしまうのを回避できるため、画素回路を構成するTF T に対して大きいマージンを持たせることができる。

【0042】

なお、第1回路例に係る画素回路では、1個の画素回路が1個のメモリ回路25を持つとともに、アナログ画像信号による画像とメモリデータによる画像との混在表示を行う構成の場合を例に採って説明したが、1つの画素をn個の領域に分割し、各領域ごとにメモリ回路を持たせてnビットによる多階調表示を行う構成とすることも可能である。ただし、第1回路例に係る画素回路、即ち9トランジスタ、8配線の画素回路をそのままnビット分用いると、特にトランジスタ数が多いために回路規模が膨大なものとなる。その対策として考えられたのが、以下に説明する第2回路例である。

【0043】

（第2回路例）

図7は、画素回路の第2回路例を示す回路図である。本回路例は、上述したように、nビット分のメモリ回路を持つ画素回路における1ビット分の構成のみを示している。この第2回路例に係る画素回路では、第1回路例に係る画素回路の場合のように、アナログ画像信号による画像とメモリデータによる画像との混在表示を行うのではなく、メモリデータのみによる画像表示を行う構成を採るようにする。したがって、アナログ画像信号を書き込むための画素選択用TF T Q n 1が不要となる。さらに、先述したデータ読み出し用TF T Q n 7の作用から明らかなように、コモン電圧VCOMの整合をとるためのデータ読み出し用TF T Q n 7についても省略できる。

【0044】

すなわち、図3の画素回路と図7の画素回路との対比から明らかなように、1ビットにつ

10

20

30

40

50

き、2個のトランジスタと2本の配線を省略できる。したがって、 n ビット分のメモリ回路を持つ画素回路を考えると、図3の画素回路を用いる場合には $8 \times n$ 個のトランジスタが必要になるのに対して、図7の画素回路を用いる場合には $6 \times n$ 個のトランジスタで済むため、画素回路の回路規模を大幅な縮小化が可能となる。

【0045】

〔垂直駆動系〕

画素部11の各画素（画素回路）を行単位で選択駆動する垂直駆動系は、図1から明らかのように、第一垂直駆動回路12と第二垂直駆動回路13とに分けられている。そして、これら垂直駆動回路12、13は、図2の画素回路が有する4本の配線、即ち走査線15-i、データ書き込み制御線28-i、データ読み出し制御線29-iおよび電源制御線30-iの駆動を2本ずつ担っている。具体的には、第一垂直駆動回路12が走査線15-iおよびデータ読み出し制御線29-iの駆動を担い、第二垂直駆動回路13がデータ書き込み制御線28-iおよび電源制御線30-iの駆動を担っている。以下に、第一垂直駆動回路12および第二垂直駆動回路13の具体的な回路構成について説明する。

10

【0046】

（第一垂直駆動回路12）

図8は、第一垂直駆動回路12の具体的な回路構成の一例を示すブロック図である。ここでは、図面の簡略化のために、 i 行目および $i+1$ 行目の回路部分の構成を示しているが、以下では、 i 行目の回路部分12-iのみを例に採ってその回路構成について説明するものとする。

20

【0047】

先ず、D型フリップフロップ（D-FF）41が各行に対応して1個ずつ配置され、これら各行のD-FF 41が互いに縦続接続されることにより、互いに逆相のクロックCLK、XCLKに同期して前段からの転送パルスを次段に転送するシフトレジスタを構成している。D-FF 41に入力される転送前のパルスとD-FF 41から出力される転送後のパルスとはNANDゲート42にその2入力として供給される。

【0048】

NANDゲート42の出力は、インバータ43で反転されてNANDゲート44の一方の入力となる。NANDゲート44の他方の入力としては、各行に対して共通に与えられるイネーブル信号ENBが供給される。NANDゲート44の出力は、インバータ45で反転されてNANDゲート46の一方の入力となる。NANDゲート46の他方の入力としては、各行に対して共通に与えられるメモリデータ読み出し制御信号MEM1がインバータ47で反転されて供給される。NANDゲート46の出力は、インバータ48で反転された後、バッファ49を介して走査信号GATEとして、図2の走査線15-iに供給される。

30

【0049】

NANDゲート50は、各行に対して共通に与えられるメモリデータ読み出し制御信号MEM2と、次行（ $i+1$ 行）のインバータ45の出力とを2入力としている。NANDゲート50の出力は、インバータ51で反転されてNORゲート52の一方の入力となる。NORゲート52の他方に入力としては、各行に対して共通に与えられる制御信号（VSSレベル）dronが供給される。NANDゲート52の出力は、インバータ53で反転された後、バッファ54を介してデータ読み出し制御信号drGATEとして、図2のデータ読み出し制御線29-iに供給される。

40

【0050】

（第二垂直駆動回路13）

図9は、第二垂直駆動回路13の具体的な回路構成の一例を示すブロック図である。ここでは、図面の簡略化のために、 i 行目および $i+1$ 行目の回路部分の構成を示しているが、以下では、 i 行目の回路部分13-iのみを例に採ってその回路構成について説明するものとする。

【0051】

50

先ず、DFF61が各行に対応して1個ずつ配置され、これら各行のDFF61が互いに縦続接続されることにより、互いに逆相のクロックCLK、XCLKに同期して前段からの転送パルスを実行に転送するシフトレジスタを構成している。DFF61に入力される転送前のパルスとDFF61から出力される転送後のパルスとはNANDゲート62にその2入力として供給される。

【0052】

NANDゲート62の出力は、インバータ63で反転されてNANDゲート64、65の各一方の入力となる。NANDゲート64の他方の入力としては、各行に対して共通に与えられるイネーブル信号ENBが供給される。NANDゲート64の出力は、インバータ66で反転されてNANDゲート67の一方の入力となる。NANDゲート65、67の各他方の入力としては、各行に対して共通に与えられるメモリデータ書き込み制御信号WEが供給される。

10

【0053】

NANDゲート65の出力は、R-Sフリップフロップ68のセット(S)入力となるとともに、インバータ69で反転されてNANDゲート70の一方の入力となる。NANDゲート67の出力は、NANDゲート71の一方の入力となり、さらにインバータ72で反転されてR-Sフリップフロップ68のリセット(R)入力となるとともに、バッファ73を介してデータ書き込み制御信号dWGateとして、図2のデータ書き込み制御線28-iに供給される。

【0054】

20

R-Sフリップフロップ68の出力は、電源スイッチ74に対してGNDレベルを選択する選択信号として供給され、さらにインバータ75で反転されて電源スイッチ74に対してVCCレベルを選択する選択信号として供給されるとともに、NANDゲート71の他方の入力となる。NANDゲート71の出力は、NANDゲート70の他方の入力となる。NANDゲート70の出力は、インバータ76で反転された後、バッファ77を介して正電源電圧VCCMEMとして、図2の電源制御線30-iに供給される。

【0055】

ここで、バッファ77には、正側電源電圧として、VDDレベルが与えられるとともに、電源スイッチ74による切り替えによってVCCレベルとGND(VSS)レベルが選択的に与えられる。これにより、電源制御線30-iに供給される正電源電圧VCCMEMは、VDDレベル、VCCレベルおよびGND(VSS)レベルの3レベルを選択的にとることになる。

30

【0056】

次に、上記構成の第一垂直駆動回路12および第二垂直駆動回路13の回路動作につき、図10～図12のタイミングチャートを用いて説明する。

【0057】

図10は、画面全面へのアナログ信号書き込み時のアナログ信号表示{GATE(i+1)～GATE(i+5)}のタイミングチャートである。図11は、メモリデータ保持時のアナログ信号表示{～GATE(i+1), GATE(i+5)～}、メモリデータ表示{GATE(i+2)～GATE(i+4)}の混在表示のタイミングチャートである。図12は、メモリデータ書き込み時のアナログ信号表示{～GATE(i+1), GATE(i+5)～}、メモリデータ表示{GATE(i+2)～GATE(i+4)}の混在表示のタイミングチャートである。

40

【0058】

先ず、図10のタイミングチャートを用いて、アナログ信号書き込み時の動作について説明する。メモリデータ読み出し制御信号MEM1, MEM2およびメモリデータ書き込み制御信号WEを共に低レベル(以下、“L”レベルと記す)にすることにより、第一垂直駆動回路12において、DFF41が縦続接続されてなるシフトレジスタのシフト動作(転送動作)に同期して走査信号GATEが順次出力されるとともに、データ読み出し制御信号drGATEが“L”レベルとなり、第二垂直駆動回路13において、データ書き込

50

み制御信号 $d w G A T E$ が “ L ” レベルになるとともに、正電源電圧 $V C C M E M$ として $V D D$ レベルが設定される。

【 0 0 5 9 】

これにより、図 2 に示すメモリ内蔵の画素回路において、データ書き込み用スイッチ 2 4 およびデータ読み出し用スイッチ 2 7 が共にオフ（開）状態となるため、信号線 1 6 - i からのメモリ回路 2 5 へ画像データの書き込み、メモリ回路 2 5 からの液晶セル部へのメモリデータの読み出しは行われず、走査信号 $G A T E$ に応答してオン（閉）状態となる画素選択用スイッチ 2 3 を通してのアナログ画像信号のみの液晶セル部への書き込みが行単位で可能となる。

【 0 0 6 0 】

10

続いて、図 1 1 のタイミングチャートを用いて、メモリデータ読み出し時の動作について説明する。メモリデータ表示を行う垂直走査期間において、メモリデータ読み出し制御信号 $M E M 1$ を高レベル（以下、“ H ” レベルと記す）にし、その立ち上がりタイミングから 1 H 後にメモリデータ読み出し制御信号 $M E M 2$ を “ H ” レベルにする。すると、第一垂直駆動回路 1 2 において、メモリデータ読み出し制御信号 $M E M 1$ によって走査信号 $G A T E$ が “ L ” レベルとなり、メモリデータ読み出し制御信号 $M E M 2$ によって 1 H 後にデータ読み出し制御信号 $d r G A T E$ が “ H ” レベルになる。

【 0 0 6 1 】

データ読み出し制御信号 $d r G A T E$ が “ H ” レベルになることで、データ読み出し用スイッチ 2 7 がオン状態となるため、メモリ回路 2 5 に保持されているデータ（メモリデータ）が、走査信号 $G A T E$ による走査タイミングよりも 1 H だけ遅れて、データ読み出し用バッファ 2 6 を介して読み出される。このとき、データ読み出し用スイッチ 2 7 の作用により、1 H（または、1 F）ごとに極性が反転する電位 $C s$ 、 $X C s$ のどちらかの電位が画素電位として液晶セル部に書き込まれる。このとき、第二垂直駆動回路 1 3 では動作上の変化はない。

20

【 0 0 6 2 】

ここで、第一垂直駆動回路 1 2 では、 $D F F 4 1$ が縦続接続されてなるシフトレジスタのシフト動作に同期して画素回路の駆動が行われることから、アナログ信号書き込み表示領域とメモリデータ書き込み表示領域との境界走査線をメモリデータ読み出し制御信号 $M E M 1$ 、 $M E M 2$ のタイミングで規定できるため、アナログ信号表示とメモリデータ表示との混在表示が可能となる。

30

【 0 0 6 3 】

また、本実施形態では、図 1 1 のタイミングチャートから明らかなように、 $i + 5$ 行目の走査信号 $G A T E (i + 5)$ の発生タイミングと同じタイミングで $i + 4$ 行目のデータ読み出し制御信号 $d r G A T E (i + 4)$ を発生するようにしている。すなわち、 $i + 5$ 行目の走査信号 $G A T E (i + 5)$ と、 $i + 4$ 行目のデータ読み出し制御信号 $d r G A T E (i + 4)$ とを同じタイミングで “ H ” レベルにするようにしている。

【 0 0 6 4 】

このようなタイミング関係に設定することで、メモリデータ表示の駆動において、アナログ信号表示の際の画素選択タイミング、即ちメモリ回路 2 6 への画像データの書き込みタイミングに対して、その 1 H 後にメモリデータを読み出して液晶セル部に書き込む動作が行われても、メモリデータ表示からアナログ信号表示へ切り替わる際に、 $(i + 4)$ 行目に対するメモリデータ表示と、 $(i + 5)$ 行目に対するアナログ信号表示とが同時に行われるため、メモリデータ表示での最後の 1 ライン、即ち $i + 4$ 行目の表示を確実に行えることになる。

40

【 0 0 6 5 】

最後に、図 1 2 のタイミングチャートを用いて、メモリデータ書き込み時の動作について説明する。まず、デジタル画像データをメモリ回路 2 5 に書き込む任意の期間でメモリデータ書き込み制御信号 $W E$ を “ H ” レベルにする。このメモリデータ書き込み制御信号 $W E$ のタイミングは任意に設定可能であることから、図 1 2 のタイミングチャートではその

50

図示を省略している。

【0066】

第二垂直駆動回路13において、メモリデータ書き込み制御信号WEが“H”レベルとなることで、DFF61が縦続接続されてなるシフトレジスタの転送動作に同期してデータ書き込み制御信号dwGATEが順次出力される。これにより、図2に示すメモリ内蔵の画素回路において、データ書き込み用スイッチ24がオン状態となるため、信号線16-iからデジタル画像データがメモリ回路25に書き込まれる。

【0067】

このシーケンスにより、メモリ回路25への画像データの書き込みと、メモリ回路25からの画像データの読み出しとを、1F（1フィールド）期間内で行うことができる。

10

【0068】

ところで、メモリ回路25でのメモリデータの保持電圧はパネル回路電源VDDである。そして、メモリ回路25への画像データの書き込み時には、先述した第1回路例に係る画素回路の動作説明で述べたように、メモリ回路25の正電源電圧VCCMEMをVDDレベルからメモリデータ電圧であるVCCレベルに一度下げる制御を行うようにしている。このときに、正電源電圧VCCMEMがVDDレベルからVCCレベルに遷移するのに、回路素子の特性などの影響によって時間がかかることになる。

【0069】

このように、正電源電圧VCCMEMがVDDレベルからVCCレベルに遷移するのに時間がかかると、先述した例の場合には、正電源電圧VCCMEMが7Vから3Vに遷移する途中で画像データがメモリ回路25に入力されることになり、そのときの正電源電圧VCCMEMが例えば5Vであるとする、データ不定となり、メモリ回路25（図3の回路例では、SRAM）に貫通電流が流れることになる。

20

【0070】

このような不具合を未然に防ぐために、本実施形態では、メモリ回路25の正電源電圧VCCMEMについて、次のような制御を行うようにしている。その制御は、第二垂直駆動回路13において行われる。以下に、その具体的な制御のシーケンスについて説明する。

【0071】

図12のタイミングチャートに示すように、画像データの書き込みを指令するメモリデータ書き込み制御信号WEが“H”レベルになったら、第二垂直駆動回路13において、R-Sフリップフロップ68の出力に応答して電源スイッチ74がGND（VSS）レベルを選択することにより、正電源電圧VCCMEMをVDDレベルからVSSレベルに一度落とす。その後、インバータ75の出力に応答して電源スイッチ74がVCCレベルを選択することにより、正電源電圧VCCMEMをVSSレベルからVCCレベルにする。このVCCレベルにて画像データをメモリ回路25に書き込んだ後、正電源電圧VCCMEMをVDDレベルに戻す。

30

【0072】

このように、メモリ回路25への画像データの書き込み時に、メモリ回路25の正電源電圧VCCMEMをVDDレベルから一度VCCレベルよりも低いレベル（本例では、VSSレベル）に強制的に落とし、その後にVCCレベルにするようにしたことにより、正電源電圧VCCMEMがVDDレベルからVCCレベルに遷移する時間を大幅に短縮することができるため、正電源電圧VCCMEMがVCCレベルに下がりきっていない状態で画像データがメモリ回路25に入力されるのを回避できる。その結果、データ不定となることはないため、データ不定に伴って貫通電流が流れるのを未然に防ぐことができる。

40

【0073】

また、上述した機能を有する垂直駆動系を構築する場合、第一垂直駆動回路12および第二垂直駆動回路13の回路例から明らかなように、多数の論理回路を用いて構成することから、回路素子数が増大し、回路規模が極めて大規模なものとなる。一方、携帯端末装置、例えば携帯電話機の出力表示部として液晶表示装置を用いる場合、携帯電話機本体の中央に出力表示部を配置するのが通常である。一方、携帯電話機本体は年々小型

50

化の傾向にあることから、液晶表示装置にあっては、画素部（有効画面）の周辺領域、いわゆる額縁の面積の縮小化が望まれているのが現状である。

【0074】

かかる事情に鑑み、本実施形態に係る液晶表示装置では、図1から明らかなように、垂直駆動系を第一、第二垂直駆動回路12、13に分けるとともに、これら垂直駆動回路12、13を画素部11の左右両側に分けてレイアウトした構成を採っている。これにより、垂直駆動系について、画素部（有効画面）11の両側に効率の良いパターンレイアウトが可能になるため、液晶表示パネル17の狭額縁化が可能となる。

【0075】

特に、上記の回路例では、第一垂直駆動回路12が走査線15-iおよびデータ読み出し制御線29-iの駆動を担い、第二垂直駆動回路13がデータ書き込み制御線28-iおよび電源制御線30-iの駆動を担う構成としたことで、走査線15-iを駆動する走査信号GATEとデータ読み出し制御線29-iを駆動するデータ読み出し制御信号drGATE、データ書き込み制御線28-iを駆動するデータ書き込み制御信号dwGATEと電源制御線30-iを駆動する電源電圧VCCMEMがそれぞれ動作上関連性を持つことから、両信号間で回路を兼用することができるため、第一、第二垂直駆動回路12、13の各回路構成をより簡略化できる利点がある。

【0076】

図13は、本発明に係る携帯端末装置、例えば携帯電話機の構成の概略を示す外観図である。

【0077】

本例に係る携帯電話機は、装置筐体81の前面側に、スピーカ部82、出力表示部83、操作部84およびマイク部85を上部側から順に配置された構成となっている。かかる構成の携帯電話機において、出力表示部83には液晶表示装置が用いられ、この液晶表示装置として先述した実施形態に係る液晶表示装置が用いられる。

【0078】

この種の携帯電話機における出力表示部83には、スタンバイモード等での表示機能として、画面の縦方向における一部の領域にのみ画表示を行うパーシャル表示モードがある。一例として、スタンバイモードでは、図14に示すように、画面の一部の領域にバッテリー残量、受信感度あるいは時間などの情報が常に表示された状態にある。そして、残りの表示領域には例えば白（あるいは、黒）表示が行われる。

【0079】

このように、パーシャル表示機能を持つ出力表示部83を搭載した携帯電話機において、その出力表示部83として先述した実施形態に係る液晶表示装置を用い、パーシャル表示モードではメモリデータ表示を行うようにすることにより、信号線の充放電が不要であることによってパーシャル表示モードでの低消費電力化が可能であるため、主電源であるバッテリーの一回の充電での使用時間の長時間化が図れる。

【0080】

特に、画素回路ごとに設けられたメモリ回路に画像データを書き込む際の画素電位の影響を排除し、画素回路を構成するトランジスタの特性ばらつきに対して大きいマージンを持たせることが可能であるため、トランジスタの特性ばらつきによる画質の変動が無く、高品位の画質を提供できる。

【0081】

しかも、垂直駆動系を第一、第二垂直駆動回路12、13に分けて左右両側にレイアウトしたことにより、液晶表示パネルの狭額縁化が可能となるため、決められたサイズの装置筐体81に本液晶表示装置を搭載する場合に、液晶表示パネルの額縁を狭くできる分だけ有効画面サイズを大きく設定できる。逆に、有効画面サイズが決められている場合には、液晶表示パネルの額縁を狭くできる分だけ装置筐体81の小型化が可能となる。

【0082】

なお、ここでは、携帯電話機に適用した場合を例に採って説明したが、これに限られるも

10

20

30

40

50

のではなく、親子電話の子機やPDAなど携帯端末装置全般に適用可能である。

【0083】

【発明の効果】

以上説明したように、本発明によれば、メモリ部を有する画素回路において、メモリ部へのデジタル画像信号の書き込みと、メモリ部からのデジタル画像信号の読み出しとを別経路で行うようにしたことにより、メモリ部にデジタル画像信号を書き込む際に、その書き込み動作に画素電位の影響が及ぶことがないため、画素回路を構成するトランジスタの特性ばらつきに対して大きいマージンを持たせることが可能となり、トランジスタの特性ばらつきによる画質の変動を無くすることができる。

【図面の簡単な説明】

10

【図1】本発明の一実施形態に係る液晶表示装置の全体構成の概略を示すブロック図である。

【図2】i行i列目の画素回路の構成の一例を示す回路図である。

【図3】画素回路の第1回路例を示す回路図である。

【図4】液晶セル部へのアナログ画像信号書き込み時のタイミングチャートである。

【図5】メモリ回路への画像データ書き込み時のタイミングチャートである。

【図6】メモリ回路からの画像データ読み出し時のタイミングチャートである。

【図7】画素回路の第2回路例を示す回路図である。

【図8】第一垂直駆動回路の具体的な回路構成の一例を示すブロック図である。

【図9】第二垂直駆動回路の具体的な回路構成の一例を示すブロック図である。

20

【図10】画面全面へのアナログ信号書き込み時のアナログ信号表示のタイミングチャートである。

【図11】メモリデータ保持時のアナログ信号表示、メモリデータ表示の混在表示のタイミングチャートである。

【図12】メモリデータ書き込み時のアナログ信号表示、メモリデータ表示の混在表示のタイミングチャートである。

【図13】本発明に係る携帯電話機の構成の概略を示す外観図である。

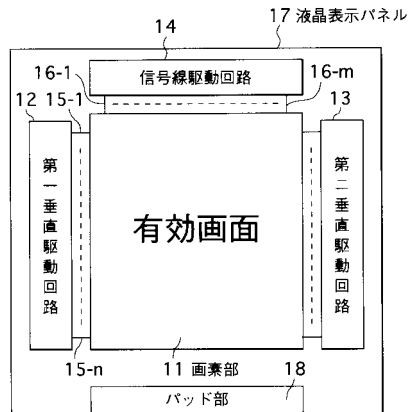
【図14】出力表示部の表示例を示す図である。

【符号の説明】

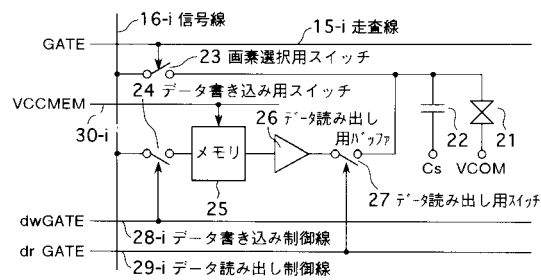
11…画素部（有効画面）、12…第一垂直駆動回路、13…第二垂直駆動回路、14…信号線駆動回路、17…液晶表示パネル、21…液晶セル、22…保持容量、23…画素選択用スイッチ、24…データ書き込み用スイッチ、25…メモリ回路、26…データ読み出し用バッファ、27…データ読み出し用スイッチ

30

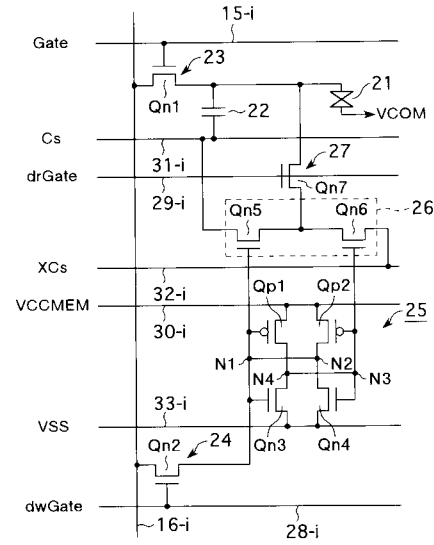
【図 1】



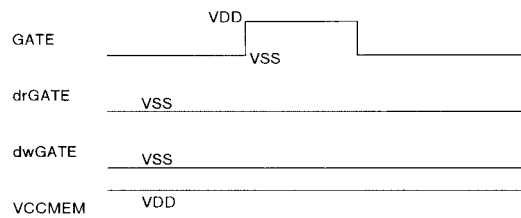
【図 2】



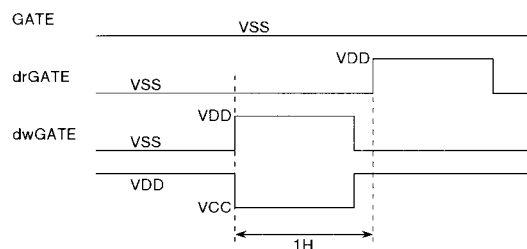
【図 3】



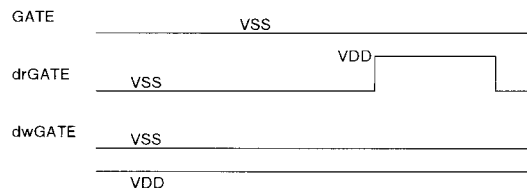
【図 4】



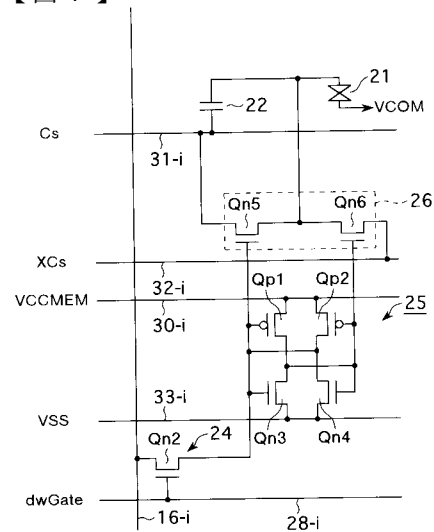
【図 5】



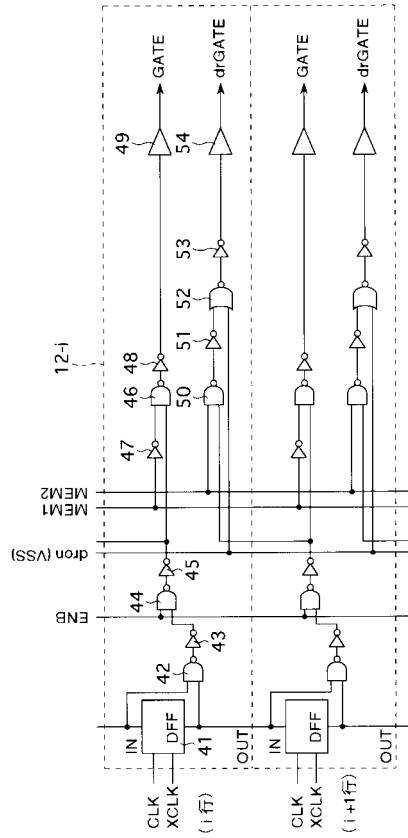
【図 6】



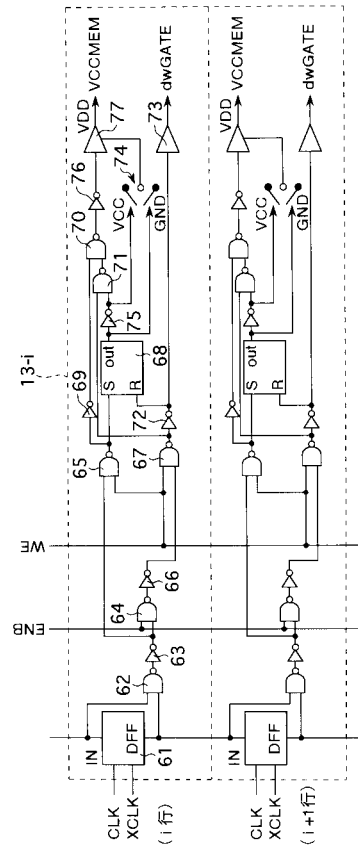
【図 7】



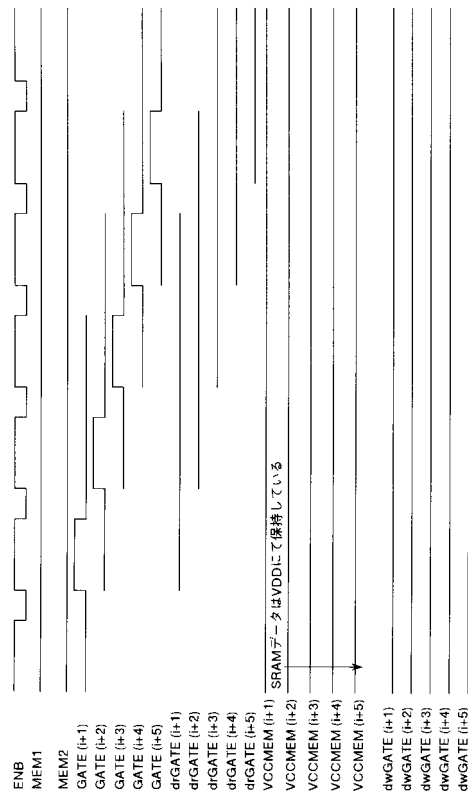
【図 8】



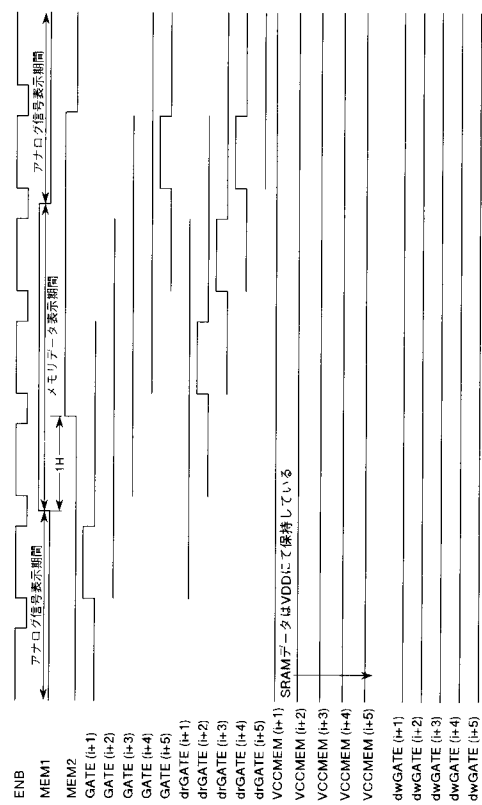
【図 9】



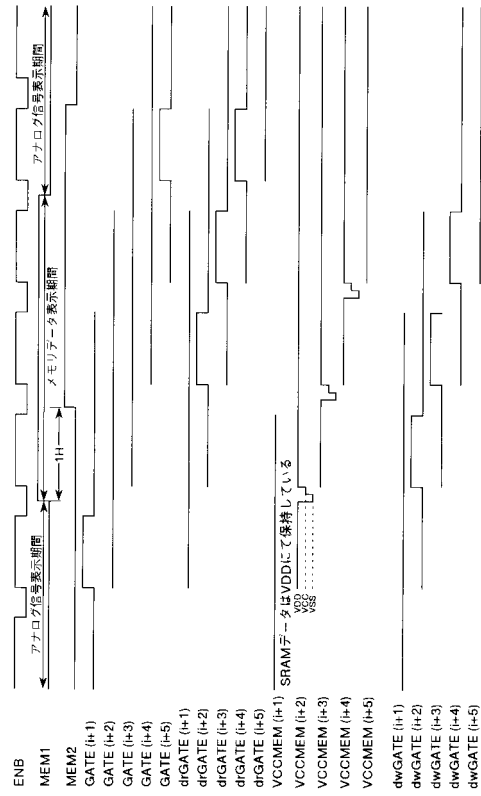
【図 10】



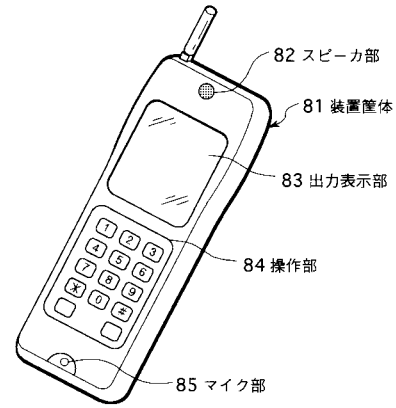
【図 11】



【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl.⁷

F I

H04M 1/02

C

(56)参考文献 特開昭58-023091 (JP, A)
特開2002-311904 (JP, A)
特開2002-297082 (JP, A)
特開2002-174824 (JP, A)
特開2002-156922 (JP, A)
国際公開第00/008625 (WO, A1)
特開平10-214063 (JP, A)
特開平07-253765 (JP, A)
特開平09-212140 (JP, A)
特開2001-264814 (JP, A)
特開2001-100707 (JP, A)
国際公開第99/40561 (WO, A1)

(58)調査した分野(Int.Cl.⁷, DB名)

G09G 3/00- 3/38

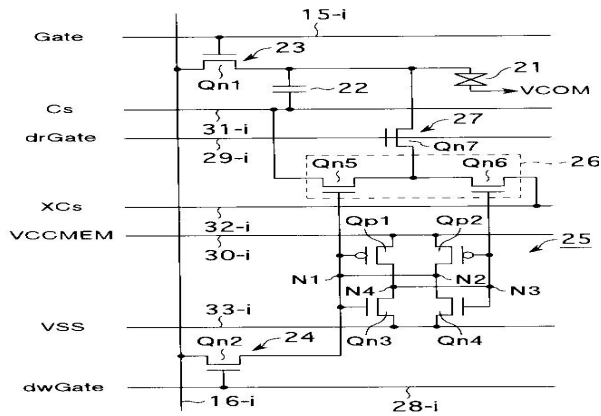
G02F 1/133 505-580

专利名称(译)	液晶显示装置和使用其的便携式终端装置		
公开(公告)号	JP3603832B2	公开(公告)日	2004-12-22
申请号	JP2001322218	申请日	2001-10-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	豊澤昇 仲島義晴		
发明人	豊澤 昇 仲島 義晴		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C7/10 G11C11/401 H04M1/02		
CPC分类号	G09G3/3677 G09G3/2011 G09G3/3614 G09G3/3659 G09G2300/0809 G09G2300/0857 G09G2310/04 G09G2320/10 G09G2330/02 G09G2330/021 G09G2340/0428		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.624.B G09G3/20.680.T H04M1/02.C G09G3/20.611.H G09G3/20.621.B G09G3/20.621.M G09G3/20.622.G G11C11/34.371.H G11C11/401 G11C7/10.100 G11C7/10.480		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NC15 2H093/NC28 2H093/NC34 2H093/NC40 2H093/ND37 2H193/ZA04 2H193/ZA20 2H193/ZF24 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF27 5C006/AF42 5C006/AF44 5C006/AF50 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF69 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF06 5C006/BF25 5C006/BF26 5C006/BF27 5C006/EB05 5C006/EC06 5C006/FA04 5C006/FA22 5C006/FA41 5C006/FA47 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD25 5C080/DD26 5C080/EE01 5C080/EE17 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK47 5K023/AA07 5K023/BB03 5K023/HH07 5M024/AA93 5M024/PP01 5M024/PP02 5M024/PP03 5M024/PP07		
代理人(译)	船桥 国则		
其他公开文献	JP2003122331A		
外部链接	Espacenet		

摘要(译)

要解决的问题：当将图像数据写入存储器部分时，将图像数据从信号线写入存储器部分，并通过相同的路径将图像数据从存储器部分读出到液晶单元部分，在像素电位的影响下重写数据。在具有存储电路25的像素电路中，用于将图像数据从信号线16-i经由数据写入开关24写入存储电路25的路径和用于将保持在存储电路25中的图像数据写入液晶的路径并且，通过数据读出开关27读出单元部分的路径彼此不同，并且当读出图像数据时和当图像数据写入存储器部分时，通过数据读出缓冲器26读出。确保数据不受像素潜力的影响。

【 図 3 】



【 図 4 】