

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2009-503595

(P2009-503595A)

(43) 公表日 平成21年1月29日 (2009.1.29)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 641C	5C080
	G09G 3/20 611A	
	G02F 1/133 550	
審査請求 未請求 予備審査請求 未請求 (全 25 頁)		

(21) 出願番号 特願2008-524518 (P2008-524518)
 (86) (22) 出願日 平成18年8月1日 (2006.8.1)
 (85) 翻訳文提出日 平成20年2月1日 (2008.2.1)
 (86) 国際出願番号 PCT/EP2006/064913
 (87) 国際公開番号 W02007/014953
 (87) 国際公開日 平成19年2月8日 (2007.2.8)
 (31) 優先権主張番号 0508259
 (32) 優先日 平成17年8月2日 (2005.8.2)
 (33) 優先権主張国 フランス (FR)

(71) 出願人 505157485
 テールズ
 フランス 92200 ノイリーシュ
 ルーセヌ リュー ドゥ ヴィリエール
 45
 (74) 代理人 100071054
 弁理士 木村 高久
 (72) 発明者 ルブラン、ユーグ
 フランス、エフ-38500 クブルヴィ
 、アンパス プルヴェール、100
 (72) 発明者 クレッツ、ティエリー
 フランス、エフ-38430 サン ジャ
 ンド モワラン、165 シャン ド
 ラ クール

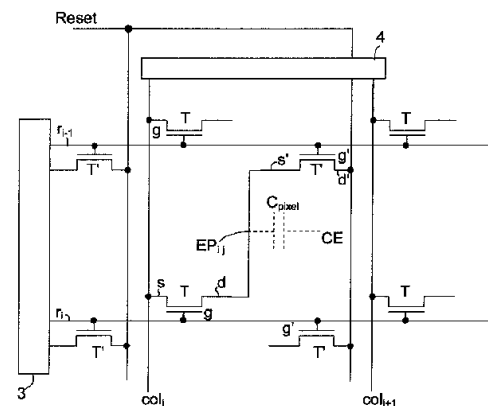
最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ装置用の能動マトリックス

(57) 【要約】

液晶ディスプレイ装置用の能動マトリックスは、行と列の交差するネットワーク内に配置された画素電極を含む。各画素電極に関連して、前記画素電極 ($EP_{i,j}$) と、関連する列 (col_j) との間に接続された第一スイッチング素子 (T) を含む、電子制御装置が備えられ、前記スイッチング素子 (T) の制御電極 (g) は関連する行 (r_i) に接続される。制御装置は前記画素電極 ($EP_{i,j}$) に接続された第二スイッチング素子 (T') を含む前記画素電極用の初期化回路を備え、その制御電極 (g') はネットワークの前の行 (r_{i-1}) に接続される。

能動マトリックスの双安定ネマチックディスプレイに適用され得る。



【特許請求の範囲】

【請求項 1】

液晶ディスプレイ装置用の能動マトリックスであって、行と列の交差するネットワーク内に配置された画素電極を備え、そして各画素電極と関連し、電子制御装置が前記画素電極 ($EP_{i,j}$) と、関連する列 (Col_j) との間に接続された第一スイッチング素子 (T) を備え、前記第一スイッチング素子 (T) の制御電極 (g) が関連する行 (r_i) に接続され、前記制御装置がリセットバス及び、前記画素電極 ($EP_{i,j}$) と前記リセットバスとの間に接続された第二スイッチング素子 (T') を備える前記画素電極を初期化するための回路を含み、その制御電極 (g') が前記ネットワークの前の行 (r_{i-1}) に接続される能動マトリックス。

10

【請求項 2】

前記電子制御装置の前記第一及び第二のスイッチング素子がトランジスタである、請求項 1 に記載の能動マトリックス。

【請求項 3】

前記リセットバスが特定の電力供給バス (リセット) である、請求項 1 あるいは 2 に記載の能動マトリックス。

【請求項 4】

前記電力供給バスが、列に平行、又は行に平行に配置された複数の導体を含む、請求項 3 に記載の能動マトリックス。

【請求項 5】

前記電力供給バスが、少なくとも一つの絶縁層により前記画素電極から隔てられた層に形成される、前記マトリックスの透明又は不透明な機能導電層 (F) である、請求項 3 に記載の能動マトリックス。

20

【請求項 6】

前記マトリックスのランク i の各行 (r_i) に対して、前記行の画素電極の行 (R_i) の下に埋められ、前の行 (r_{i-1}) に接続された導電性のバス (B_i) を備え、前記バスが、前記ランク i の行の各々の画素電極と共に記憶容量を形成し、前記導電性のバスがリセットバスを形成し、そして各画素電極 ($EP_{i,j}$) に関連する初期化回路の前記第二スイッチング素子 (T') が、前記電極と共に記憶容量を形成する前記導電性のバス (B_i) を含み、前記容量の端子が前記画素電極に接続され、前記容量の別の端子が前記導電性のバスにより形成され、そして前記の前の行に接続されるタイプの、請求項 1 に記載の能動マトリックス。

30

【請求項 7】

前記第二スイッチング素子がダイオード (D) である、請求項 1 に記載の能動マトリックス。

【請求項 8】

前記ダイオードがトランジスタ、一つの伝導電極、前記ゲート (g') に接続されたドレイン (d') 又はソース (s) により形成され、その他の伝導電極が前記画素電極 ($EP_{i,j}$) に接続される、請求項 7 に記載の能動マトリックス。

【請求項 9】

各画素電極 ($EP_{i,j}$) の接地回路もまた含む、請求項 1 ~ 8 のいずれか一項に記載の能動マトリックス。

40

【請求項 10】

前記接地回路が、前記画素電極 ($EP_{i,j}$) と前記機能層との間に接続されたスイッチング素子 (T'') を備え、その制御電極 (g'') が前記マトリックス内の次の行 (r_{i+1}) に接続され、前記機能層が接地される、導電機能層 (F) を含むタイプの請求項 9 に記載の能動マトリックス。

【請求項 11】

前記接地回路が、前記行が選択されていないときに前記画素電極の放電を確実にすることができる、各画素電極 ($EP_{i,j}$) と関連する行 (r_i) との間の浮遊結合容量 (C

50

$p_{i \times e l} / r_i$) により形成される、請求項 9 に記載の能動マトリックス。

【請求項 12】

各画素電極の前記制御装置の前記第一スイッチング素子 (T) 及び / 又は前記第二スイッチング素子 (T') が多結晶、単結晶、多形性、又は有機トランジスタである、請求項 9 に記載の能動マトリックス。

【請求項 13】

前記接地回路が液晶を含む空洞内にスペーサ (e) を備え、前記スペーサ (e) が各画素電極と対電極 CE との間で各画素電極に置かれ、幾らかの行の時間にわたり前記画素電極を放電することができる漏れ電流を有する、請求項 9 に記載の能動マトリックスを備えた液晶ディスプレイ。

10

【請求項 14】

各画素電極 ($EP_{i,j}$) と関連する前記制御回路を制御可能な行ドライバ (3) 及び列ドライバ (4) を備え、前記第一スイッチング素子 (T) が、前記画素電極 ($EP_{i,j}$) 上に表示されるべきグレーレベルに対応する電圧レベル (V_{Di}) を加えるために、前記行 (r_i) のアドレス指定時間 (t_{1i}) において前記行ドライバにより駆動され、前記電圧レベルが前記行ドライバ (4) により前記アドレス指定時間 (t_{1i}) において関連する列に加えられ、前記第二スイッチング素子 (T') が、初期化電圧レベル (V_{reset}) を加えるために前の行 (r_{i-1}) のアドレス指定時間 (t_{1i-1}) において前記行ドライバにより駆動される、請求項 1 ~ 8 のいずれか一項に記載の能動マトリックスを備えた液晶ディスプレイ。

20

【請求項 15】

各画素電極 ($EP_{i,j}$) と関連する前記制御回路を制御可能な行ドライバ (3) 及び列ドライバ (4) を備え、前記第一スイッチング素子が、前記画素電極 ($EP_{i,j}$) 上に表示されるべきグレーレベルに対応する電圧レベル (V_{Di}) を加えるために、前記行 (r_i) のアドレス指定時間 (t_{1i}) において前記行ドライバにより駆動され、前記電圧レベルが前記行ドライバ (4) により前記アドレス指定時間 (t_{1i}) において前記関連する列に加えられ、前記第二スイッチング素子が、初期化電圧レベル (V_{reset}) を加えるために前の行 (r_{i-1}) のアドレス指定時間 (t_{1i-1}) において前記行ドライバにより駆動され、そして前記列ドライバ (4) が、依然として選択されている行の各アドレス指定時間の最後に全ての列を接地に引き込む、請求項 9 と組み合わせられた請求項 1 ~ 8 のいずれか一項に記載の能動マトリックスを備えた液晶ディスプレイ。

30

【請求項 16】

請求項 9 ~ 12 のいずれか一項に記載の能動マトリックスを備えた、請求項 14 に記載のディスプレイ。

【請求項 17】

双安定ネマチックタイプの、請求項 13 ~ 16 のいずれか一項に記載のディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶ディスプレイ装置用の能動マトリックスに関する。

40

【0002】

本発明は特に、通常 BiNem (登録商標) 装置と呼ばれる双安定ネマチック液晶ディスプレイ装置に適用される。以下の説明において、双安定ネマチックディスプレイという用語が用いられるであろう。双安定ネマチックディスプレイは様々な用途において使用され、更にとりわけ、いわゆるローミング用途に用いられる。これらのほんの少しの例は携帯電話又は携帯情報端末 (PDA) のようなポケット・コンピュータ、或いは電子ブックまでも含む。

【背景技術】

【0003】

これらの双安定ネマチックディスプレイは、画像リフレッシュを必要としないという特

50

に興味深い特性を有し、これは電力消費が最小限に保たねばならない、これら全てのローミング用途のために非常に好ましい。それらは行の数に関係なく高画質を提供する。

【0004】

これらの双安定ネマチックディスプレイは通常、いわゆる受動マトリックスを含む。各画素は行信号及び列信号により直接制御される。受動マトリックスの欠点は、画像が表示される間、行の画素が行の各々の画素に加えられる全ての信号を「見る」ことである。これは大きな画面に対するこの技術の使用に問題を生じる。更に、切り替えが遅く、それはこの技術をビデオ用途に対して使用不可能にする。

【0005】

従って、これらの受動マトリックスディスプレイは画像の変化が少ないか遅く、そして小さいサイズの用途、典型的には電子ブックタイプの用途にとりわけ適している。

【0006】

これら様々な理由のため、そのようなディスプレイで能動マトリックスを使用するための努力がなされて来た。用語「能動マトリックス」はアドレス指定が各画素電極と関連するスイッチングデバイスを含む、画素電極のマトリックス構造を意味するために使用される。画素がアドレス指定されない場合、関連するスイッチングデバイスは（浮遊容量による結合の問題とは別に）画素電極を列信号及び行信号から切り離す。

【0007】

スイッチングデバイスはダイオード又はトランジスタであり得る。それはアモルファスシリコン（a-Si）の薄膜を用いる標準のTFT（薄膜トランジスタ）タイプのトランジスタであることが有利である。実際、これらのトランジスタはゼロ又は非常に小さい漏れ電流を有する点で、多結晶シリコントランジスタよりも利点を持ち、それはTNタイプ画素において情報を維持することに関して、非常に重要な特性である。

【0008】

能動マトリックスは画素電極を備え、スイッチングデバイス及び行と列の導体は第一の基板上に作られる。

【0009】

ディスプレイは能動マトリックスに加えて、全ての画素に共通で対電極とも呼ばれる別の画素電極を形成する、第二の基板を備える。第二の基板は空洞が能動マトリックスの上端部と第二の基板との間に形成されるように配置される。空洞は計画された技術に依存する成分と分子の向きを有する液晶で充填される。画素電極及び対電極は次に画素の静電容量の二つの極板を形成し、情報を記憶するために用いられる双安定材料は二つの極板の間にある。

【0010】

双安定ネマチック及び能動マトリックスのタイプの液晶ディスプレイは、「高度化された双安定ネマチック液晶ディスプレイの方法及び素子」（“Procédé et dispositif perfectiionnes d'affichage à cristaux liquides nematic bistable”（Sophisticated bistable nematic liquid crystal display method and device））の題名で、第02 14806号の下に登録され、ネムオプティック（Nemoptic）社により出願された、仏国特許出願に記述されている。AMLCD（能動マトリックス液晶ディスプレイ）タイプの（画面）ディスプレイが得られる。

【0011】

上記の用途において記述されている双安定ネマチックディスプレイ用の能動マトリックス構造は、図式的に図1に例示されている。

【0012】

能動マトリックスの構造Mは、通常はm行 $r_1, r_2, \dots, r_m$ 、及びp列 $col_1, col_2, \dots, col_p$ のネットワークに配置されている $m \times p$ 組（画素電極1、トランジスタ2）を含む。

10

20

30

40

50

【 0 0 1 3 】

各画素電極 1 と関連するトランジスタ 2 は、画面の対応する画素が行導体及び列導体によって個々にアドレス指定されることを可能にする。

【 0 0 1 4 】

以下の説明において、用語「行」又は「列」は電氣的な感覚での導体を意味し、或いはマトリックス配置の感覚での行又は列を意味する。

【 0 0 1 5 】

各電極 1 に関連するトランジスタ 2 はスイッチング素子として働く。オン状態に切り替えられたとき、それは決定された電圧レベルが画素電極に加えられることを可能にし、対応するグレーレベルを画面の画素上に表示出来るようにする。オフ又はブロックされた状態に切り替えられたとき、（浮遊容量による結合とは別に）それは画素電極を残りのマトリックスから切り離す。トランジスタはドレイン d 及びソース s と呼ばれる二つの伝導電極及び一つのゲート電極 g を備え、それらを通じてトランジスタの「オン」又は「オフ」状態が制御される。

【 0 0 1 6 】

より具体的には、トランジスタは通常次のようにマトリックス構造において接続される。伝導電極、例えばドレイン d は画素電極に接続される。トランジスタのゲート g は関連する行に加えられる行選択信号により制御される。トランジスタのもう一つの伝導電極、例としてソース s は関連する列に接続される。

【 0 0 1 7 】

従って、一つの同じ行の全てのトランジスタのゲートは、すべてその行に接続され、一方で一つの同じ列の全てのトランジスタのソースは、すべてその列に接続される。トランジスタが「オン」にセットされたとき、それはソース s と関連する列によって加えられる電圧をドレイン d に切り替える。従って、画素電極 1 は表示されるべきビデオデータ項目（グレーレベル）に対応する電圧レベルまで充電される。

【 0 0 1 8 】

画素電極 1 は周辺のアドレス指定回路により、それらの関連するトランジスタ 2 を通じて各々制御される。これらのアドレス指定回路は一般的に、より簡単には以下に続く説明において行ドライバと呼ばれる行制御回路 3 と、より簡単には以下に続く説明において列ドライバと呼ばれる列制御回路 4 とを含む。行制御回路 3 はある時間枠にわたり順次に行を選択するために、行に対して連続的に複数の電圧レベルを加える。各行の時間において、列の制御回路 4 は選択された行の各画素における与えられたグレーレベルを表示するために、適切な電圧レベルを列に加える。

【 0 0 1 9 】

双安定ネマチック画面の画素の制御は、画素の二つの安定した状態の間の切り替えが速い必要がある場合に、高い電圧の使用を前提とする。これら二つの安定した状態は、一様なテクスチャ及びねじれたテクスチャの二つの異なるテクスチャに相当する。それらは、液晶で充填された空洞を形成する基板（又はウェーハ）の各々の面で異なる分子の方向の層に関連する、液晶の適切な組成からもたらされる。

【 0 0 2 0 】

一様なテクスチャとは画素の厚さの中で、 0° に近い小さなねじれ角度により定義される。ねじれたテクスチャとは画素の厚さの中で、 180° に近い大きなねじれ角度により定義される。

【 0 0 2 1 】

これらの二つのテクスチャは、各ウェーハにおける一つの固着が液晶を含む空洞を形成し、各々がそのために適切な異なる方向の層でコーティングされている、二つの分子固着点の存在により特徴付けられる。一つの固着点は非常に強く、電界の付加によって殆ど影響されない。もう一つの固着点は弱い。この弱い固着は強い電界が加えられるときに破壊され得る。従って、一つの安定した状態からもう一つの状態に切り替える唯一の方法は、その効果が弱い固着点を破壊する、電気パルス形のエネルギーを加えることである。そ

10

20

30

40

50

のとき、パルスの形によって、分子は画素の厚さの中で一つ又は二つの安定した状態に組織化される。この技術のより包括的な詳細及びその原理は、イワン・N・ドゾブラ (Ivan N. Dozov et al.) による次の出版物、「結合した表面固着の破壊に基づく高速双安定ネマチックディスプレイ (Fast bistable nematic display from coupled surface anchoring breaking)」、SPIE プロシーディングス (SPIE Proceedings) 3015 巻、61~69 頁 (0-8194-2426-9、214 頁、1997 年発行) 及び、「標準製作設備により作られる、Binem (登録商標) 技術を用いた超低出力の明るい反射ディスプレイ (Ultra low power bright reflective displays using Binem (登録商標) technology fabricated by standard manufacturing equipment)」、技術論文の SID シンポジウム・ダイジェスト (SID Symposium Digest of Technical Papers) - 2002 年 5 月 - 33 巻、第一版、30~33 頁において見出すことが出来る。

10

【0022】

従って、画素の端子に加えられる電界の形は、テクスチャの「リセット」段階に等価な高い電界値で固着を破壊するステップの後に、二つのテクスチャの一つ又はもう一つを選択する方法を提供する。このリセット段階は、決定された破壊電圧レベル及び加圧時間により特徴付けられる。

20

【0023】

後に続く書き込み段階において、一つ又はもう一つのテクスチャは加えられる電気パルスの形に従って得られる。実際に、一つ又はもう一つの安定した状態への切り替えは、電気パルスの下降する縁の形状によって得られる。

- 均一なテクスチャ U は、例えば弾力的な緩和挙動を助ける、破壊電圧レベルからの段階的な形状又はアナログの下降する電圧勾配による、ゆっくりした下降の縁を有する切り替えによって得られる。この弾力的な緩和プロセスは、分子をねじれ角度を伴わずそれ自体を平行に配置するように導き、一様なテクスチャ U をもたらす。画素はディスプレイ上で黒として現れる。

- ねじれたテクスチャ T は、「バックフロー (backflow)」として知られる分子の方向変化の動的なプロセスを助ける、破壊電圧レベルからの急峻な下降の縁を有する切り替えによって得られる。画素の液晶分子の強い流体力学的な流れは、分子の弱い固着における破壊及び、およそ 180° のねじれ角度を有する分子の組織をもたらす。画素はディスプレイ上で白として現れる。

30

【0024】

最先端技術によれば、表示されるべきグレーレベルによる可変の比率において、画素の厚さの中で双方のテクスチャの共存に導く中間的な縁を有する切り替えによる、混合したテクスチャに対応するグレーレベルを如何にして表示するかもまた知られている。

【0025】

双安定ネマチックディスプレイにおけるグレーレベルの表示制御信号 S_D (P_1 , P_2) を図 2 に示す。そのような信号は特に上記の仏国特許出願 (FR 02 14806 号) に記述されている。これは各行の時間の間にマトリックスの列に加えられる二つのステージ P_1 及び P_2 を有する信号である。第一ステージ P_1 は固着破壊段階に相当する。それは期間 τ_1 及び決定された電圧レベル V_{p1} により特徴付けられる。この電圧レベルは実際に加圧時間 τ_1 に従って、技術のために定義された破壊電圧以上になるように選択される。

40

【0026】

第二ステージ P_2 は新たなテクスチャの表示段階 (又は書き込み段階) に相当する。それは期間 τ_2 及び、固着破壊電圧 V_{p1} よりも小さい電圧レベル V_{p2} により特徴付けられる。従って、各列において、信号 S_c の形は表示されるべきデータに依存する。

50

【 0 0 2 7 】

合計 $\tau_1 + \tau_2$ は表示の行の時間、すなわちマトリックスの選択された行の画素における新たな表示データを表示するために必要な時間を与える。

【 0 0 2 8 】

第一ステージ P_1 と第二ステージ P_2 との間の段差（又は高さ）は、得られるべきテクスチャに依存する。

【 0 0 2 9 】

一様なテクスチャ U を得るために必要な、ゆっくりと下降する縁は、従ってより低い第二の、しかし第一ステージから余り遠過ぎないステージ P_2 を選択することによって得られる。

10

【 0 0 3 0 】

ねじれたテクスチャ T を得るために必要な、急峻に下降する縁は、更に離れたそれゆえ前の場合よりも低い第二ステージ P_2 を選択することによって得られる。

【 0 0 3 1 】

V_{P1} は第一ステージ P_1 の電圧レベルを表わすために用いられ、そして V_{P2} は得られるべきテクスチャに依存する、期間 τ_2 の第二ステージ P_2 の可変電圧レベルを表わすために用いられる。一様なテクスチャ U （黒の表示）を制御するため、 $V_{P2} = V_U < V_{P1}$ であり、ねじれたテクスチャ T （白の表示）を制御するため、 $V_{P2} = V_T < V_U < V_{P1}$ であり、そして V_{P2} は二つのテクスチャ U 及び T が共存する（グレーレベル表示）混合したテクスチャ $M(U, T)_i$ を制御するため、 V_T と V_U の中間値 V_{Mi} に等しい（ $V_T < V_{Mi} < V_U < V_{P1}$ ）。

20

【 0 0 3 2 】

電圧 V_{P2} は従って V_U と V_T の値の間であらゆる値をとることができ、これは技術の特徴である。例示されている例では、 $V_{P2} = V_{M1}$ に対し、一様なテクスチャ U において一部のねじれたテクスチャ T が現れる。その結果は決定されたグレーレベルに相当する混合のテクスチャ $M(U, T)_1$ である。 $V_{P2} = V_{M2} < V_{M1}$ に対して、ねじれたテクスチャ T の割合がより大きくなる。その結果は前よりも明るい、決定されたグレーレベルに相当する混合のテクスチャ $M(U, T)_2$ である。

【 0 0 3 3 】

従って、中間のグレーレベルは極値 V_U と V_T の間で第二ステージの電圧レベル V_{P2} を変えることにより得られる。実際的な例において、最先端の与えられた技術に対して、 V_U と V_T の間で約 3 V の変動範囲（ $V_U - V_T \approx 3 V$ ）が従って有効である。ステージ P_2 の電圧レベルが V_T に近づく程、「バックフロー」効果が大きくなる。図 2 における左から右への二本線の矢印は、第二ステージの電圧によるこの効果の上昇方向を例示している。

30

【 0 0 3 4 】

実際的な例において、固着破壊電圧 V_{P1} のレベルは、かなり長い行の時間に対して約 15 ~ 18 V である。

【 0 0 3 5 】

能動マトリックスの場合、これらの電圧はスイッチング・トランジスタを介して画素電極に加えられなければならない。

40

【 0 0 3 6 】

図 2 に関連して説明したばかりのディスプレイ制御信号 $S_D(P_1, P_2)$ が列に与えられる一方で、行選択信号が順に行の時間の間にマトリックスの各行に与えられる。ディスプレイ制御信号は二つの別個の連続的な信号成分すなわちリセット信号及びビデオ信号を有する。リセット信号は初期の固着破壊段階に対応する。ビデオ信号は新たなテクスチャ書き込み又はプログラミング段階に対応する。これら二つの信号は異なる電圧レベルを有する。

【 0 0 3 7 】

実際に、新たなデータを表示するための、マトリックスの行をアドレス指定する手順は

50

次の通りである。行は電圧パルスの形を有する選択信号を与えることにより、行の時間の間に選択される。このパルスは実際、行の各トランジスタのゲート g (図 1) に加えられる。このパルスは、行のトランジスタ 2 の各々を「オン」状態に切り替えるために十分な高い電圧レベルを有する。

【0038】

ディスプレイ制御信号はマトリックスの各列に与えられ、従ってトランジスタのソース s に与えられる。

【0039】

選択された行のトランジスタに加えられるゲート電圧は、選択された行の各トランジスタが実質的に損失無しに、関連する画素電極に対してディスプレイ信号 S_c を切り替えるために、少なくとも列に加えられる電圧 + トランジスタのしきい値電圧 V_{th} (すなわち、導体であるトランジスタに対して、ゲートとドレインの間、又はゲートとソースの間に加えられる最小電圧) に等しくなければならない。

10

【0040】

最先端技術による能動マトリックスは、制御電圧レベルを維持するように設計された標準の行及び列ドライバと共に、更にとりわけ TN「ねじれたネマチックス (Twisted Nematics)」又は IPS「動作中の切り替え (In Play Switching)」タイプの液晶画面用に開発された。これらの行又は列ドライバは能動マトリックス内に組み込まれることが望ましい。それらは外部回路に作られることが可能である。それらは受け取るビデオデータを表示するために必要な、アナログの電力供給を受ける。行ドライバは行を連続的にスキャンすることを保証し、列ドライバは各行に対して、行の各画素上に対応するデータ項目 (グレーレベル) を表示するために画素電極に加えられるべき電圧レベルを列に与えることを保証する。

20

【0041】

標準の TN の場合、高い電圧の列ドライバは 13 V を供給するように設計され、液晶において約 6 V の実効値 (プラスとマイナスの半波) が得られることを可能にする。標準の IPS 能動マトリックスに対して、最大電圧は 16.5 V に達する。標準の行ドライバは、例えば -10 V ~ 30 V の電圧レベルを出力することができる。

【0042】

従って、比較的長い行の時間に対し、双安定ネマチックディスプレイの制御に必要な電圧範囲は、最先端技術である TN 又は IPS の標準能動マトリックスのドライバに適合する。

30

【0043】

本発明において、特にビデオ用途のための能動マトリックス双安定ネマチックディスプレイに興味の焦点が当てられている。これらのビデオ用途に対して行の時間はより短い必要があり、画素の切り替え時間の低減が要求される。この問題は従って如何にしてリセット段階を極力短く出来るかである。ところで、固着破壊段階が短い程、必要な破壊電圧は高くなる必要がある。これは特に上記の出版物 (とりわけ 3.4 節及び図 5 を参照)、及びイワン・ドゾブラ (Ivan Dozov et al.) によるより最近の出版物、「固着破壊による双安定ネマチックディスプレイ・スイッチの最近の改善 (Recent improvements of bistable nematic displays switch by anchoring breaking)」、SID シンポジウム・ダイジェスト (SID Symposium Digest) 32 巻、224 号 (2001 年) において説明されている。50 μs 以下 (ビデオ用途に対して、行の時間は 40 μs 以下であることが必要) の行の時間に適合する切り替え時間を得るために、破壊電圧はそのとき現在の双安定ネマチックディスプレイにおいて 20 V よりも大きい。

40

【0044】

双安定ネマチックディスプレイに関連して、標準の能動マトリックスの使用においてそのとき生じる問題は、これらのディスプレイを制御するために必要な電圧範囲と能動マトリックスの列ドライバの標準的技術との間には、もはや適合性がないということである。

50

【 0 0 4 5 】

実際に、最先端技術において、破壊電圧レベルが列ドライバ4（図1）により如何にしてマトリックスの列に加圧されるかが見られた。また最先端技術の行ドライバが40Vまで及び得る振幅を有するゲート電圧レベルを加えるために、如何にして設計されるかが見られた。しかしながら、列ドライバは最良の場合（IPS標準）でも、マトリックスのトランジスタのドレイン（又はソース）に16.5Vより大きい電圧を加えることは出来ない。従って、マトリックスの列に13V（TNドライバ）又は16.5V（IPSドライバ）よりも大きい電圧を指令することは不可能である。これらのレベルは、ビデオ用途に適合するために十分短い行の時間での固着破壊を可能にするには不十分である。

【 0 0 4 6 】

従って、画素電極に関連するTFTトランジスタが例え20Vよりも大きい電圧を維持し、切り替えることが出来ても、最先端技術の標準ドライバを用いてそのような電圧を加えることは可能でない。

【 0 0 4 7 】

トランジスタのゲートに加えられるべき電圧及び、それぞれがねじれたテクスチャTと一様なテクスチャUに対応する、加えられるべきビデオ信号の電圧レベル範囲 $[V_U, V_T]$ すなわち実際には10~13Vの間の範囲が、これらのマトリックスのドライバの標準仕様内に確かに含まれる場合、それと同じ事は、列に与えられるディスプレイ制御信号 S_D （P1, P2）の初期化構成要素（ステージP1）には適用されない。最先端技術の標準の列ドライバを用いて、20V以上の破壊電圧を加えることは実際に可能ではない。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 4 8 】

ところで、新しい特定のドライバを開発することは常に長期にわたり、コストのかかる作業である。

【 0 0 4 9 】

本発明の一つの目的は、この技術的問題を解決することである。

【 0 0 5 0 】

本発明の一つの目的は、画素電極に高い電圧レベルを加えるために、（組み込まれているか又は外部の）標準ドライバと共に使用可能な、能動マトリックスの双安定ネマチックディスプレイ構造を提供することである。

【 0 0 5 1 】

本発明の一つの目的は、そのような能動マトリックスを低コストで提案することである。

【 0 0 5 2 】

本発明の一つの目的は、本質的にTN又はIPSディスプレイ用の標準的能動マトリックスを作るために用いられるマスクの図面を変更することによって、双安定ネマチックディスプレイ装置用の能動マトリックスを得ることである。

【 課題を解決するための手段 】

【 0 0 5 3 】

本発明が基づく一つのアイデアは、標準的能動マトリックスから出発して、マトリックスの信頼性又はドライバの信頼性を低下させることなく、標準ドライバを使用出来るようにその構造を変更し、そして画素電極に対して必要な制御電圧レベルを加えることである。

【 0 0 5 4 】

本発明によれば各画素電極に関連するスイッチングデバイスが、別のスイッチング素子、例えばその機能が画素の固着点の破壊を確実にすることである、別のトランジスタを含む備えがなされる。従って、スイッチングデバイスにおいて、新たなテクスチャのリセット機能と書き込み機能は分けられている。この別のスイッチング素子はおよそ40Vの高い電圧を維持する行ドライバによって制御されることができ、そしておよそ20V以上の

10

20

30

40

50

破壊電圧を切り替えるために特定の電力供給バスに接続される。この破壊電圧は特定の電力供給バスにより加えられ、もはや列ドライバによってではなく、列ドライバはそのとき標準のTN又はIPSマトリックス用として、表示されるべきビデオに対応する電圧レベルを制御するため専用に用いられる。

【0055】

特定の電力供給バスは、導電層レベルにおいてマトリックスの構造に追加される導体により、又は既にマトリックス内に備えられた機能導電層により製作されることが出来るが、しかしその機能はそこに破壊電圧レベルを加える目的のために変えられ得る。これらは一般的に能動マトリックス構造内に記憶容量として備えられる導電性の機能層である。これらの層は、双安定ネマチックディスプレイの画素が、画素電極における電圧レベルを維持するために記憶容量を必要としないため、それらの元の機能から変えられ得る。実際に、一旦新しいテクスチャが画素に「書き込まれる」と、それは固着点が破壊されない限りそこに永久に残る。通常は開口率OARを改善するために用いられる、「遮光」タイプの光の遮断スクリーンを使用することもまた可能である。実際、このスクリーンは記憶容量を改善するために、一般に導電性である。従って、破壊電圧用、及び少ない開発コストのための特定の電力供給バスを製作する目的で、最先端技術のTN又はIPS能動マトリックスにおいて備えられる機能層を変えることが可能である。

10

【0056】

本発明は従って、行と列の交差するネットワーク内に配置された画素電極を備え、そして各画素電極と関連し、電子制御装置が前記画素電極と、関連する列との間に接続された第一スイッチング素子を備え、前記第一スイッチング素子の制御電極が関連する行に接続され、前記制御装置がリセットバス及び、前記画素電極と前記リセットバスとの間に接続された第二スイッチング素子を備える前記画素電極を初期化するための回路を含み、その制御電極が前記ネットワークの前の行に接続される、液晶ディスプレイ装置用の能動マトリックスに関する。

20

【0057】

本発明はそのような能動マトリックス、及び特に双安定ネマチックタイプのディスプレイを備えた液晶ディスプレイに適用する。

【0058】

本発明の他の利点及び特徴は、参考として及び制限されない方法で与えられている以下に続く本発明の説明を読み、そして添付図面を参照することから更にはっきりと明らかになるであろう。

30

【発明を実施するための最良の形態】

【0059】

図3aは使用されるトランジスタの故障の危険性無しに、画素電極に加えられる非常に高い電圧レベルを許容できる、本発明による標準的なトランジスタを有する能動マトリックスの第一の例を例示している。双安定ネマチックディスプレイにおいて使用されるそのようなマトリックス構造は、そのときディスプレイが40 μ s未満の行の時間を有するビデオ用途において使用されることを可能にし、それはこれらのディスプレイの市場を広げる興味深い展望を提供する。

40

【0060】

行 r_i 及び列 col_j を有するマトリックスに関連する画素電極 $EP_{i,j}$ は、関連する制御装置を備える。この装置は通常、列 col_j と画素電極 $EP_{i,j}$ との間に接続されるスイッチング素子Tを備える。このスイッチング素子Tの制御電極gは行 r_i に接続される。スイッチング素子は典型的にはその一つの導体電極、例えばソースsが列に接続され、そのもう一つの導体電極、例えばドレインdが画素電極に接続されるトランジスタである。

【0061】

本発明によれば、各画素電極の制御装置は前の行の時間に対する画素電極を初期化するための回路をまた備える。

50

【0062】

示されている実施形態において、この初期化回路はトランジスタ・タイプのスイッチング素子 T' である。

【0063】

この初期化トランジスタ T' は特定のリセット電力供給バスにリンクされた導体と画素電極との間に接続される。例えば、トランジスタ T' のソース s' は画素電極 $EP_{i,j}$ に接続され、トランジスタ T' のドレイン d' はリセットバスに接続される。この初期化トランジスタのゲート g' は例において、前の行 r_{i-1} に接続されている。

【0064】

そのようなマトリックスを用いる液晶ディスプレイが考慮される場合、対応する画素は画素電極 $EP_{i,j}$ と対電極 CE との間に形成される。

10

【0065】

図3bに例示されるように行、例えば行 r_i の選択はこの行に対して加えられる電圧レベル $V_{g_{on}}$ の、行ドライバ3による適用により表現される。そのゲートがこの行に接続されているトランジスタは、そのとき短絡と等価な「オン」状態にある。この行の非選択は、この行に対して加えられる電圧レベル $V_{g_{off}}$ により表現される。選択されない行のトランジスタはそのとき、開いた回路に等しい「オフ」状態にある。

【0066】

行 r_i の画素電極 $EP_{i,j}$ と関連し、そのゲートが前の行 r_{i-1} に接続されたトランジスタ T' は、行 r_{i-1} が選択されたとき、前の行の時間 $t_{l_{i-1}}$ において「オン」状態にセットされることが従って理解されるであろう。さもなければ、それらは「オフ」状態にある。特に、それらは行の時間 t_{l_i} において「オフ」状態にある。トランジスタ T はそれら自身、行の時間 t_{l_i} において「オン」状態にあり、他の行の時間において「オフ」状態にある。

20

【0067】

リセットバスは液晶分子の固着破壊電圧以上の連続的電圧レベル V_{reset} に達する。トランジスタ T' が「オン」状態に切り替わったとき、それは行の時間 $t_{l_{i-1}}$ において、画素電極 $EP_{i,j}$ に対する電圧レベル V_{reset} を、破壊電圧よりも大きくしなければならぬレベル $V_{g_{on}} - V_{th}$ に移動させる。

【0068】

30

行 r_i が行の時間 t_{l_i} において次に選択されたとき、トランジスタ T' は「オフ」状態に切り替わり（行 r_{i-1} は選択されない）、そしてトランジスタ T は「オン」状態に切り替わる。画素電極 $EP_{i,j}$ はトランジスタ T により、関連する列 Col_j と同時の t_{l_i} において加えられる電圧レベル V_{Di} まで充電される。

【0069】

用語「行の時間（row time）」は、その間に行の制御回路（行ドライバ）が選択信号をその行に与え、その効果がその行の全てのスイッチング素子 T をオンに切り替えることである、行のアドレス指定時間を意味するために用いられる。他の全ての行はこの行の時間の間は選択されない。

【0070】

40

従って、図3bに表わされるように、行ドライバは行 r_i の行の時間 t_{l_i} において、その行の全てのトランジスタ T をオンに切り替える電圧レベル $V_{g_{on}}$ を加える。他の行に対して、行ドライバは全てのトランジスタが「オフ」であるように電圧レベル $V_{g_{off}}$ を加える。 $V_{g_{off}}$ は実際にトランジスタ T のしきい値電圧よりも小さい。 $V_{g_{off}} = 0V$ を有することは可能である。トランジスタ T は次に関連する列 Col_j によって、そのソースに加えられた電圧 V_{Di} を切り替える。この切り替えは、 V_{Di} が最大でも一様なテクスチャに対する電圧レベルに等しく、又は最先端技術において13Vであり、一方でゲート電圧 $V_{g_{on}}$ がはるかに大きく、およそ20V以上であるため、損失無しに達成される。

【0071】

50

選択された行 r_i のトランジスタ T に接続された画素電極 $EP_{i,j}$ は、従って行の時間 t_{l_i} において対応する列 Col_j に加えられる、およそその電圧レベル V_{Di} に充電される。この電圧レベルは一般に表示されるべきデータ項目に対応する。

【0072】

画素電極 $EP_{i,j}$ において、行の時間 $t_{l_{i-1}}$ 及び t_{l_i} にわたって広がる二つのステージを有する信号の形がある。第一ステージは固着破壊段階 τ_c に対応し、第二ステージは新たなビデオデータ項目書き込み段階 τ_v に対応する。

【0073】

図3bに関連して説明されたように制御され、双安定ネマチックディスプレイにおいて使用される本発明によるそのようなマトリックスは、破壊段階 τ_c が前の行の時間において生じ、そして加えられる電圧レベルが標準のTN又はIPS技術に適合するため、従って考慮されるべきビデオ用途を可能にするのに十分速い切り替えと共に、画素が様々なグレーレベルを表示するために適切に制御されることを可能にする。

【0074】

実際に、双安定ネマチックディスプレイの説明に関連して、初期化電圧 V_{reset} はビデオ用途に適合する行の時間に対して、約20Vか、又は20Vよりも大きかったことが見られている。図3aに例示されている発明において、この電圧は特定のバスによりマトリックスのトランジスタ T' のドレインに直接加えられ、一方で行ドライバにより制御されるゲート g' は、電圧 V_{reset} よりもトランジスタ T' のしきい値電圧 V_{th} だけ少なくとも大きい電圧 $V_{g_{on}}$ を受ける。しきい値電圧 $V_{g_{on}}$ は30V未満に留まる。従ってそれは標準的な行ドライバのゲート制御電圧範囲に適合する。

【0075】

列ドライバによってトランジスタ T のソース又はドレインに加えられるビデオ電圧レベルは、一様なテクスチャを得るための13Vとねじれたテクスチャを得るための10Vとの間で変化する。これらの電圧レベルは標準の列ドライバにより供給される制御電圧の範囲内にある。

【0076】

双安定ネマチックディスプレイにおいて、マトリックス内に組み込まれているか否かに拘わらず、標準の行及び列ドライバと共に用いられる図3aに例示されている能動マトリックスは、従って二つの別個の行時間において、行 r_i の各画素に対する固着破壊及び新たなビデオデータの表示すなわち前の行の時間 $t_{l_{i-1}}$ における固着破壊及び、行の時間 t_{l_i} における新たなビデオデータの表示を可能にする能力がある。

【0077】

本発明によるトランジスタ T 及び初期化回路 T' を備える各画素電極の制御装置は、従って画素電極 $EP_{i,j}$ と $EP_{i+1,j}$ に関する図3bに例示されるような、画素電極における二段階の信号形状を簡単に得るために使用され得る。

【0078】

この信号は双安定ネマチックディスプレイの画素の制御に適合する。これは単純にトランジスタをマトリックスに追加することにより、TN又はIPSディスプレイに対して、標準の行及び列ドライバを有する標準の能動マトリックスを使用することによって得られる。これは標準の製作方法のステップを変更する必要無しに、マスクの図面を変更することにより簡単に得られる。

【0079】

双安定ネマチックディスプレイに関して、そのようなディスプレイを用いる非常に携帯性の良い装置は、通常反射モードで動作するため、トランジスタを各画素に追加することはOARの観点から有害ではない。

【0080】

更に、トランジスタ T 及び T' は各々通常の電圧範囲で使用される。

【0081】

従って、異なる行の時間において駆動される異なった切り替え手段により、固着破壊機

10

20

30

40

50

能とビデオ表示機能を分離することは、技術及びビデオ用途に適合した電圧レベルを加える方法を提供する。

【0082】

図3aに表わされる例において、マトリックスの初期化トランジスタのドレイン又はソースに初期化電圧 V_{reset} を導く、特定のリセット電力供給バスは、列と平行に配置される複数の導体を含む。実際に、これらの導体はマトリックスの列と同じ層に備えられるか、又は別の層に備えられる。

【0083】

同様の方法で、リセット電力供給バスの導体がマトリックスの行と平行に配置されるように備えることが可能である。これは図3cに表わされている変形である。この点に関し、最先端技術において各画素用に列、アドレス指定の行、及び記憶容量の行を備えるマトリックスがあることは注目されるであろう。適切な接続をこれらの行とこれらのドレイン（又はソース）との間に備えることによって、そのとき、これら記憶の行の機能を、初期化電圧 V_{reset} を初期化トランジスタ T' のドレイン（又はソース）に導くための機能に変えることを通じて、最先端技術のこれらのマトリックスを用いることは容易である。

10

【0084】

図3dに例示される、本発明によるマトリックスの別の変形実施形態の中で、リセット電力供給バスは特に標準TNマトリックスにおいて、各画素電極と共に記憶容量を形成するために通常使用される、埋められた接地平面のような標準マトリックスの導電機能層Fにより形成される。そのような機能層は、画素静電容量 C_{pixel} と並列の記憶容量を形成するために、画素電極から少なくとも一つの絶縁層だけ隔てられた層に形成される。

20

【0085】

実際、既に説明されたように、一様な又はねじれたテクスチャのタイプに従って一旦方向付けられた分子は、弱い固着が破壊されない限り永遠にその状態に留まるため、そのような記憶容量は双安定ネマチックディスプレイにおいては役立たない。

【0086】

この機能層は「遮光」タイプの層、すなわち、構造により誘起される電界の線に起因する光の漏れを覆い隠すため、特に標準TNマトリックスにおいて一般的に使用されるスクリーンであり得る。これは通常は格子形のチタンで出来た導電性の不透明な層であり、それは能動マトリックスの下（すなわちトランジスタの下）、又は（トランジスタのドレイン/ソースを形成する）行/列の層と画素電極との間に配置され得る。この導電層は通常は画素電極から少なくとも一つの絶縁層だけ隔てられた層に形成され、従ってこれらの構造内で各画素電極用の記憶容量として使用される。前と同じ理由で、従ってこの層を何ら困難なく、初期化電圧 V_{reset} を各々の初期化トランジスタ T' のドレイン（又はソース）に導くためのバスとして使用することができる。

30

【0087】

本発明による初期化回路の別の実施形態は図4aに表わされる。行 r_i の画素電極の制御装置の初期化回路は、そのとき画素電極 $EP_{i,j}$ と前の行 r_{i-1} の間に接続されたダイオードDを含む。

40

【0088】

ダイオードDは、そのドレイン d' （又はソース）とゲート g' が共に前の行 r_{i-1} に接続されているトランジスタにより一般的に得られる。トランジスタの別の導電電極、例としてソース s' は画素電極 $EP_{i,j}$ にリンクされる。

【0089】

図4bは異なる行の時間 $t_{l_{i-1}}$ 、 t_{l_i} 、 $t_{l_{i+1}}$ 等の間に、マトリックスの行と列に与えられる信号に従って、画素電極 $EP_{i,j}$ において得ることができる信号の形を示す。それはおおよそ図3bに例示されているものと同じである。

【0090】

図5は「ディスプレイ画面用の能動マトリックス構造及びそのようなマトリックスを含

50

む画面」(“Structure de matrice active pour ecran de visualisation et ecran comportant une telle matrice”(Active matrix structure for display screen and screen comprising such a matrix))の題名で、番号02 15484の下に登録された仏国特許出願において記述されている例示的な能動マトリックスを例証する。そのようなマトリックスは行に平行で、画素電極の各行の下に配置され、そして記憶容量として用いられるバスを描写する。そのようなマトリックスは本発明によるマトリックスを作るためにも使用され得る。

【0091】

10

そのようなマトリックスは図5に例示されている。それは画素電極の各行の下に備えられる記憶容量バスを含む。各画素電極 $EP_{i,j}$ は二つの連続的な行と列により囲まれた大きな領域の部分をカバーする。図において、画素電極の行 R_i は関連する選択行 r_i 、及び直前の行の選択行 r_{i-1} によって囲まれている。

【0092】

画素電極の各行 R_i に対して、関連する記憶容量バス B_i はおおよそ同じ幅の行の下方に備えられている。このバス B_i は二つの選択行 r_i と r_{i-1} との間に平行に配置されている。それは前の行の選択行 r_{i-1} に接続されている。表わされている例において、それは二つの端部を介してマトリックスの活性領域、ZAの外側でこの行に接続されている。

20

【0093】

このバス B_i は行 R_i の各画素電極 $EP_{i,j}$ と共に記憶容量Cstを形成する。

【0094】

本発明において、大きくて前の選択行 r_{i-1} に接続されているバス B_i によって形成されるこの記憶容量は、行 r_i の画素電極 $EP_{i,j}$ を要求される初期化電圧まで、一般的には初期化電圧Vresetまで充電するため有利に利用される。これは接続の偏位が要求される初期化電圧よりも大きくなるように、記憶容量(記憶容量の平面と画素電極との間に面している領域、使用される誘電体、及び誘電体の厚さ)のサイズを決定することにより得られる。

【0095】

30

従って、図3aの画素電極 $EP_{i,j}$ に接続されたスイッチング素子 T' は、ここで等価な方法でバス B_i により置き換えられる。実際、このバスはこの電極 $EP_{i,j}$ と共に記憶容量を形成し、この容量の端子は画素電極に接続され、容量の別の端子はそれ自体が導電性のバスにより形成され、前の行 r_{i-1} に接続されている。行 r_{i-1} における電圧 $V_{g_{off}}$ から電圧 $V_{g_{on}}$ への切り替えは、記憶容量の別の端子において接続の偏位に等しい電圧、即ちおおよそ電圧Vresetの切り替えをもたらす。

【0096】

従って、図3bに戻ると、前の行の時間 t_{i-1} において、前の行 r_{i-1} は初期化電圧Vresetよりも大きくなるように選ばれたレベル $V_{g_{on}}$ にある。前の行 r_{i-1} に接続されたバス B_i を経由する結合により、行 r_i の全ての画素電極は初期化電圧Vresetに導かれる。各画素電極と関連する初期化回路は、従って前記電極と共に記憶容量を形成するバスを含む。

40

【0097】

従って、より一般的には、本発明の実施形態によればマトリックスは各行 r_i に対して、前記行の画素電極の行の下に埋められ、前の行 r_{i-1} に接続された導電性のバス B_i を備える。このバスはランクiの前記行の各画素電極と共に記憶容量を形成する。この記憶容量は初期化電圧Vresetよりも大きい接続の偏位を超えるようにサイズを決定される。

【0098】

各画素電極と関連する初期化回路は、そのとき前記電極と共に記憶容量を形成するバス

50

を含む。

【 0 0 9 9 】

これまで丁度説明されて来た本発明は、各画素電極に二つの段階すなわち破壊のための初期化段階、及び新たなビデオデータ項目を書き込むための段階を有する電気信号形状を与えるために使用され得る。画素電極は新たなビデオフレームの次の行の時間まで第二の段階に留まる。

【 0 1 0 0 】

本発明の改良は行の時間の最後に、各行の画素電極を接地するための回路を含む。

【 0 1 0 1 】

そのとき画素電極に対して三段階を有する信号形状がある。固着破壊に対応する段階、新たなビデオデータ項目（グレーレベル）の表示に対応する段階、及び接地に戻る段階である。ネムオプティック（Nemoptic）により出願された上記の特許によれば、画素電極を制御するそのような方法はより良い性能を提供する。

【 0 1 0 2 】

そのような接地回路を含む本発明によるマトリックスの第一の実施形態は図 6 a に表わされている。

【 0 1 0 3 】

この実施形態において、接地回路は画素電極 $EP_{i,j}$ とマトリックスの接地平面 GP との間に接続され、次の行の時間 $t_{l_{i+1}}$ において駆動される別のスイッチング素子、典型的にはトランジスタ T'' である。この目的を達成するために、この接地トランジスタ T'' のゲート g'' は次の行 r_{i+1} に接続される。

【 0 1 0 4 】

図 6 b に例示されるように、画素電極 $EP_{i,j}$ の電圧レベルは行の時間 t_{l_i} において電氣的接地（0 V）に向けて充電されるビデオレベル V_{Di} から、行の時間 $t_{l_{i+1}}$ において引き上げられる。

【 0 1 0 5 】

行 r_i の画素電極 $EP_{i,j}$ に対する制御信号の三つの電圧段階に対応する、三つの行の時間の動作モードがある。

- （固着破壊用の）これらの画素電極の初期化サイクル τ_c に対応する行の時間 $t_{l_{i-1}}$ 。
- これらの画素電極に対する新たなビデオの表示サイクル τ_v に対応する行の時間 t_{l_i} 。
- これらの画素電極の接地サイクル τ_m に対応する行の時間 $t_{l_{i+1}}$ 。

【 0 1 0 6 】

従って行から行へ、三つの連続的な行の時間すなわち前の行の行時間、現在の行の行時間、次の行の行時間に対する三つのサイクル τ_c 、 τ_v 、 τ_m が順番に続く。

【 0 1 0 7 】

これらの行の時間は、例において直接的に連続しており、それは設計を容易にする選択肢であるが、しかしこれらの行の時間を多数の行の時間に分けることは完全に可能である。

【 0 1 0 8 】

図 6 a は接地用の三つのトランジスタすなわちビデオを充電するためのトランジスタ T 、初期化用のトランジスタ T' 、及び接地用のトランジスタ T'' を有する制御装置を示す。例において、接地トランジスタは埋められた接地平面 GP に接続されている。これは初期化トランジスタ T' が、それ自体電圧 V_{reset} に導かれるバス又は異なる導電平面に接続されることを前提とする。図 6 a において、電圧 V_{reset} は従って（図 3 a の実施形態に対応する）列に平行な導体を含む、リセット電力供給バスにより導かれる。図 6 c において、電圧 V_{reset} は（図 3 d に関連して説明された実施形態に対応する）遮光 LS タイプの導電平面により導かれる。

【 0 1 0 9 】

10

20

30

40

50

より一般的に、そして図 6 d に例示されているように、接地トランジスタ T'' は接地されているマトリックスの導電機能層 F に接続される。

【0110】

接地回路は図 4 a に例示されている行 / 画素浮遊容量 C_{pix}/r_i によってさえも作ることができる。画素電極を放電するため、容量の値は行が選択されていないとき、少なくとも画素のねじれのしきい値電圧への移行を保証するために適合する。

【0111】

別の実施形態によれば、これらのトランジスタが多結晶、単結晶、多形性、又は有機物であるとき、接地は各画素電極の制御装置の第一スイッチング素子 (T)、及び / 又は第二スイッチング素子からの漏れ電流の自然の作用により得られる。

10

【0112】

図 7 はそれに従ってディスプレイの液晶を含む空洞内で通常用いられるスペーサ e からの漏れ電流が使用される、本発明によるマトリックスにおける接地回路の別の実施形態を例示している。本発明によれば、各電極には一つ以上のスペーサがある。これらのスペーサは画素電極及び対電極 CE と接触している。そのとき、各スペーサにおいて画素電極を対電極の電位 (一般的に接地) に向けて引き寄せる漏れ電流がある。これらのスペーサは画素の充電を妨げない程十分に高く、しかし幾らかの行の時間後に放電を得る程に十分低い、決められた導電率を有する選ばれた材料から作られる。

【0113】

図 8 は各行の時間の最後における、すなわちこの場合、行がまだ選択されることが必須であるため、行の時間の最後の直前における、列ドライバ 4 に対する電力供給の適切な制御と組み合わせられた、図 3 a、3 b、3 c、3 d、4 a、又は 5 に例示されている任意の一つの実施形態、又はその変形によるマトリックスを有する、本発明によるマトリックス内の接地回路の更に別の実施形態を例示している。

20

【0114】

行の画素電極の接地は従って列に対して、各行の時間の最後にゼロへの戻りを制御することにより得られる。従って各々の行の時間、例えば行の時間 t_{li} において、各列、例えば列 col_i に対して、まず V_{Di} で表示され、次にレベル 0 で表示されるビデオ電圧レベルがある。これは明確に図 8 において見られる。これは列の制御回路 (列ドライバ) において、又は適切な方法で制御される別個の回路を経由して、各行の時間の最後の直前 (行はまだ選択なければならない) に、アナログ電圧の接地を提供することにより得られる。

30

【0115】

実際に、これまで丁度説明されて来た本発明において、変形の実施形態によりマトリックス T 及び T' (又は D)、或いは T 、 T' 及び T'' のトランジスタは TFT トランジスタであることができ、そのチャンネルはアモルファスシリコンで作られ、それは漏れ電流の源ではないという利点を提供する。これは TN 又は IPS ディスプレイに関して重要なパラメータである。

【0116】

一旦テクスチャが「書かれる」と、画素はその情報を永久に保持するため、漏れ電流による妨害が適用されない双安定ネマチックディスプレイに対して、多結晶、微晶質、多形性、又は有機タイプのトランジスタさえも有利に使用することができる。この場合、画素電極を放電するであろうトランジスタ T 及び / 又は T' からの漏れ電流の作用により、如何にして接地が簡単に得られるかが見られた。

40

【0117】

初期化回路及び接地回路に関して見られる様々な実施形態は、一緒に組み合わせられる。図面は例としてのこれら幾つかの組合せが本発明を説明していることを示す。本発明はこれらの例示された組合せだけに限らず、当業者が彼らの通常の知識を適用することによりそれらに由来する全ての変形をカバーする。

【0118】

50

一体化されているか又はそうでない標準の行ドライバ又は列ドライバを有する、本発明による能動マトリックスを備えた双安定ネマチックディスプレイは、従って $40\ \mu\text{s}$ 未満の行の時間で駆動されることができ、それが双安定ネマチック技術により提供される全ての利点と共に、非常に多くの用途に対して、そしてより低いコストで使用され得ることを意味する。

【0119】

液晶ディスプレイにおいて、画素電極及び対電極は画素静電容量の二つの極板を形成し、情報を記憶するために用いられる双安定材料は二つの極板の間にある。

【0120】

これまで丁度説明されて来た本発明は、双安定材料が情報記憶容量の二つの極板の間にある、ROM、RAM、CCD、及び他のタイプのメモリのような、少なくとも二つの安定状態を有するマトリックス・メモリ素子に対して等価な方法で適用される。これに関連して、画素電極はこの静電容量の極板だと理解されるべきである。

【図面の簡単な説明】

【0121】

【図1】最新技術による、双安定ネマチックディスプレイ用の能動マトリックス構造を表わす。

【図2】双安定ネマチックディスプレイの画素のディスプレイ制御を例示する。

【図3a】前の行のアドレス指定時間に行なわれる固着の破壊に対応した、マトリックスの各行のための初期化段階を有する、本発明による能動マトリックスの第一の実施形態を例示する。

【図3b】図3aのマトリックスの様々な導体の電気信号形状を例示する。

【図3c】本発明による能動マトリックスの変形の実施形態を表わす。

【図3d】本発明による能動マトリックスの変形の実施形態を表わす。

【図4a】本発明による能動マトリックスの別の実施形態を例示する。

【図4b】マトリックスの行又は列に対して対応する電気信号を表わす。

【図5】画素電極の各行の下に記憶容量バスを備え、本発明において使用可能な、最先端技術の能動マトリックスを例示する。

【図6a】本発明による能動マトリックスの改良の第一実施形態を例示する。

【図6b】マトリックスの行及び列に対して対応する電気信号を表わす。

【図6c】改良の変形実施形態を例示する。

【図6d】改良の変形実施形態を例示する。

【図7】本発明による能動マトリックスの改良の別の実施形態を例示する。

【図8】図3aによるマトリックス構造を制御する方法の変形を例示する。

10

20

30

【図 1】

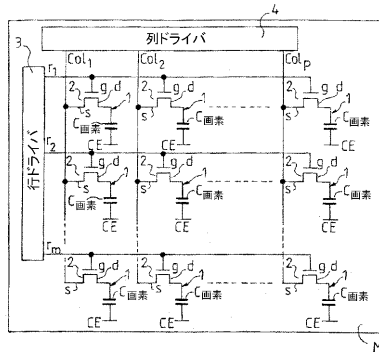


図 1

【図 2】

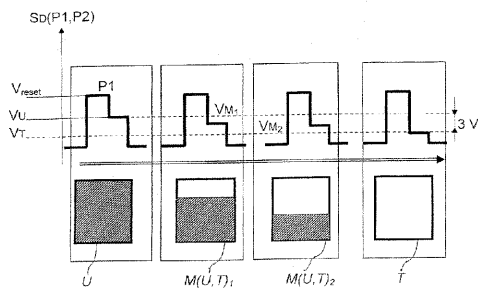


図 2

【図 3 b】

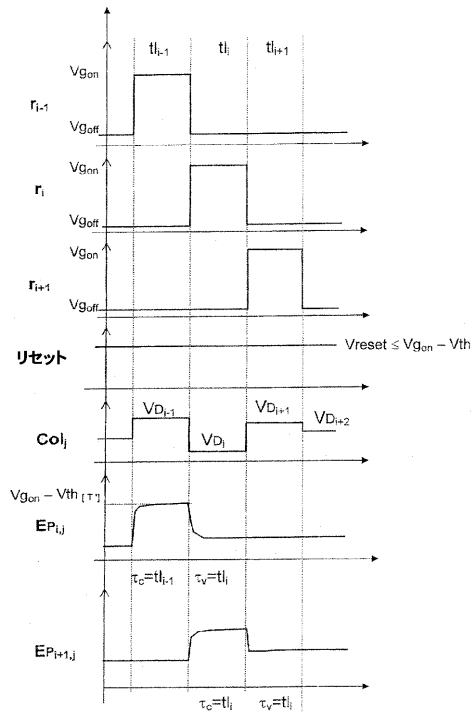


図 3b

【図 3 a】

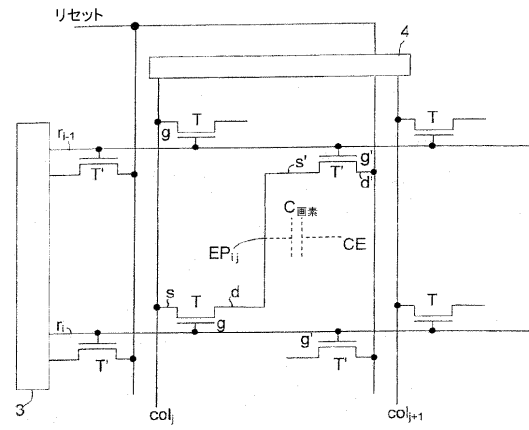


図 3a

【図 3 c】

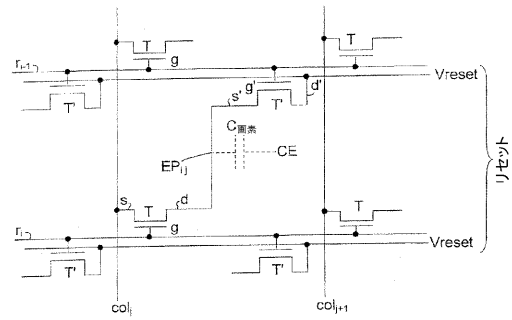


図 3c

【図 3 d】

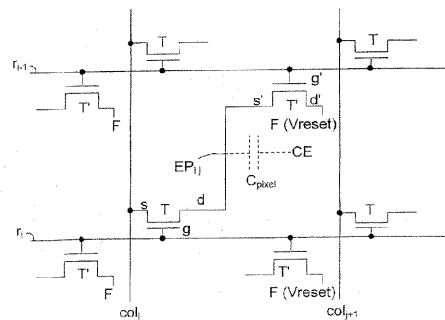


図 3d

【図 4 a】

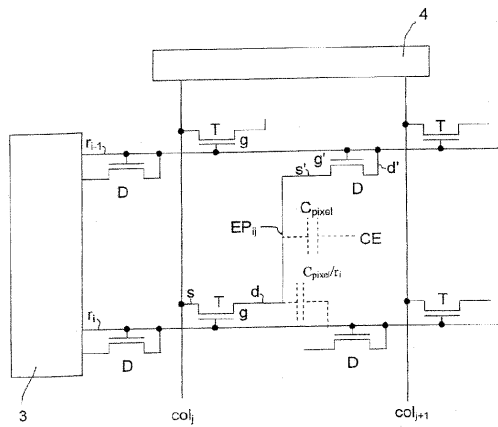


図 4a

【図 4 b】

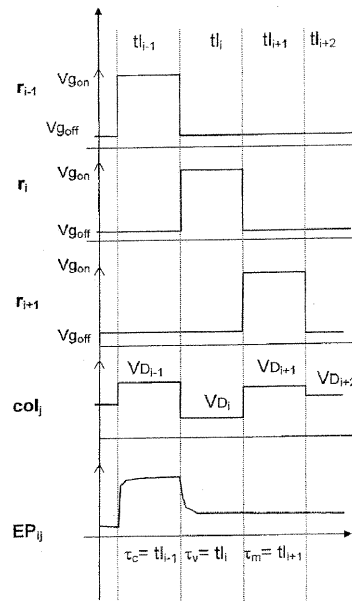


図 4b

【図 5】

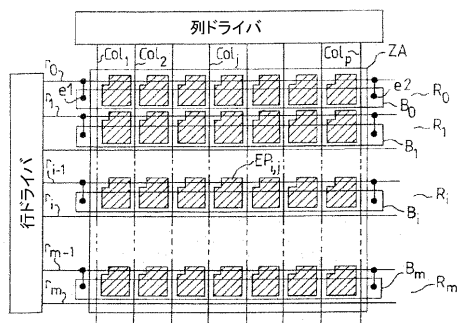


図 5

【図 6 a】

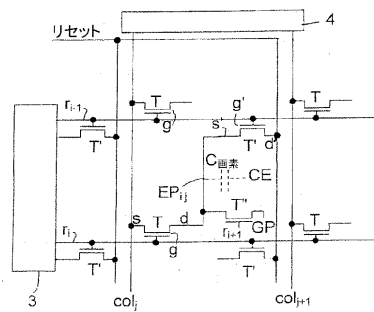


図 6a

【図 6 b】

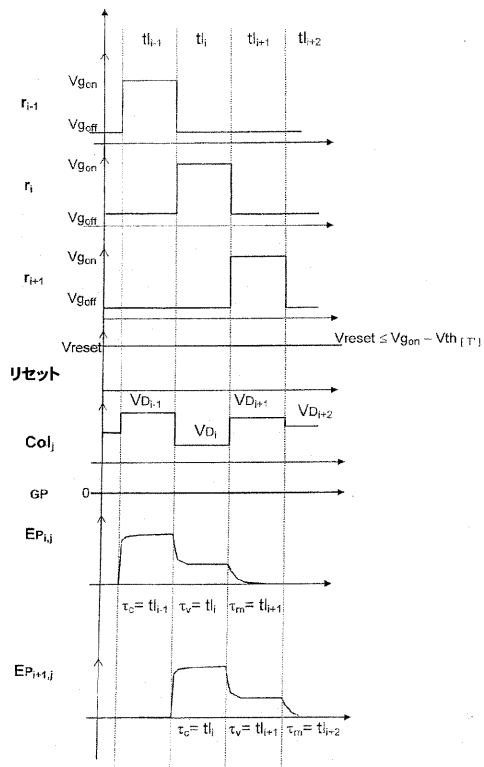


図 6b

【図 7】

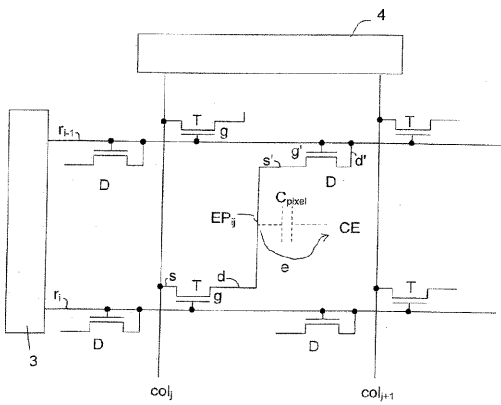


図 7

【図 6 c】

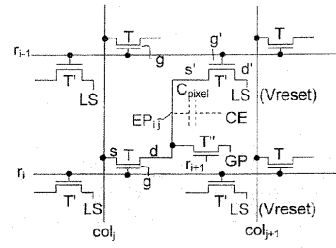


図 6c

【図 6 d】

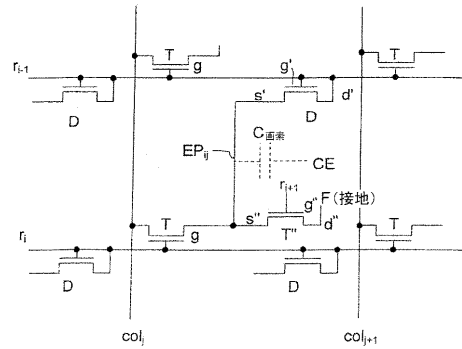


図 6d

【図 8】

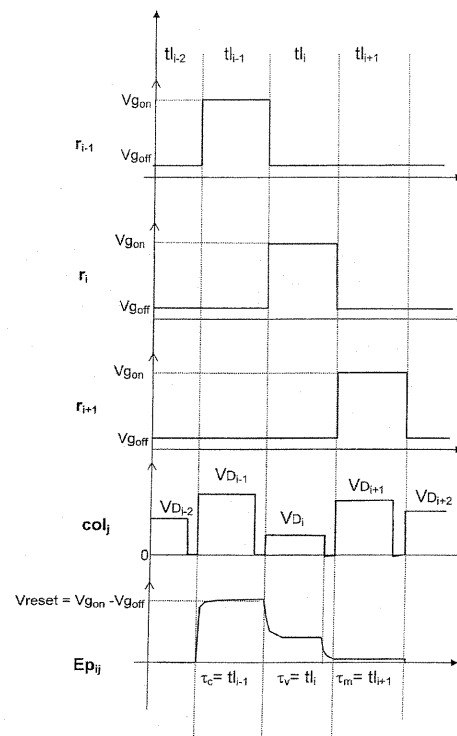


図 8

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/064913

A. CLASSIFICATION OF SUBJECT MATTER
INV. G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 920 300 A (YAMAZAKI ET AL) 6 July 1999 (1999-07-06) abstract; figures 5c,6 column 4, lines 18-29; figures 5c,6 column 4, line 65 - column 5, line 20	1-8
Y	US 2001/003448 A1 (NOSE TAKASHI ET AL) 14 June 2001 (2001-06-14) abstract paragraphs [0019] - [0021]; figures 24-26	1-8
A	WO 2004/051356 A (THALES; KRETZ, THIERRY; LEBRUN, HUGUES) 17 June 2004 (2004-06-17) abstract; figures 1,2 page 8, line 1 - page 9, line 5; claim 1	1

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

26 September 2006

Date of mailing of the international search report

19/10/2006

Name and mailing address of the ISA/
European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 81 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Wolff, Lilian

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2006/064913

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5920300	A	06-07-1999	JP	3511409 B2	29-03-2004
			JP	8123373 A	17-05-1996
US 2001003448	A1	14-06-2001	JP	2001166280 A	22-06-2001
			TW	589476 B	01-06-2004
WO 2004051356	A	17-06-2004	EP	1567911 A1	31-08-2005
			FR	2848011 A1	04-06-2004
			US	2006146209 A1	06-07-2006

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2006/064913

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. G09G3/36		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) G09G		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 5 920 300 A (YAMAZAKI ET AL) 6 juillet 1999 (1999-07-06) abrégé; figures 5c,6 colonne 4, ligne 18-29; figures 5c,6 colonne 4, ligne 65 - colonne 5, ligne 20	1-8
Y	US 2001/003448 A1 (NOSE TAKASHI ET AL) 14 juin 2001 (2001-06-14) abrégé alinéas [0019] - [0021]; figures 24-26	1-8
A	WO 2004/051356 A (THALES; KRETZ, THIERRY; LEBRUN, HUGUES) 17 juin 2004 (2004-06-17) abrégé; figures 1,2 page 8, ligne 1 - page 9, ligne 5; revendication 1	1
☐ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "Z" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 26 septembre 2006		Date d'expédition du présent rapport de recherche internationale 19/10/2006
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tlx 31 651 spo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Wolff, Lillian

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2006/064913

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5920300	A	06-07-1999	JP 3511409 B2 JP 8123373 A	29-03-2004 17-05-1996
US 2001003448	A1	14-06-2001	JP 2001166280 A TW 589476 B	22-06-2001 01-06-2004
WO 2004051356	A	17-06-2004	EP 1567911 A1 FR 2848011 A1 US 2006146209 A1	31-08-2005 04-06-2004 06-07-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 2H093 NA12 NA16 NC10 NC12 NC34 NC35 NC36 NC39 NC40 NC65
ND54 NF04 NH13
5C006 AA16 BB16 FA51
5C080 AA10 BB05 DD03 EE29 FF11 JJ03 JJ04 JJ05

专利名称(译)	用于液晶显示装置的有源矩阵		
公开(公告)号	JP2009503595A	公开(公告)日	2009-01-29
申请号	JP2008524518	申请日	2006-08-01
[标]申请(专利权)人(译)	汤姆森 - 无线电报总公司		
申请(专利权)人(译)	故事		
[标]发明人	ルブランユーグ クレツティエリー		
发明人	ルブラン、ユーグ クレツ、ティエリー		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G3/2011 G09G3/3659 G09G2300/0408 G09G2300/043 G09G2300/0842 G09G2300/0876 G09G2310/061 G09G2310/062 G09G2310/065 G09G2320/0252		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.641.C G09G3/20.611.A G02F1/133.550		
F-TERM分类号	2H093/NA12 2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC35 2H093/NC36 2H093/NC39 2H093/NC40 2H093/NC65 2H093/ND54 2H093/NF04 2H093/NH13 5C006/AA16 5C006/BB16 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	高久木村		
优先权	2005008259 2005-08-02 FR		
外部链接	Espacenet		

摘要(译)

用于液晶显示装置的有源矩阵包括以行和列的交叉网络排列的像素电极。关于每个像素电极，像素电极 (EP_{ij} , (T) 连接在关联列 (col_j) 和关联行 (ri) 之间，其中交换元素T) 控制电极 (g) 连接到相关行 (ri)。控制设备控制像素电极 (EP_{ij} , (T#39;) 连接到像素电极的控制电极 (j)，控制电极 (g #39;) 连接到前一行 ($ri-1$)。它可以应用于有源矩阵的双稳态向列显示器。

