

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-15136

(P2009-15136A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 641Q	5C006
G02F 1/133 (2006.01)	G09G 3/20 631V	5C080
	G09G 3/20 623F	
	G09G 3/20 632C	
審査請求 未請求 請求項の数 22 O L (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2007-178493 (P2007-178493)	(71) 出願人	302062931
(22) 出願日	平成19年7月6日(2007.7.6)		NECエレクトロニクス株式会社
		(74) 代理人	100102864
			弁理士 工藤 実
		(72) 発明者	降旗 弘史
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		(72) 発明者	能勢 崇
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		Fターム(参考)	2H093 NA16 NA53 NA57 NC10 NC12
			NC13 NC28 ND06 ND42 ND49
			NH18
		最終頁に続く	

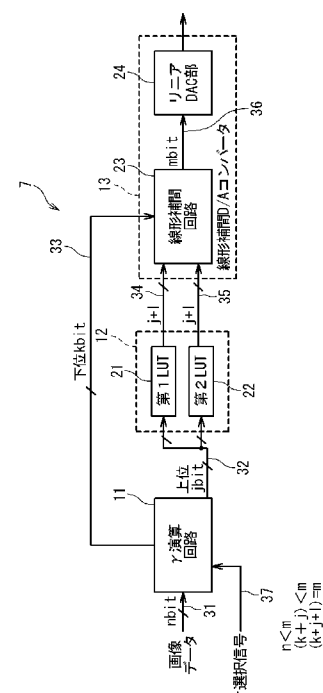
(54) 【発明の名称】 液晶表示装置、その液晶表示装置のコントロールドライバ

(57) 【要約】

【課題】入力画像データに応答して、適切な画像を表示することができる液晶表示装置およびその液晶表示装置のコントロールドライバを提供する。

【解決手段】外部から入力される入力画像データ(31)の画像を、液晶表示パネル(2)に適切に表示させるための演算を実行して演算データを生成する演算回路(11)と、前記液晶表示パネル(2)のV-T(電圧-透過率)特性をあらわすVTデータが記述されたLUT(Look-up Table)(12)と、前記LUT(12)から供給される表示データ(34、35)に応答して、前記液晶表示パネル(2)に供給する出力電圧を生成する線形補間D/Aコンバータ(13)とを具備する液晶表示パネルのコントロールドライバ(3)を構成する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

液晶表示パネルのコントロールドライバであって、
外部から入力される入力画像データに対して所定の演算を実行して演算データを生成する演算回路と、
前記液晶表示パネルの V - T (電圧 - 透過率) 特性が記述された LUT (Look - up Table) と、
前記 LUT から供給される表示データに応答して、前記液晶表示パネルに供給する出力電圧を生成する線形補間 D / A コンバータと
を具備し、
前記演算回路は、前記演算データの上位ビットデータと下位ビットデータとを特定し、
前記上位ビットデータを前記 LUT に供給し、
前記 LUT は、
前記上位ビットデータに基づいて第 1 出力データと第 2 出力データとを前記表示データとして前記線形補間 D / A コンバータに供給し、
前記線形補間 D / A コンバータは、
前記第 1 出力データと前記第 2 出力データと前記下位ビットデータとに対応して、線形補間演算と D / A 変換とを行って前記出力電圧を生成する
コントロールドライバ。

10

【請求項 2】

請求項 1 に記載のコントロールドライバにおいて、
前記線形補間 D / A コンバータは、
入力される二つのデータを線形補間する線形補間部と、
入力されるデジタルデータと出力する出力電圧とが直線的に対応するリニア DAC 部とを含み、
前記線形補間部は、
前記下位ビットデータに基づいて、前記第 1 出力データと前記第 2 出力データとを線形補間して得られたデジタル線形補間データを前記リニア DAC 部に供給し、
前記リニア DAC 部は、
前記デジタル線形補間データを受け、前記デジタル線形補間データに対して D / A 変換
を実行して、前記出力電圧を生成する
コントロールドライバ。

20

30

【請求項 3】

請求項 2 に記載のコントロールドライバにおいて、
前記演算回路は、
特定の表示ガンマ値に対応する前記入力画像データを、他の表示ガンマ値に対応する画像データに変換するガンマ演算を実行し、前記ガンマ演算により得られたガンマ演算データを前記演算データとして出力する
コントロールドライバ。

【請求項 4】

請求項 3 に記載のコントロールドライバにおいて、
前記演算回路は、
前記コントロールドライバの外部から供給されるガンマ選択信号に応答して、前記他の表示ガンマ値を切り換える
コントロールドライバ。

40

【請求項 5】

請求項 4 に記載のコントロールドライバにおいて、
前記 LUT は、書き換え可能なメモリに記憶され、前記コントロールドライバの外部から供給される命令に応答して更新される
コントロールドライバ。

50

【請求項 6】

請求項 5 に記載のコントロールドライバにおいて、
 前記 LUT は、
 第 1 LUT と第 2 LUT とを含み、
 前記第 1 LUT と前記第 2 LUT との各々は、前記上位ビットデータのビット数に対応する数のアドレスを有し、
 前記第 1 LUT は、
 第 n (n : 任意の自然数) アドレスに第 n 補正データを保持し、
 前記第 2 LUT は、
 第 $n + 1$ アドレス、または、第 $n - 1$ アドレスに、前記第 n 補正データを保持する
 コントロールドライバ。

10

【請求項 7】

請求項 5 に記載のコントロールドライバにおいて、さらに、
 前記 LUT から出力されるデータを受ける信号比較部
 を具備し、
 前記 LUT は、
 前記上位ビットデータの最下位ビットデータを除く値に対応する補正データを保持する
 奇数用 LUT と、
 前記上位ビットデータの最下位ビットデータを除く値に対応する補正データを保持する
 偶数用 LUT と
 を含み、
 前記奇数用 LUT は、
 前記上位ビットデータの最下位ビットデータを除く値に対応するアドレスのデータを前
 記第 1 出力データとして出力し、
 前記偶数用 LUT は、
 前記上位ビットデータに 1 を加えたデータから最下位ビットデータを除く値に対応する
 アドレスのデータを前記第 2 出力データとして出力し、
 前記信号比較部は、
 前記上位ビットデータの最下位ビットデータに基づいて、前記第 1 出力データと前記第
 2 出力データとを入れ替えて前記線形補間 D / A コンバータに供給する
 コントロールドライバ。

20

30

【請求項 8】

請求項 5 に記載のコントロールドライバにおいて、
 前記 LUT は、
 前記上位ビットデータのデータ数に対応する個数のアドレスを有し、
 前記上位ビットデータに応答して前記 LUT に保持されているデータを参照し、その参
 照によって得られた前記上位ビットデータに対応する第一アドレスのデータを第 1 出力デ
 ータとし、前記第一アドレスに隣接する第二アドレスに対応するデータを第 2 出力デー
 タとして前記線形補間 D / A コンバータに供給する
 コントロールドライバ。

40

【請求項 9】

請求項 6 から 8 の何れか 1 項に記載のコントロールドライバにおいて、
 前記入力画像データのビット数を N とし、前記上位ビットデータのビット数を J とし、
 前記下位ビットデータのビット数を K とし、前記第 1 出力データのビット数を $J + L$ とし
 、前記第 2 出力データのビット数を $J + L$ とし、前記デジタル線形補間データのビット数
 を M としたときに、各変数 (N 、 J 、 K 、 L および M) が、下記 (1) 式、(2) 式およ
 び (3) 式

$$N < M \quad \dots \quad (1)$$

$$(K + J) < M \quad \dots \quad (2)$$

$$(K + J + L) = M \quad \dots \quad (3)$$

50

を満たす値である

コントロールドライバ。

【請求項 10】

請求項 1 に記載のコントロールドライバにおいて、

前記線形補間 D / A コンバータは、

前記第 1 出力データにตอบสนองして第 1 アナログ信号を出力する第 1 リニア D A C と、前記第 1 リニア D A C は、入力されるデジタルデータと出力する出力電圧とを直線的に対応させて前記第 1 アナログ信号を生成し、

前記第 2 出力データにตอบสนองして第 2 アナログ信号を出力する第 2 リニア D A C と、前記第 2 リニア D A C は、入力されるデジタルデータと出力する出力電圧とを直線的に対応させて前記第 2 アナログ信号を生成し、

前記下位ビットデータに基づいて、前記第 1 アナログ信号と前記第 2 アナログ信号とを線形補間して前記出力電圧を生成するアナログ線形補間部

具備する

コントロールドライバ。

【請求項 11】

請求項 10 に記載のコントロールドライバにおいて、

前記演算回路は、

特定の表示ガンマ値に対応する前記入力画像データを、他の表示ガンマ値に対応する画像データに変換するガンマ演算を実行し、前記ガンマ演算により得られたガンマ演算データを前記演算データとして出力する

コントロールドライバ。

【請求項 12】

請求項 11 に記載のコントロールドライバにおいて、

前記演算回路は、

前記コントロールドライバの外部から供給されるガンマ選択信号にตอบสนองして、前記他の表示ガンマ値を切り換える

コントロールドライバ。

【請求項 13】

請求項 12 に記載のコントロールドライバにおいて、

前記 L U T は、書き換え可能なメモリに記憶され、前記コントロールドライバの外部から供給される命令にตอบสนองして更新される

コントロールドライバ。

【請求項 14】

請求項 13 に記載のコントロールドライバにおいて、

前記 L U T は、

第 1 L U T と第 2 L U T とを含み、

前記第 1 L U T と前記第 2 L U T との各々は、前記上位ビットデータのビット数に対応する数のアドレスを有し、

前記第 1 L U T は、

第 n (n : 任意の自然数) アドレスに第 n 補正データを保持し、

前記第 2 L U T は、

第 $n + 1$ アドレス、または、第 $n - 1$ アドレスに、前記第 n 補正データを保持する

コントロールドライバ。

【請求項 15】

請求項 1 から 4 の何れか一項に記載のコントロールドライバにおいて、

前記演算回路は、組み合わせ回路で構成される

コントロールドライバ。

【請求項 16】

液晶表示パネルと、前記液晶表示パネルを駆動するコントロールドライバとを具備する

10

20

30

40

50

液晶表示装置であって、

前記コントロールドライバは、

外部から入力される入力画像データの画像を、前記液晶表示パネルに適切に表示させるための演算を実行して演算データを生成する演算回路と、

前記液晶表示パネルのV-T(電圧-透過率)特性をあらわす補正データが記述されたLUT(Look-up Table)と、

前記LUTから供給される表示データに応答して、前記液晶表示パネルに供給する出力電圧を生成する線形補間D/Aコンバータと

を具備し、

前記演算回路は、前記演算データの上位ビットデータと下位ビットデータとを特定し、
前記上位ビットデータを前記LUTに供給し、

10

前記LUTは、

前記上位ビットデータに基づいて第1出力データと第2出力データとを前記表示データとして前記線形補間D/Aコンバータに供給し、

前記線形補間D/Aコンバータは、

前記第1出力データと前記第2出力データと前記下位ビットデータとに対応して、線形補間演算とD/A変換とを行って前記出力電圧を生成する

液晶表示装置。

【請求項17】

請求項16に記載の液晶表示装置において、

20

前記線形補間D/Aコンバータは、

線形補間部とリニアDAC部と

を含み、

前記線形補間部は、

前記下位ビットデータに基づいて、前記第1出力データと前記第2出力データとを線形補間して得られたデジタル線形補間データを前記リニアDAC部に供給し、

前記リニアDAC部は、

前記デジタル線形補間データを受け、前記デジタル線形補間データをアナログ信号に変換し、前記アナログ信号に対応する前記出力電圧を生成する

液晶表示装置。

30

【請求項18】

請求項17に記載の液晶表示装置において、

前記演算回路は、

特定の表示ガンマ値に対応する前記入力画像データを、他の表示ガンマ値に対応する画像データに変換するガンマ演算を実行し、前記ガンマ演算により得られたガンマ演算データを前記演算データとして出力する

液晶表示装置。

【請求項19】

請求項18に記載の液晶表示装置において、

前記演算回路は、

40

前記液晶表示装置の外部から供給されるガンマ選択信号に応答して、前記他の表示ガンマ値を切り換える

液晶表示装置。

【請求項20】

請求項19に記載の液晶表示装置において、

前記LUTは、書き換え可能なメモリに記憶され、前記液晶表示装置の外部から供給される命令に応答して更新される

液晶表示装置。

【請求項21】

請求項20に記載の液晶表示装置において、

50

前記 L U T は、
第 1 L U T と第 2 L U T とを含み、
前記第 1 L U T と前記第 2 L U T との各々は、前記上位ビットデータのビット数に対応する数のアドレスを有し、
前記第 1 L U T は、
第 n (n : 任意の自然数) アドレスに第 n 補正データを保持し、
前記第 2 L U T は、
第 $n + 1$ アドレス、または、第 $n - 1$ アドレスに、前記第 n 補正データを保持する液晶表示装置。

【請求項 2 2】

10

請求項 1 6 から 2 1 の何れか一項に記載の液晶表示装置において、
前記演算回路は、組み合わせ回路で構成される
液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、液晶表示装置および液晶表示装置のコントローラドライバに関する。

【背景技術】

【0 0 0 2】

マンマシンインターフェースとして、フラットパネルディスプレイが広く普及してきている。なかでも液晶表示装置は、製造技術、歩留り、コストの観点で他のフラットパネルディスプレイ（例えば、プラズマディスプレイパネルなど）に優っていることから、さまざまな分野に適用されている。

20

液晶表示装置に備えられた液晶パネルには、 $V - T$ （電圧 - 透過率）特性と呼ばれる特性がある。液晶パネルの画素の液晶分子は、一定以上の電圧に応答してその液晶分子の配向が変化する。 $V - T$ 特性とは、その液晶分子の配向を変化させるための電圧と、その電圧に対応してその画素を透過する光の量との関係性である。液晶パネルは、パネルごとに固有で、かつ非線形な $V - T$ 特性を有している。そのため、一般的な液晶表示装置において、液晶パネル固有の $V - T$ 特性に合わせて入力階調データの値に対して非線形な駆動電圧を生成する D / A コンバータを備えたコントローラドライバによって、液晶パネルへの印加電圧が決定されている。例えば、外部から液晶表示装置に供給される入力画像データは、 $C R T$ に対応したガンマ値 ($\gamma = 2.2$) のデータであることが多いため、コントローラドライバに内蔵される D / A コンバータは一般的に $\gamma = 2.2$ の表示特性になるように設定されている。

30

【0 0 0 3】

また、従来の液晶表示装置において、ガンマ値の変更や、更に表示画像の色調を向上させるために、 R （赤）、 G （緑）、 B （青）のそれぞれについて異なるガンマ値を表示するといった処理（以下、ガンマ補正処理と呼ぶ。）が行われることもある。そのガンマ補正処理を行うために、従来の液晶表示装置には、コントローラドライバの前段にガンマ特性（階調補正特性）データを記憶した L U T（*Look-up Table* : 参照表）が備えられており、L U T によって入力画像データを変換した画像データをコントローラドライバに転送していた。

40

【0 0 0 4】

液晶表示装置の L U T は、例えば、入力画像データが 8 ビットで構成されている場合、10 ビットなどの拡張されたビット数であることが要求される。これは、L U T を参照してガンマ補正処理を行った場合に、データが潰れることを防ぐためである。そのため、従来の液晶表示装置では、入力画像データのビット数よりも大きいビット数のデータを保持することができるメモリで L U T を構成している。

【0 0 0 5】

このような液晶表示装置において、L U T に割り当てるメモリ容量の増大を抑制する技

50

術が知られている（例えば、特許文献 1、2 および 3 参照。）。特許文献 1（特開平 5 - 6 4 1 1 0 号公報）には、表示画面をブロックに分け、いくつかのブロック毎のガンマ補正データを複数の LUT に格納している。A/D 変換器でデジタル変換された映像信号を、上記の複数の LUT に入力し、係数付加回路と加算回路からなる補間処理回路により、ガンマ補正データの無いブロックの映像信号を形成する技術が開示されている。

【0006】

また、特許文献 2（特開 2 0 0 1 - 2 3 8 2 2 7 号公報）には、液晶表示装置のような信号 - 輝度特性が非線形な素子を利用して画像表示を行う際に、そのガンマ特性やホワイトバランス調整において、デジタルデータによる補正後のダイナミックレンジを、アナログ系の回路によるゲイン調整、及びオフセット調整によって設定する技術が開示されている。これによって、デジタルデータによる補正をルックアップテーブルによって行う場合に、その補正データの全てを有効に利用することで、補正用のデータに要するメモリ容量の増大を抑制している。

10

【0007】

さらに、特許文献 3（特開 2 0 0 5 - 1 3 5 1 5 7 号公報）には、補正特性データの記憶容量を低減することが可能な階調補正のための画像処理回路、画像表示装置及び画像処理方法に関する技術が開示されている。特許文献 3 に開示される技術では、入力される画像データの階調数より少ない階調数に対応する階調補正特性データを第 1 及び第 2 の LUT 記憶部に記憶している。そして、階調補正処理の対象となる画素の階調値を入力階調値として、第 1 及び第 2 の LUT 記憶部を参照し、その入力階調値に対応する出力階調値、及び、それと隣接する入力階調値に対応する出力階調値を取得している。ここで、隣接する階調値とは、ある入力階調値の 1 つ上の階調値又は 1 つ下の階調値を指している。そして、それら 2 つの隣接する出力階調値の間の出力階調値を線形補間により求めて、全入力階調値に対応する出力階調値を得ている。そして、入力された画像データの各画素に対して階調補正を行い、補正後の画像データを出力している。

20

【0008】

【特許文献 1】特開平 5 - 6 4 1 1 0 号公報

【特許文献 2】特開 2 0 0 1 - 2 3 8 2 2 7 号公報

【特許文献 3】特開 2 0 0 5 - 1 3 5 1 5 7 号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0009】

液晶表示装置では、ガンマ演算処理を実行する場合に、表示させる画像のコントラストや表示装置周辺の明るさなどに応じて、変更後のデータのガンマ値を切り換えたい場合がある。そのため、入力画像データに対するガンマ演算処理において、複数のガンマ値に応じてデータ変換ができることが求められている。したがって、変更対象のガンマ値が複数の場合、変更対象のガンマ値の数の LUT を備える必要がある。複数の LUT を備えるためには、その複数の LUT を保持することができるメモリ容量が必要となる。コントロールドライバに、ガンマ補正処理を行うための複数の LUT を備える場合、チップサイズが増大するという問題が発生する。

40

【0010】

また、コントロールドライバで、チップサイズの増大を抑制しつつ、複数の変更対象のガンマ値に対応させるには、内蔵する LUT を 1 つとし、表示させる画像のガンマ値を変化させるごとに、LUT を書き換える必要がある。しかしながら、LUT の書き換えには多くの時間がかかる。そのため、電子機器を使用する環境の変化に対して、リアルタイムで LUT を書き換えることが困難な場合がある。

【0011】

また、従来の LUT は、非線形な駆動電圧を生成するコントローラドライバにより決定される V - T 特性の補正処理（以下、V - T 補正処理と呼ぶ）にも対応することが可能である。

50

【 0 0 1 2 】

しかし、LUTによるガンマ補正処理または、V-T補正処理は、データが潰れることを防ぐため、入力画像データのビット数よりも大きいビット数で構成されているため、LUTによる補正処理を実行するときに、コントローラドライバに変換画像データを入力する前に減色処理を行う必要がある。

【 0 0 1 3 】

また、従来の液晶表示装置において上記のような1つのLUTを用いた補正処理では、ガンマ演算処理（または、その他の画像演算処理）のような、入力画像データを液晶表示装置に適した画像データに変換する処理と、その変換された画像データを、さらに表示パネルの個々のV-T特性に対応させるためのV-T補正処理とを同時に行うことができない。加えて、従来のコントローラドライバでは、減色処理をすることなくデータを表示パネルに供給することができなかった。

10

【課題を解決するための手段】

【 0 0 1 4 】

以下に、[発明を実施するための最良の形態]で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 1 5 】

20

上記課題を解決するために、外部から入力される入力画像データ(31)の画像を、液晶表示パネル(2)に適切に表示させるための演算を実行して演算データを生成する演算回路(11)と、前記液晶表示パネル(2)のV-T(電圧-透過率)特性をあらかじめ補正データが記述されたLUT(Look-up Table)(12)と、前記LUT(12)から供給される表示データ(34、35)に应答して、前記液晶表示パネル(2)に供給する出力電圧を生成する線形補間D/Aコンバータ(13)とを具備する液晶表示パネルのコントローラドライバ(3)を構成する。

【 0 0 1 6 】

ここにおいて、前記演算回路(11)は、前記演算データの上位ビットデータ(32)と下位ビットデータ(33)とを特定し、前記上位ビットデータ(32)を前記LUT(12)に供給する。また、前記LUT(12)は、前記上位ビットデータ(32)に基づいて第1出力データ(34)と第2出力データ(35)とを前記表示データとして前記線形補間D/Aコンバータ(13)に供給する。さらに、前記線形補間D/Aコンバータ(13)は、第1出力データ(34)と第2出力データ(35)と前記下位ビットデータとに対応しての線形補間演算とD/A変換とを行って前記出力電圧を生成する。

30

【 0 0 1 7 】

そのコントローラドライバ(3)は、入力された画像データ(31)を、表示パネル(2)に対応したデータにするための補正を行う。この場合に、演算式を用いて実行できる補正に関しては、演算回路(11)を用いてその補正を実行している。また、演算式を用いて補正することが困難な補正(V-T特性の補正など)に対しては、書き換え可能なメモリに保持されたLUT(12)を参照している。つまり、本願発明のコントローラドライバでは、演算回路(11)による補正を行った後、LUT(12)によるV-T特性に対応させる補正を行っている。なお、本願発明のコントローラドライバでは、LUT(12)を書き換えることができるので、V-T特性の異なる複数の表示パネル(2)に対し、コントローラドライバを複数用意する必要が無い。また、演算回路(11)は、外部から入力される制御信号に应答して、実行する演算を切り換える。

40

【発明の効果】

【 0 0 1 8 】

本願発明は、入力された画像データを、表示パネルに対応したデータにするための補正を行っている。この場合において、演算式を用いて実行できる補正に関しては、演算回路

50

を用いてその補正を実行している。また、演算式を用いて補正することが困難な補正（例えば、V-T特性に関する補正）に対しては、書き換え可能なメモリに保持されたLUTを用いてその補正を実行している。そのため、上記の演算回路で行われるような補正に対応するLUTを構成する必要が無く、回路規模の小さいコントロールドライバを構成することが可能となる。

【0019】

つまり、本願発明のコントロールドライバは、表示パネルのV-T特性に対応した一つのLUTと、演算式を用いたガンマ演算のような、複数種類の値に対応して切り換え可能な演算との掛け合わせによって、入力された画像データを表示パネルに対応した表示データに補正している。演算式を用いて実行できる補正とLUTを用いて行う補正は独立して

10

【0020】

また、本願発明のコントロールドライバは、入力される画像データに対して、その演算回路が実行する演算を変更したい場合に、切り換え信号に応答して、リアルタイムで切り換えることができる構成を備えている。そのため、液晶表示装置の周辺環境の変化などに対応して速やかに画像が表示される状態（例えば、コントラストなど）を変更することが可能である。

【0021】

また、本願発明のLUTは、表示パネルごとのV-T特性に対応している。したがってLUTを書き換えることで、一つのコントロールドライバで、複数の表示パネルに対応した出力電圧の出力をすることが可能となる。

20

【0022】

また、上述の実施形態において、演算回路から出力されるデータ（ガンマ演算結果データ）は、入力画像データのビット数よりも拡張されている。LUTでの補正処理では、拡張されたビット数に対応する二つのデータに対して線形補間を行っている。したがって、本願発明では、減色処理を行うことなく表示データをデータ線駆動回路に供給することができる。

【発明を実施するための最良の形態】

【0023】

以下に、図面を参照して本願発明を実施するための形態について説明を行う。以下に述べる実施形態においては、ある特定のガンマ値に対応している入力画像データを、他のガンマ値に対応するデータに変換して液晶表示パネルに画像を表示させる場合を例示して、本願発明に関する説明を行う。なお、これは本願発明がガンマ補正処理のみに適用可能であることを意味するものではない。

30

【0024】

[第1の実施形態]

図1は、本実施形態の液晶表示装置1の構成を例示するブロック図である。図1を参照すると、本実施形態の液晶表示装置1は、液晶表示パネル2と、コントロールドライバ3と、ゲートドライバ4と、処理装置5とを含んで構成されている。液晶表示パネル2は、

40

【0025】

液晶表示パネル2の複数の画素の各々は、2枚の偏光板と、その間に備えられた液晶とを含んで構成されている。液晶表示パネル2の画素に備えられた液晶分子は、加えられる電界の強さに応じて液晶分子の配向が変化する。画素は、液晶分子の配向方向に応じた光を透過する。したがって、液晶表示装置では、画素に加えられる電界と、画素を透過する透過光との関係（以下、V-T特性と呼ぶ。）に応じて入力画像データを補正してから、液晶表示パネル2に画像を表示させている。液晶表示パネル2のV-T特性は、液晶表示

50

パネルの個体ごとに異なっている。

【0026】

コントロールドライバ3は、データ線に出力電圧を提供している。コントロールドライバ3の詳細に関しては後述する。ゲートドライバ4は、ゲート線（走査線）のスクランを実行している。例えば、液晶表示パネル2を線順次駆動で駆動する場合、ゲートドライバ4は1番上のラインから順に走査する。そして、一番下のラインの走査が完了すると、一番上のラインに戻る。ゲートドライバ4は、この動作を繰り返し実行している。

【0027】

処理装置5は、液晶表示パネル2に表示させる画像を、入力画像データ31として提供している。処理装置5は、CPU（図示されず）とメモリ（図示されず）と画像メモリ（図示されず）と表示コントローラ（図示されず）とを含んで構成されている。また、それらはバス（図示されず）を介して接続されている。図1に示されているように、処理装置5は、入力画像データ31と、ガンマ設定信号37と、ドライバ制御信号38とをコントロールドライバ3に提供している。

【0028】

図1を参照すると、第1の実施形態のコントロールドライバ3は、制御装置6と、ガンマ変換部7と、データ線駆動回路8と、電源電圧生成回路9とを含んで構成されている。また、そのガンマ変換部7は、ガンマ演算回路11と、LUT（Look-up Table）12と、線形補間D/Aコンバータ13とを含んで構成されている。制御装置6は、処理装置5から供給される入力画像データ31を受け取る。また制御装置6は、ゲートドライバ4の駆動タイミングを制御する駆動タイミング制御信号を出力している。また、制御装置6は、ゲートドライバ4の動作タイミングに対応するように、入力画像データ31をガンマ変換部7に供給している。データ線駆動回路8は、ガンマ変換部7から提供される出力電圧に応じて液晶表示パネル2のデータ線を駆動している。図1を参照すると、線形補間D/Aコンバータ13は、線形補間回路23と、複数のリニアDAC24とを備えている。複数のリニアDAC24は、液晶表示パネル2のデータ線の数に対応して構成されている。図1に示されているように、電源電圧生成回路9は、線形補間D/Aコンバータ13に備えられた複数のリニアDAC24に電源電圧を供給している。

【0029】

ガンマ演算回路11は、あるガンマ値に対応している入力画像データ31を、他のガンマ値（以下、変更後ガンマ値と呼ぶ）に対応するデータ（以下、演算結果データと呼ぶ。）に変換している。LUT12は、ガンマ演算回路11から提供される演算結果データに基づいて、テーブル内のデータを参照している。本実施形態のLUT12は、液晶表示パネル2のV-T特性を表すように記述されている。なお、以下の説明においては、本願発明の理解を容易にするために、LUT12がRGBのどれかに対応したものとして説明を行う。線形補間D/Aコンバータ13は、電源電圧生成回路9から供給される電源電圧に対応して、データを電圧に変換している。より具体的には、線形補間D/Aコンバータ13は、線形補間演算とD/A変換とを行って前記出力電圧を生成している。

【0030】

以下に、図面を参照して、本実施形態におけるガンマ変換部7の構成に関して説明を行う。図2は、第1の実施形態のガンマ変換部7の構成を例示するブロック図である。上述のように、ガンマ変換部7は、ガンマ演算回路11と、LUT12と、線形補間D/Aコンバータ13とを備えている。また、第1の実施形態の線形補間D/Aコンバータ13は、線形補間部23と、リニアDAC部24とを含んで構成されている。

【0031】

図2を参照すると、入力画像データ31は、コントロールドライバ3の外部から供給される複数ビットの画像データである。入力画像データ31は、所定のガンマ値に対応して構成されている。図2に示されているように、本実施形態のガンマ演算回路11は、nビットの入力画像データ31に回答してjビットの上位ビットデータ32と、kビットの下位ビットデータ33とを出力している。また、ガンマ演算回路11は、その上位ビット

10

20

30

40

50

データ 3 2 を L U T 1 2 に提供している。さらに、ガンマ演算回路 1 1 は、下位ビットデータ 3 3 を線形補間部 2 3 に提供している。

図 2 に示されているように、L U T 1 2 は、上位ビットデータ 3 2 に応答して $j + 1$ ビットの第 1 出力データ 3 4 と、 $j + 1$ ビットの第 2 出力データ 3 5 とを線形補間部 2 3 に提供している。線形補間部 2 3 は、その下位ビットデータ 3 3、第 1 出力データ 3 4 および第 2 出力データ 3 5 に基づいて m ビットの線形補間データ 3 6 をリニア D A C 部 2 4 に出力している。リニア D A C 部 2 4 は、電源電圧生成回路 9 から供給される電源電圧に基づいて、入力されるデータ（線形補間データ）を電圧値に変換している。

【0032】

本実施形態において、入力画像データ 3 1 のビット数 " n "、上位ビットデータ 3 2 のビット数 " j "、下位ビットデータ 3 3 のビット数 " k "、第 1 出力データ 3 4 のビット数 " $j + 1$ "、第 2 出力データ 3 5 のビット数 " $j + 1$ " および線形補間データ 3 6 のビット数 " m " は、下記条件を満たす限り制限は無い。その条件は、

$$n < m$$

$$(k + j) < m$$

$$(k + j + 1) = m$$

である。

【0033】

本実施形態において、ガンマ演算回路 1 1 は、液晶表示パネル 2 の $V - T$ 特性に依存せずに、上記のデータ変換（以下、ガンマ演算処理と呼ぶ。）を実行している。ガンマ演算回路 1 1 が、液晶表示パネル 2 の $V - T$ 特性に依存することなくガンマ演算処理を行うので、演算結果データは、変更後ガンマ値が決まれば一義的に決定する。したがって、本実施形態のガンマ演算回路 1 1 は、データを読み替える機能を有する回路（例えば、組み合わせ回路）で構成することができる。

【0034】

図 2 に示されているように、ガンマ演算回路 1 1 は、外部から供給される入力画像データ 3 1 を受け取る。ガンマ演算回路 1 1 は、入力画像データ 3 1 を受けたときに、その入力画像データ 3 1 を演算結果データに変換するガンマ演算処理を実行する。以下に、ガンマ演算回路 1 1 が実行するガンマ演算処理に関して説明する。ガンマ演算回路 1 1 は、下記（1）式に基づいて入力画像データ 3 1 に対するガンマ演算処理を実行している。

$$\text{出力データ} = \text{出力階調最大値} \left(\text{入力データ} \div \text{入力データ最大値} \right)^{\text{ガンマ値}} \cdot \cdot \cdot (1)$$

ただし、

$$\text{出力階調最大値} = 2^{k + j} - 2^{((k + j) - n)}$$

$$(k + j : \text{L U T 1 2 の出力ビット数、} (k + j) - n : \text{拡張するビット数})$$

とする。

【0035】

ここにおいて、入力データのガンマを変更する際、入力データと出力データが同じビット数の場合、変換後のデータは潰れてしまい、入力データよりも少ない種類の出力データになってしまう。よって、出力データを $b i t$ 拡張することで、データが潰れることを防ぐ。たとえば、 $2 b i t$ 拡張すると、出力データは入力データの 4 倍のデータを持つことが出来るため、データが潰れずに持つ事ができる。

また、出力データの値は入力データのうち 2 値の間の値を補間するため、 256 階調を補間する場合、 255 個の補間箇所となる。 $2 b i t$ 拡張する場合 4 倍のデータで補間する事ができるので、出力データ数は $255 \times 4 = 1020$ 種類のデータを持つことができる。そのため、出力階調最大値の式は、上述の式で表される。

【0036】

以下に、具体的な数値を用いて説明を行う。例えば、入力画像データ 3 1、上位ビットデータ 3 2 および下位ビットデータ 3 3 のビット数が、8 ビット、6 ビットおよび 4 ビットであるとする。この場合において、ガンマ演算回路 1 1 は、入力画像データ 3 1 をガン

マ演算処理した結果として以下のような演算結果データを得る。

$$\begin{aligned} \text{演算結果データ} &= (2^{(4+6)} - 2^{(4+6-8)}) (\text{入力画像データ} \div 2^8) \text{ガンマ値 } \gamma \\ &= (2^{10} - 2^2) (\text{入力画像データ} \div 2^8) \text{ガンマ値 } \gamma \\ &= 1020 (\text{入力画像データ} \div 255) \text{ガンマ値 } \gamma \end{aligned}$$

なお、ガンマ演算回路 11 は、そのガンマ演算結果データの上位 6 ビットを、上位ビットデータ 32 として LUT 12 出力する。さらに、ガンマ演算回路 11 は、ガンマ演算結果データの下位 4 ビットを下位ビットデータ 33 として LUT 12 出力する。

【0037】

LUT 12 は、コントールドライバ 3 の外部から供給される命令に応じて、保持しているデータの書き換えが可能なメモリで構成されている。以下の述べる実施形態では、LUT 12 が RAM で構成されている場合を例示して説明を行う。LUT 12 には、液晶表示パネル 2 の固有の V-T 特性を表すような補正データが格納されている。また、入力画像データ 31 が、RGB それぞれである場合、LUT 12 は、RGB ごとに備えられ、それぞれで独立した補正を行うように構成されている。図 2 を参照すると、本実施形態における LUT 12 は、第 1 LUT 21 と第 2 LUT 22 とを含んで構成されている。LUT 12 に関する詳細は、後述するものとする。

【0038】

線形補間部 23 は、下記 (2) 式に基づいて第 1 出力データ 34 と第 2 出力データ 35 とに対する線形補間を実行する回路である。その (2) 式は、

$$\begin{aligned} &\text{線形補間データ 36} \\ &= \text{第 1 出力データ 34} + \{ (\text{第 2 出力データ 35} - \text{第 1 出力データ 34}) \\ &\quad \times \text{下位ビットデータ 33} \} / 2^{\gamma \text{変換下位ビット} \cdots (2)} \end{aligned}$$

ただし、

$$\text{第 1 出力データ 34} < \text{第 2 出力データ 35}$$

である。また、

$$\gamma \text{変換下位ビット}$$

= ガンマ演算回路 11 から出力される下位ビットデータ 33 のビット数とする。

例えば、下位ビットデータ 33 のビット数が 4 ビットの場合、下位ビットデータ 33 は 0 ~ 15 (“ 0000 ” ~ “ 1111 ”) の 16 個の何れかの値となり、 $2^{\gamma \text{変換下位ビット}}$ は 16 になる。

【0039】

線形補間部 23 は、この線形補間データ 36 をリニア DAC 部 24 に供給している。リニア DAC 部 24 では、電源電圧生成回路 9 から供給される電源電圧に基づいて、入力されるデータ (線形補間データ) を電圧値に変換している。リニア DAC 部 24 は、入力される線形補間データ 36 と出力する電圧値との重み付けが一定 (リニア) である。つまり、リニア DAC 部 24 に入力されるデータの重みと、リニア DAC 部 24 が出力する電圧の重みとは一定であり、リニア DAC 部 24 は、入力データと出力電圧との対応が線形的である。したがって、リニア DAC 部 24 は、ガンマ演算回路 11 から提供される下位ビットデータ 33 と、線形補間部 23 から提供される線形補間データ 36 とに基づいて、液晶表示パネル 2 の V-T 特性に依存することなく、一義的に D/A 変換して、線形補間データ 36 を出力電圧に変換している。リニア DAC 部 24 は、入力される線形補間データ 36 を電圧値に変換した後、その電圧値をデータ線駆動回路 8 へ供給する。

【0040】

以下に、LUT 12 に格納されるデータについて説明を行う。図 3 は、本実施形態の LUT 12 に格納される補正データ (以下 VT データと呼ぶ。) における、入力と出力の対応を示すグラフである。図 3 を参照すると、本実施形態における LUT 12 は、入力される上位ビットデータ 32 に対応する $0 \sim 2^j - 1$ 個のアドレスが備えられている。それぞれのアドレスには、 $j + 1$ ビットの VT データが格納されている。

【 0 0 4 1 】

L U T 1 2 は、ガンマ演算回路 1 1 から供給される上位ビットデータ 3 2 のビット数に対応する個数のアドレスを備えている。例えば、ガンマ演算回路 1 1 が、6 ビットの上位ビットデータ 3 2 を出力する場合、L U T 1 2 は、そのビット数である 6 ビットに対応する 6 4 個のアドレスを備えている。また、本実施形態の L U T 1 2 は、そのアドレスごとに、入力される上位ビットデータ 3 2 よりも大きいビット値の V T データを備えている。本実施形態では、6 4 個のアドレスごとに 8 ビットの V T データを備えているものとする。したがって、一個の L U T の大きさは、

$$64 \text{ 階調} \times 8 \text{ ビット} = 512 \text{ ビット}$$

となる。

10

【 0 0 4 2 】

以下に、具体的な値を用いて V T データについて説明を行う。図 4 は、本実施形態において、上位ビットデータ 3 2 のビット数 " j " が 6 であり、第 1 出力データ 3 4 のビット数 " j + 1 " と第 2 出力データ 3 5 のビット数 " j + 1 " とが 8 (つまり 1 が 2) である場合における、入力と出力の対応を示すグラフである。

図 4 を参照すると、L U T 1 2 は、入力される上位ビットデータ 3 2 が " 0 " を示す場合に第 0 V T データを出力している。同様に、入力される上位ビットデータ 3 2 が " 1 " を示す場合に第 1 V T データを出力し、上位ビットデータ 3 2 が " 2 " を示す場合に第 0 V T データを出力している。以降、入力される上位ビットデータ 3 2 が示す値に対応したアドレスに格納されている第 4 V T データ ~ 第 6 3 V T データまでのデータが出力される。

20

【 0 0 4 3 】

上述のように、本実施形態における L U T 1 2 は、第 1 L U T 2 1 と第 2 L U T 2 2 とを含んで構成されている。第 1 L U T 2 1 と第 2 L U T 2 2 の各々は、ガンマ演算回路 1 1 から供給される上位ビットデータ 3 2 に応答して、それぞれのテーブル内に保持されている V T データを参照する。第 2 L U T 2 2 は、第 1 L U T 2 1 の第 n (n : 任意の整数) アドレスに保持されているデータと同じデータを、第 n + 1 アドレス (または、第 n - 1 アドレス) に保持している。

【 0 0 4 4 】

第 1 L U T 2 1 は、上位ビットデータ 3 2 が示すアドレスに保持されている V T データを第 1 出力データ 3 4 として出力している。第 2 L U T 2 2 の同じアドレスには、第 1 L U T 2 1 のアドレスより 1 大きい (または、1 小さい) アドレスの V T データが保持されている。例えば、第 1 L U T 2 1 の第 1 アドレスの V T データが " 0 0 0 0 0 0 0 1 " である場合、第 2 L U T の第 0 アドレスに " 0 0 0 0 0 0 0 1 " が保持される。したがって、第 2 L U T 2 2 は、上位ビットデータ 3 2 に基づいて、第 n アドレスの V T データ (第 1 L U T 2 1 の第 n + 1 アドレス、または、第 n - 1 アドレスに対応する V T データ) を第 2 出力データ 3 5 として出力している。

30

【 0 0 4 5 】

以下に、図面を参照して上述の第 1 L U T 2 1 と第 2 L U T 2 2 の構成について説明を行う。図 5 は、第 1 L U T 2 1 と第 2 L U T 2 2 とを有する L U T 1 2 に格納される V T データを示す図である。図 5 を参照すると、L U T 1 2 の第 1 L U T 2 1 は、アドレス " 0 " に対応して第 0 V T データを保持している。図 5 に示されているように、L U T 1 2 の第 2 L U T 2 2 は、アドレス " 0 " に対応して第 1 V T データを保持している。以降、第 0 アドレスから第 2^j - 1 アドレスに対応する V T データは、図 5 に示されるように、

40

アドレス	: 第 1 L U T 2 1	: 第 2 L U T 2 2
" 0 "	: 第 0 V T データ	: 第 1 V T データ
" 1 "	: 第 1 V T データ	: 第 2 V T データ
" 2 "	: 第 2 V T データ	: 第 3 V T データ

...

" 2^j - 2 " : 第 2^j - 2 V T データ : 第 2^j - 1 V T データ

50

“ $2^j - 1$ ”：第 $2^j - 1$ V T データ：第 $2^j - 1$ V T データ
 となる。L U T 1 2 は、上位 j b i t のデータに応じて格納されているデータを入力する。

【0046】

なお、L U T 1 2 が一つのテーブルで構成される場合、L U T 1 2 は、上位ビットデータ 3 2 で示されるアドレスに対応する V T データを参照し、第 1 出力データ 3 4 を得る。このとき、L U T 1 2 は、上位ビットデータ 3 2 が示すアドレスに隣り合うアドレスの V T データを第 2 出力データ 3 5 とする。そして、L U T 1 2 は、第 1 出力データ 3 4 と第 2 出力データ 3 5 とを線形補間部 2 3 に供給する。

【0047】

10

上記の構成を有するガンマ変換部 7 の動作に関し、以下に図面を参照して説明する。図 6 は、ガンマ変換部 7 に入力画像データ 3 1 が供給されたときの動作を例示する図である。図 6 の (a) は、ガンマ演算回路 1 1 の動作を例示している。図 6 の (b) は、L U T 1 2 の動作を例示している。図 6 の (c) は、線形補間 D / A コンバータ 1 3 の線形補間部 2 3 の動作を例示している。図 6 の (a) に示されているように、ガンマ演算回路 1 1 は、ガンマ演算結果データの上位 6 ビットを上位ビットデータ 3 2 として L U T 1 2 に出力し、下位 4 ビットを下位ビットデータ 3 3 として線形補間部 2 3 に出力する。

【0048】

20

図 6 の (b) に示されているように、L U T 1 2 は、上述のように、ガンマ演算回路 1 1 から供給される上位ビットデータ 3 2 に応答して、保持している V T データを参照する。このとき、L U T 1 2 の第 1 L U T 2 1 は、入力される上位ビットデータ 3 2 が示すアドレスに保持されている V T データを第 1 出力データ 3 4 として線形補間部 2 3 に供給する。また、L U T 1 2 の第 2 L U T 2 2 は、入力される上位ビットデータ 3 2 が示すアドレスに保持されている V T データを第 2 出力データ 3 5 として線形補間部 2 3 に供給する。

【0049】

30

図 6 の (c) に示されているように、線形補間部 2 3 は、下位ビットデータ 3 3 に基づいて、L U T 1 2 から供給される第 1 出力データ 3 4 と第 2 出力データ 3 5 との間の線形補間を実行する。線形補間部 2 3 は、その実行結果である線形補間データ 3 6 を、リニア D A C 部 2 4 に供給する。リニア D A C 部 2 4 は、その線形補間データ 3 6 を電圧値に変換してデータ線駆動回路 8 に供給する。

【0050】

40

上述のように、本実施形態のガンマ演算回路 1 1 は、あるガンマ値に対応している入力画像データ 3 1 を、他のガンマ値に対応するデータ（ガンマ演算結果データ）に変換している。そして、ガンマ演算回路 1 1 はガンマ演算結果データの上位 j ビットを上位ビットデータ 3 2 として L U T 1 2 に出力している。L U T 1 2 では、その上位ビットデータ 3 2 は、第 1 L U T 2 1 と第 2 L U T 2 2 とに供給されている。第 1 L U T 2 1 は、その上位ビットデータ 3 2 に応答して第 1 出力データ 3 4 を出力する。同様に、第 2 L U T 2 2 は、上位ビットデータ 3 2 に応答して第 2 出力データ 3 5 を出力する。この二つのデータ（3 4、3 5）は線形補間が可能である。そのため、この二つのデータ（3 4、3 5）は、線形補間 D / A コンバータ 1 3 の線形補間部 2 3 に供給される。線形補間部 2 3 は、下位ビットデータ 3 3 を用いてその二つのデータ（3 4、3 5）に対する線形補間を行っている。

【0051】

この場合において、ガンマ演算回路 1 1 は、液晶表示装置 1 を使用している環境に応じて、変更後ガンマ値を切りかえる機能を備えている。ガンマ演算回路 1 1 は、ガンマ選択信号 3 7 に応答して、複数のガンマ特性に対応させるガンマ演算を実行する。図 7 および図 8 は、上述の動作を具体的に例示する図である。以下に、本願発明に関する理解を容易にするために、入力画像データ 3 1 のガンマ値を変更しない場合と、入力画像データ 3 1 のガンマ値を変更する場合とに場合分けして、本実施形態に関する説明を行っていく。

50

【 0 0 5 2 】

[ガンマ値を変更しない場合]

図 7 の (a) は、ガンマ演算回路 1 1 によるガンマ補正を行わない場合における、入力画像データ 3 1 - ガンマ演算結果データの関係を示すグラフである。ガンマ演算回路 1 1 は、図 7 の (a) のグラフ 4 1 に示されるような演算式を満たすようにガンマ演算結果データを生成する。図 7 の (a) を参照すると、ガンマ演算回路 1 1 は、入力画像データ 3 1 に応答してグラフ 4 1 に対応する演算を実行してガンマ演算結果データを出力する。ガンマ演算回路 1 1 は、その上位 j ビットを上位ビットデータ 3 2 として L U T 1 2 に供給する。

【 0 0 5 3 】

図 7 の (b) は、ガンマ演算結果データ - L U T 出力の関係を示すグラフである。グラフ 4 2 は、L U T 1 2 に保持されている V T データに対応している。図 7 の (b) を参照すると、L U T 1 2 は、ガンマ演算回路 1 1 から供給される上位ビットデータ 3 2 に応答して、対応するアドレスの V T データを参照する。L U T 1 2 は、その参照によって得られたデータと、その対応するアドレスに隣り合うアドレスの V T データとを、L U T 出力として線形補間 D / A コンバータ 1 3 に供給する。図 7 の (b) に示されているように、L U T 1 2 は液晶表示パネル 2 の V - T 特性に対応する V T データを保持している。そのため、その V T データをプロットすると、グラフ 4 2 に示されるような曲線を描く。したがって、L U T 1 2 から出力される L U T 出力は、液晶表示パネル 2 の V - T 特性を含むデータとして出力される。

【 0 0 5 4 】

[ガンマ値を変更する場合]

図 8 の (a) は、ガンマ演算回路 1 1 が、入力画像データ 3 1 に対するガンマ補正を実行する場合における、入力画像データ 3 1 - ガンマ演算結果データの関係を示すグラフである。本実施形態のガンマ演算回路 1 1 は、ガンマ選択信号 3 7 に応答して、ガンマ補正演算を変更する。例えば、図 7 の (a) では、入力画像データ 3 1 のガンマ値が $\gamma = 2.2$ に対応する画像データであった場合、上位ビットデータ 3 2 のガンマ値も $\gamma = 2.2$ となる。ガンマ選択信号 3 7 によって、上位ビットデータ 3 2 のガンマ値を変更する命令を受けたとき、ガンマ演算回路 1 1 は、その命令に応答して、下記 (3) 式に対応するようなガンマ値 γ を算出し、上記 (1) 式に代入する。

ガンマ値 $\gamma =$ 変更後のガンマ値 / 基準ガンマ値 $\cdots$ (3)

ここで、基準ガンマ値は、L U T 1 2 に設定されているガンマ値である。

【 0 0 5 5 】

例えば、基準ガンマ値として入力画像データ 3 1 に対応する $\gamma = 2.2$ が設定され、変更後のガンマ値を 2.4 にしたい場合、

$$\begin{aligned}\text{ガンマ値 } \gamma &= 2.4 / 2.2 \\ &= 1.090909 \dots\end{aligned}$$

となる。入力画像データ 3 1 が 8 ビットデータであり、ガンマ演算結果データが 10 ビットデータである場合、このガンマ値 γ を (1) 式に代入することによって、

$$\text{ガンマ演算結果データ} = 1020 \left(\text{入力画像データ} \div 255 \right)^{1.090909 \dots}$$

となる。

【 0 0 5 6 】

図 8 の (a) を参照すると、ガンマ演算回路 1 1 は、グラフ 5 1 に示されるような演算式を満たすようにガンマ演算結果データを生成する。ガンマ演算回路 1 1 は、ガンマ演算回路 1 1 は、入力画像データ 3 1 に応答してグラフ 5 1 に対応する演算を実行してガンマ演算結果データを出力する。図 8 の (a) に示されているように、ガンマ演算回路 1 1 は、入力画像データ 3 1 と異なるガンマ値に対応する画像データをガンマ演算結果データとしている。ガンマ演算回路 1 1 は、その上位 j ビットを上位ビットデータ 3 2 として L U T 1 2 に供給する。

【 0 0 5 7 】

10

20

30

40

50

図 8 の (b) は、図 7 の (b) と同様のガンマ演算結果データ - L U T 出力の関係を示すグラフである。グラフ 4 2 は、L U T 1 2 に保持されている V T データに対応している。図 8 の (b) を参照すると、L U T 1 2 は、ガンマ演算回路 1 1 から供給される上位ビットデータ 3 2 に応答して、対応するアドレスの V T データを参照する。上述のように、上位ビットデータ 3 2 は、入力画像データ 3 1 と異なるガンマ値に対応する画像データの上位 j ビットデータである。そのため、図 7 に示される場合に比較して、偏りを持ったデータが上位ビットデータ 3 2 として供給される。L U T 1 2 は、その上位ビットデータ 3 2 を、液晶表示パネル 2 の V - T 特性に対応するように補正している。

【 0 0 5 8 】

上述のように、本実施形態のコントロールドライバ 3 には、ガンマ演算回路 1 1 と L U T 1 2 と線形補間回路 2 3 とリニア D A C 2 4 とが備えられている。そのコントロールドライバ 3 は、ガンマ演算回路 1 1 と L U T 1 2 とによって入力画像データの補正を行っている。その後、線形補間回路 2 3 とリニア D A C とにより、補正後のデータに対し線形補間を行ってデータ線を駆動するための出力電圧を生成している。上述のように、本実施形態のコントロールドライバ 3 は、減色処理を行うことなく出力電圧を生成している。

【 0 0 5 9 】

以下に、8 ビット画像データに対してガンマ補正を行い、10 ビット画像データに拡張する場合を例示して本実施形態のコントロールドライバ 3 の動作に関して説明を行う。図 9 は、本実施形態のコントロールドライバ 3 を適用可能な液晶表示パネルの階調 - 電圧特性を示すテーブルである。この場合において、たとえば、入力される階調データが 10 の場合で、ガンマ = 2 . 2 からガンマ = 2 . 4 に補正を行うときには、上記 (1) 式および (3) 式より、

$$\begin{aligned} \text{出力データ} &= 1020 \times (10 / 255)^{2.4 / 2.2} \\ &= 29.8 \end{aligned}$$

を得る。

【 0 0 6 0 】

この値に対し、四捨五入などの処理をして 10 ビット階調における 30 階調データを出力する。本実施形態の L U T 1 2 は、この上位 6 b i t でデータを参照する。図 9 の 6 ビット階調 6 5 に示されているように、L U T 1 2 は、その参照によって 6 ビット 1 階調と 6 ビット 2 階調を選択する。線形補間回路 2 4 は、この値と下位 4 b i t のデータとに基づいて線形補間を行う。図 9 に参照すると、この場合における出力電圧 (線形補間データ 3 6) は、上述の (2) 式より、

$$\begin{aligned} \text{出力電圧} &= (3.7 - 3.2) \times (16 - 14) / 16 + 3.2 \\ &= 3.2625 \text{ V} \end{aligned}$$

となる。

【 0 0 6 1 】

ここにおいて、上記の条件におけるガンマ補正を実行する場合、従来の液晶表示装置では、コントロールドライバに入力される前も 8 ビット画像データに対し、10 ビット画像データに拡張する処理を実行している。そして、従来のコントロールドライバが 8 ビット入力の場合、10 ビットまで拡張したデータに対して減色処理を行ってからコントロールドライバにデータを供給している。具体的には、従来の液晶表示装置において、入力される階調データが 10 の場合で、ガンマ = 2 . 2 からガンマ = 2 . 4 に補正する場合、

$$\begin{aligned} &1023 \times (10 / 255)^{2.4 / 2.2} \\ &= 29.9 \end{aligned}$$

という演算をおこない、四捨五入などの処理をして、10 ビット階調における 30 階調データを得ている。ここで、その後実行される減色処理が単純に下位 2 ビットを削る処理であるとする、10 ビット階調における 30 階調データは、8 ビット階調の 7 階調データ (3 . 4 V) に変換される。 (30 - 2 = 7) 。

【 0 0 6 2 】

図 9 を参照すると、実際には、8 ビット階調で 7 . 5 階調 (3 . 3 V) を出力すること

がガンマ 2.2 からガンマ 2.4 に補正していることになる。しかしながら、上述したように、この場合には、3.4 V が従来のコントールドライバに供給される。そのため、0.1 V の誤差が生じてしまう。また、FRC や、ディザといった減色処理をおこなうと、減色による画像劣化が生じる（FRC ならフリッカが生じ、ディザなら粒状感が生じてしまう）。

【0063】

しかしながら、本実施形態のコントールドライバは、ガンマ 2.2 からガンマ 2.4 に補正したときの出力電圧として、

$$\begin{aligned} \text{出力電圧} &= (3.7 - 3.2) \times (16 - 14) / 16 + 3.2 \\ &= 3.2625 \text{ V} \end{aligned}$$

10

を得ている。このように、従来の液晶表示装置におけるガンマ補正では、8 ビット階調の段階でガンマ補正を行っているのに対し、本実施形態のコントールドライバは、10 ビット階調の精度で電圧を出力することができる。そのため、本実施形態のコントールドライバは、従来よりも誤差を小さくすることが出来る。

【0064】

さらに、上述のように、ガンマ演算回路 11 は、ガンマ選択信号 37 に応答して、実行するガンマ演算処理を切り換えている。また、LUT 12 は、ガンマ演算回路 11 がどのようなガンマ演算処理を実行しても、その処理結果に依存することなく、V-T 特性の補正を行っている。上述のように、ガンマ演算回路 11 は、組み合わせ回路（または順序回路）などのデータを読み替える機能を有する回路で構成されている。したがって、ガンマ演算回路は、特定のガンマ値に対応している入力画像データを、他のガンマ値に対応するデータに変換するときに、その他のガンマ値をリアルタイムに切り換えることができる。

20

【0065】

また、LUT 12 は、液晶表示パネル 2 の V-T 特性に対応して構成されている。本実施形態の LUT 12 は、書き換え可能なメモリに保持されている。したがって、本実施形態のコントールドライバ 3 は、LUT 12 の内容を更新することで、異なる V-T 特性の液晶表示パネル 2 に対応することができる。

【0066】

また本実施形態のコントールドライバ 3 は、例えば、入力画像データ 31 が 8 ビットデータのデータであり、上位ビットデータ 32 が 6 ビット、LUT 12 は、その 6 ビットデータの上位ビットデータ 32 で、データの読み替えを行う。このとき（LUT 12 へ入力されるデータが 6 ビットデータであるとき）、LUT 12 の第 1 LUT 21 と第 2 LUT 22 とを、8 ビットで構成することによって、そのデータが潰れることを防止することができる。本実施形態の線形補間部 23 は、この後、第 1 出力データ 34 と第 2 出力データ 35 とを、4 ビットデータである下位ビットデータ 33 を用いて線形補間をしている。上記の場合（第 1 LUT 21 と第 2 LUT 22 とが 8 ビットで構成されている場合）、

30

$$8 \text{ ビット} \times 64 \text{ 階調} \times 2 = 1024 \text{ ビット}$$

で LUT 12 を構成することができる。

【0067】

従来の LUT で上記の入力画像データ 31 を処理する場合には、

$$256 \text{ 階調} \times 10 \text{ ビット} = 2560 \text{ ビット}$$

40

が必要となる。したがって、本実施形態のコントールドライバ 3 は、従来のコントールドライバに比較して、LUT に要するメモリ容量を削減することが可能となる。

【0068】

[第 2 の実施形態]

以下に、図面を参照して、本願発明の第 2 の実施形態について説明を行う。図 10 は、本願発明の第 2 の実施形態の構成を例示するブロック図である。図 10 を参照すると、第 2 の実施形態の線形補間 D/A コンバータ 13 は、第 1 リニア DAC 25 と、第 2 リニア DAC 26 と、アナログ線形補間回路 27 とを含んで構成されている。

【0069】

50

第 1 リニア D A C 2 5 と第 2 リニア D A C 2 6 は、電源電圧生成回路 9 から供給される電源電圧に基づいて、入力されるデータ（線形補間データ）を電圧値に変換する回路である。第 1 リニア D A C 2 5 と第 2 リニア D A C 2 6 は、リニア D A C 部 2 4 と同様に、入力されるデータと出力する電圧値との重み付けが一定（リニア）である。したがって、第 1 リニア D A C 2 5 は、第 1 出力データ 3 4 に対応して、線形的に第 1 アナログ信号 6 1 を出力する。同様に、第 2 リニア D A C 2 6 は、第 2 出力データ 3 5 に対応して、線形的に第 2 アナログ信号 6 2 を出力する。アナログ線形補間回路 2 7 は、第 1 アナログ信号 6 1 と第 2 アナログ信号 6 2 の中間の電圧を特定する回路である。

なお、第 2 の実施形態において、電源電圧生成回路 9 から線形補間 D / A コンバータ 1 3 に供給される電源電圧は 2^{j+1} 個である。第 1 リニア D A C 2 5 は、 2^{j+1} 個の電源電圧の中から第 1 出力データ 3 4 により選択された第 1 アナログ信号 6 1 をアナログ線形補間回路 2 7 に供給している。同様に第 2 リニア D A C 2 6 は、 2^{j+1} 個の電源電圧の中から第 2 出力データ 3 5 により選択された第 2 アナログ信号 6 2 をアナログ線形補間回路 2 7 に供給している。

図 1 0 に示されているように、アナログ線形補間回路 2 7 は、ガンマ演算回路 1 1 から出力される下位ビットデータ 3 3 に基づいて、第 1 アナログ信号 6 1 と第 2 アナログ信号 6 2 を直線補間することによってデータ線駆動回路 8 に供給するアナログ電圧値を生成する。

【 0 0 7 0 】

本実施形態における L U T 1 2 は、V - T 特性に対応した第 1 出力データ 3 4 と第 2 出力データ 3 5 とを、線形補間 D / A コンバータ 1 3 に出力している。つまり、L U T 1 2 から出力される第 1 出力データ 3 4 と第 2 出力データ 3 5 とは、階調データの重みと電圧の重みとが比例している。第 2 の実施形態の線形補間 D / A コンバータ 1 3 では、第 1 リニア D A C 2 5 と第 2 リニア D A C 2 6 が、共に特性がリニアであり、アナログ線形補間回路 2 7 が、演算によって二つの電圧の中間の電圧を算出している。したがって、第 2 の実施形態の線形補間 D / A コンバータ 1 3 は、V - T 特性に依存することなく、L U T 1 2 から出力される第 1 出力データ 3 4 と第 2 出力データ 3 5 とに基づいて、アナログ演算によって出力電圧を生成することが可能となる。

【 0 0 7 1 】

[第 3 の実施形態]

以下に、図面を参照して、本願発明の第 3 の実施形態について説明を行う。上述の実施形態では、第 1 L U T 2 1 と第 2 L U T 2 2 とが、V T データを上位ビットデータ 3 2 のビット数 “ j ” に対応するデータを 1 セットずつ（＝上位 $j \times 2$ セット）備えている。上述の実施形態では、第 1 L U T 2 1 と第 2 L U T 2 2 との各々から出力されるデータの間を補間している。第 3 の実施形態におけるガンマ変換部 7 は、L U T 1 2 を小さくするため、上位ビットデータ 3 2 のビット数 “ j ” に対応する 1 セットの V T データによって、適切な線形補間を行なう構成である。

【 0 0 7 2 】

図 1 1 は、本願発明の第 3 の実施形態の構成を例示するブロック図である。第 3 の実施形態の L U T 1 2 は、偶数用 L U T 2 1 a と奇数用 L U T 2 2 a と信号比較部 2 8 と加算器 2 9 とを含んで構成されている。加算器 2 9 は、上位ビットデータ 3 2 に + 1 した値を、第 1 L U T 2 1 a に供給している。偶数用 L U T 2 1 a のアドレスには、その上位ビットデータ 3 2 に + 1 した値から、下位 1 b i t を切り捨てた値が入力される。また、奇数用 L U T 2 2 a のアドレスには上位ビットデータ 3 2 のデータから下位 1 b i t を切り捨てた値が入力される。

【 0 0 7 3 】

また、第 3 の実施形態において、偶数用 L U T 2 1 a と奇数用 L U T 2 2 a の後段には、信号比較部 2 8 が備えられている。図 1 1 に示されているように、信号比較部 2 8 には上位ビットデータ最下位ビット 3 9 が供給されている。信号比較部 2 8 は、上位ビットデータ最下位ビット 3 9 に基づいて偶数用 L U T 2 1 a から出力される第 1 出力データ 3 4

と奇数用 L U T 2 2 a から出力される第 2 出力データ 3 5 との大きさを比較する。信号比較部 2 8 は、上位ビットデータ最下位ビット 3 9 が “ 1 ” (上位ビットデータ 3 2 が奇数) の場合、

偶数用 L U T 出力 > 奇数用 L U T 出力

と判断する。同様に、信号比較部 2 8 は上位ビットデータ最下位ビット 3 9 が “ 0 ” の場合、

偶数用 L U T 出力 < 奇数用 L U T 出力

と判断する。

【 0 0 7 4 】

このとき、信号比較部 2 8 は、偶数用 L U T 出力と奇数用 L U T 出力との入れ替えが必要な場合、上位ビットデータ最下位ビット 3 9 に基づいて偶数用 L U T 出力と奇数用 L U T 出力とを入れ替えて線形補間部 2 3 に供給する。つまり、信号比較部 2 8 は、適切な線形補間が実行できるように、偶数用 L U T 出力、または、奇数用 L U T 出力のどちらか一方を第 1 出力データ 3 4 として線形補間部 2 3 に供給する。そして信号比較部 2 8 は、他方を第 2 出力データ 3 5 として線形補間部 2 3 に供給する。線形補間部 2 3 は信号比較部 2 8 から出力される第 1 出力データ 3 4 と第 2 出力データ 3 5 に対して、線形補間を行う。

10

【 0 0 7 5 】

本実施形態において、上位ビットデータ 3 2 のビット数 “ j ” に対応する 1 セットの V T データで線形補間を実現するためには、たとえば、

20

第 0 V T データと第 1 V T データ、

第 1 V T データと第 2 V T データ、

第 2 V T データと第 3 V T データ、

といった組み合わせの出力が必要となる。以下に、図面を参照して、本実施形態の詳細な構成と動作について説明を行う。

【 0 0 7 6 】

図 1 2 は、第 3 の実施形態における L U T 1 2 の構成と、その L U T 1 2 を構成する偶数用 L U T 2 1 a および奇数用 L U T 2 2 a に保持される V T データの構成を例示するテーブルである。図 1 2 に示されているように、上位ビットデータ 3 2 のビット数 “ j ” に対応するデータを、2 つの L U T (偶数用 L U T 2 1 a、奇数用 L U T 2 2 a) に分けて格納すると、

30

アドレス	奇数用 L U T	偶数用 L U T
0	第 1 V T データ	第 0 V T データ
1	第 3 V T データ	第 2 V T データ
	...	
$2(j-1)-2$	第 $2j-3$ V T データ	第 $2j-4$ V T データ
$2(j-1)-1$	第 $2j-1$ V T データ	第 $2j-2$ V T データ

となる。

【 0 0 7 7 】

ここにおいて、図 1 2 に示されているように、第 3 の実施形態の L U T 1 2 では、偶数用 L U T 2 1 a に入力するアドレスとして、

40

(上位ビットデータ + 1) > > 1

が与えられる。また、奇数用 L U T 2 2 a に入力するアドレスとして、

(上位ビットデータ) > > 1

が与えられる。これによって、第 3 の実施形態の L U T 1 2 は、第 0 V T データと第 1 V T データとの組や第 2 V T データと第 3 V T データとの組だけでなく、第 1 V T データと第 2 V T データの組を出力させることが可能になる。

【 0 0 7 8 】

信号比較部 2 8 は、出力された 2 つの V T データをガンマ演算後のデータの下位 b i t (上位ビットデータ最下位ビット 3 9) を用いて補間を行う。第 3 の実施形態のコントロ

50

ールドライバ 3 は、このような構成・動作によって、ガンマ演算による b i t 拡張のデータを、液晶の V T 特性に沿った値を用いて補間することができる。つまり、第 3 の実施形態のコントロールドライバ 3 は、様々な液晶パネルの V T 特性に沿ったガンマ演算が可能で、かつ、b i t 拡張データを液晶に印加する電圧として出力することが可能である。

【 0 0 7 9 】

以下に、具体的な数値を用いて第 3 の実施形態について説明を行う。図 1 3 は、上位ビットデータ 3 2 として 2 (“ 6 ' b 0 0 0 0 1 0 ”) が入力された場合の動作を例示する図である。図 1 3 を参照すると、上位ビットデータ 3 2 として 2 が入力された場合、偶数用 L U T 2 1 a のアドレスには、

$$\begin{aligned} & (6 ' b 0 0 0 0 1 0 + 6 ' b 0 0 0 0 0 1) > > 1 \\ & = 5 ' b 0 0 0 0 1 \\ & = 1 \end{aligned}$$

10

が入力される。

【 0 0 8 0 】

図 1 3 に示されているように、偶数用 L U T 2 1 a のアドレスに 1 が入力されるとき、偶数用 L U T 2 1 a は第 2 V T データを出力する。同様に、上位ビットデータ 3 2 として 2 が入力された場合、奇数用 L U T 2 2 a のアドレスには、

$$\begin{aligned} & (6 ' b 0 0 0 0 1 0) > > 1 \\ & = 5 ' b 0 0 0 0 1 \\ & = 1 \end{aligned}$$

20

が入力される。したがって、図 1 3 に示されているように、奇数用 L U T 2 2 a のアドレスには 2 が入力された場合、奇数用 L U T 2 2 a は第 3 V T データを出力する。

【 0 0 8 1 】

図 1 3 を参照すると、このとき上位ビットデータ最下位ビット 3 9 が 0 なので、信号比較部 2 8 は、奇数用 L U T のデータと偶数用 L U T のデータとを入れ替えることなく、第 2 V T データを第 1 出力データ 3 4 (第 1 L U T 出力) とし、第 3 V T データを第 2 出力データ 3 5 (第 2 L U T 出力) として線形補間 D / A コンバータ 1 3 に供給する。

【 0 0 8 2 】

図 1 4 は、上位ビットデータ 3 2 として 3 (“ 6 ' b 0 0 0 0 1 1 ”) が入力された場合の動作を例示する図である。図 1 4 を参照すると、上位ビットデータ 3 2 として 3 が入力された場合、偶数用 L U T 2 1 a のアドレスには $(3 + 1) / 2 = 2$ が入力される。偶数用 L U T 2 1 a のアドレスに 2 が入力されるとき、偶数用 L U T 2 1 a は、第 4 V T データを出力する。このとき奇数用 L U T 2 2 a のアドレスには 1 が入力され、それによって奇数用 L U T 2 2 a は第 3 V T データを出力する。

30

ここで、図 1 4 を参照すると、上位ビットデータ最下位ビット 3 9 は 1 である。したがって、信号比較部 2 8 は奇数用 L U T 出力と偶数用 L U T 出力を入れ替えて、第 3 V T データを第 1 出力データ 3 4 (第 1 L U T 出力) とし、第 4 V T データを第 2 出力データ 3 5 (第 2 L U T 出力) として線形補間 D / A コンバータ 1 3 に供給する。

【 0 0 8 3 】

これにより、第 3 の実施形態の L U T 1 2 は、1 セットの V T データで、その V T データの補間を行うために必要なデータを出力する事ができる。また、L U T 1 2 の大きさを、

40

8 ビット × 偶数 3 2 階調 + 8 ビット × 奇数 3 2 階調 = 5 1 2 ビット
とすることが可能になる。

なお、信号比較部 2 8 が、上位ビットデータ最下位ビット 3 9 を用いることなく偶数用 L U T 出力と奇数用 L U T 出力の大きさそのものを比較する構成であっても良い。この場合において、信号比較部 2 8 は、大きい方を第 1 出力データ 3 4 として出力し、小さい方を第 2 出力データ 3 5 として出力する。

【 0 0 8 4 】

[第 4 の実施形態]

50

以下に、図面を参照して、本発明の第４の実施形態について説明を行う。図１５は、第４の実施形態におけるガンマ変換部７の構成を例示するブロック図である。第４の実施形態のガンマ変換部７は、上位ビットデータ３２のビット数“ j ”に対応する１セットの $V-T$ データによって、適切な線形補間を行なう構成である。図１５を参照すると、第４の実施形態におけるガンマ変換部７の $LUT12$ は、第３の実施形態の $LUT12$ と同様の構成である。また、第４の実施形態におけるガンマ変換部７の線形補間 D/A コンバータ１３は、第２の実施形態と同様の構成である。

【００８５】

本実施形態において、上述の第３の実施形態と同様の動作によって第１出力データ３４と第２出力データ３５とを線形補間 D/A コンバータ１３に供給している。線形補間 D/A コンバータ１３の第１リニア $DAC25$ は、 2^{j+1} 個の電源電圧の中から第１出力データ３４により選択された第１アナログ信号６１をアナログ線形補間回路２７に供給している。同様に第２リニア $DAC26$ は、 2^{j+1} 個の電源電圧の中から第２出力データ３５により選択された第２アナログ信号６２をアナログ線形補間回路２７に供給している。

10

【００８６】

これにより、第４の実施形態のガンマ変換部７は、上位ビットデータ３２のビット数“ j ”に対応する１セットの $V-T$ データで線形補間を実現することが可能となる。ここにおいて、線形補間 D/A コンバータ１３は、 $V-T$ 特性に依存することなく、 $LUT12$ から出力される第１出力データ３４と第２出力データ３５とに基づいて、アナログ演算によって出力電圧を生成することが可能となる。

20

【００８７】

上述してきた複数の実施形態において、ガンマ演算回路１１は、ある特定のガンマ値に対応する入力画像データ３１を、他のガンマ値に対応するデータ（演算結果データ）に変換する演算処理（ガンマ演算処理）を行っている。ガンマ演算回路１１は、液晶表示パネル２の $V-T$ 特性に依存することなくガンマ演算処理を行うので、変更後ガンマ値に対応するデータである演算結果データは、変更後ガンマ値が決まれば一義的に決定する。そのため、変更後ガンマ値が決定している場合、ガンマ演算回路１１を組み合わせ回路（または、順序回路）で構成することができ、 LUT を有することなく回路規模の小さいガンマ演算回路１１を構成することができる。

30

【００８８】

また、上述してきた複数の実施形態において、ガンマ演算回路１１は、ガンマ選択信号３７に応答して変更後ガンマ値をリアルタイムで切り換えることができる構成を備えている。そのため、液晶表示装置１の周辺環境の変化などに対応して、速やかに画像が表示される状態を変更することが可能である。

【００８９】

また、上述の複数の実施形態において、ガンマ演算回路１１から出力されるデータ（ガンマ演算結果データ）は、入力画像データ３１のビット数よりも拡張されている。上述のように、 $LUT12$ での補正処理では、拡張されたビット数に対応する二つのデータに対して線形補間を行っている。したがって、本実施形態のコントロールドライバ３では、減色処理を行うことなく出力電圧をデータ線駆動回路８に供給することができる。

40

【００９０】

なお、本実施形態において、減色処理を行っても良い。従来の液晶表示装置のコントロールドライバでは、減色処理を行った後に $V-T$ 特性の補正を行っていた。したがって、従来のコントロールドライバでは、 LUT に内蔵されている値に対応する誤差が生じてしまっていた。上述してきた実施形態において、コントロールドライバ３が減色処理を行う場合には、線形補間を行った後に減色処理を実行することになる。この場合、減色処理後の誤差は、 LUT から出力されるデータに対し線形補間を行った後の値に対応する誤差となる。したがって、従来のコントロールドライバよりも小さい誤差にすることが可能である。

【図面の簡単な説明】

50

【 0 0 9 1 】

【図 1】図 1 は、液晶表示装置 1 の構成を例示するブロック図である。

【図 2】図 2 は、第 1 の実施形態におけるガンマ変換部 7 の構成を例示するブロック図である。

【図 3】図 3 は、L U T 1 2 における入力と出力との対応を示すグラフである。

【図 4】図 4 は、L U T 1 2 における入力と出力との対応を示すグラフである。

【図 5】図 5 は、L U T 1 2 に格納される V T データを示す図である。

【図 6】図 6 は、ガンマ変換部 7 に入力画像データ 3 1 が供給されたときの動作を例示する図である。

【図 7】図 7 は、ガンマ変換部 7 の動作を具体的に例示する図である。

10

【図 8】図 8 は、ガンマ変換部 7 の動作を具体的に例示する図である。

【図 9】図 9 は、液晶表示パネルの階調 - 電圧特性を示すテーブルである。

【図 1 0】図 1 0 は、第 2 の実施形態の構成を例示するブロック図である。

【図 1 1】図 1 1 は、第 3 の実施形態の構成を例示するブロック図である。

【図 1 2】図 1 2 は、第 3 の実施形態における L U T 1 2 に保持される V T データの構成を例示するテーブルである。

【図 1 3】図 1 3 は、第 3 の実施形態における L U T 1 2 の動作を例示する図である。

【図 1 4】図 1 4 は、第 3 の実施形態における L U T 1 2 の動作を例示する図である。

【図 1 5】図 1 5 は、第 4 の実施形態の構成を例示するブロック図である。

【符号の説明】

20

【 0 0 9 2 】

1 ... 液晶表示装置

2 ... 液晶表示パネル

3 ... コントロールドライバ

4 ... ゲートドライバ

5 ... 処理装置

6 ... 制御回路

7 ... ガンマ変換部

8 ... データ線駆動回路

9 ... 電源電圧生成回路

30

1 1 ... ガンマ演算回路

1 2 ... L U T (L o o k - u p T a b l e)

1 3 ... 線形補間 D / A コンバータ

2 1 ... 第 1 L U T

2 2 ... 第 2 L U T

2 1 a ... 偶数用 L U T

2 2 a ... 奇数用 L U T

2 3 ... 線形補間部

2 4 ... リニア D A C 部

2 5 ... 第 1 リニア D A C

40

2 6 ... 第 2 リニア D A C

2 7 ... アナログ線形補間回路

2 8 ... 信号比較部

2 9 ... 加算器

3 1 ... 入力画像データ

3 2 ... 上位ビットデータ

3 3 ... 下位ビットデータ

3 4 ... 第 1 出力データ

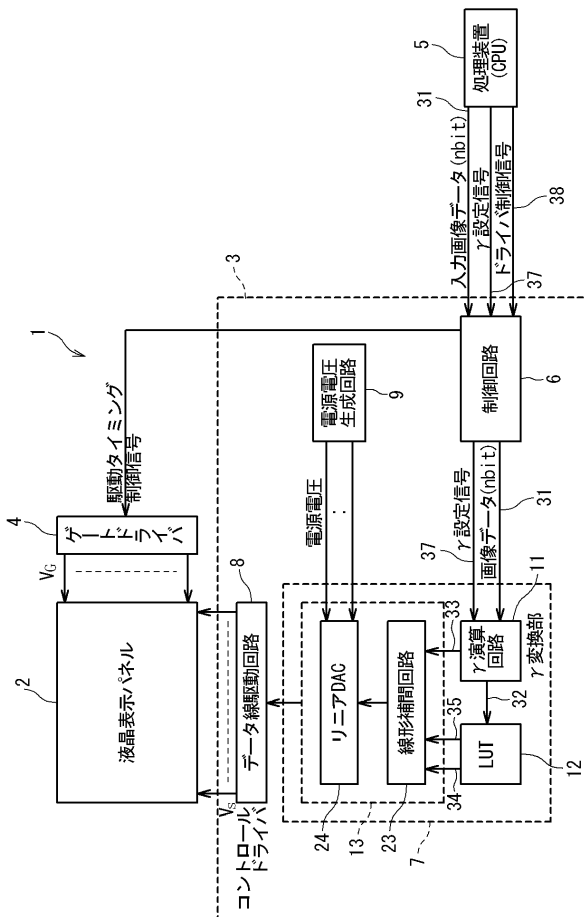
3 5 ... 第 2 出力データ

3 6 ... 出力電圧

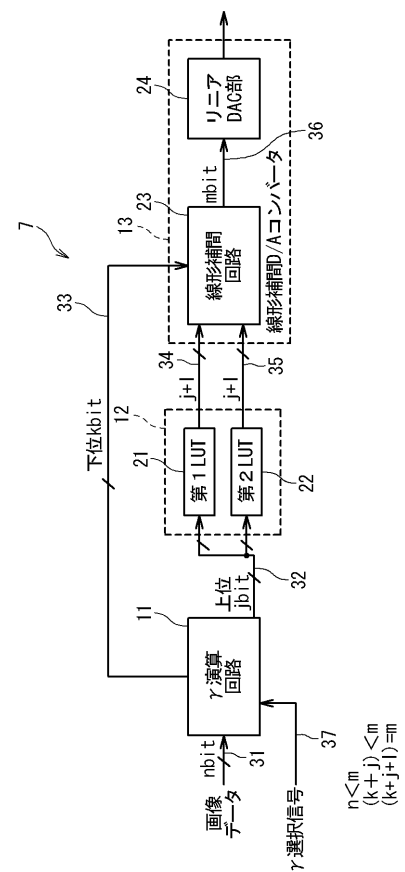
50

- 3 7 ... ガンマ選択信号
 3 8 ... ドライバ制御信号
 3 9 ... 上位ビットデータ最下位ビット
 4 1 ... グラフ
 4 2 ... グラフ
 5 1 ... グラフ
 6 1 ... 第 1 アナログ信号
 6 2 ... 第 2 アナログ信号

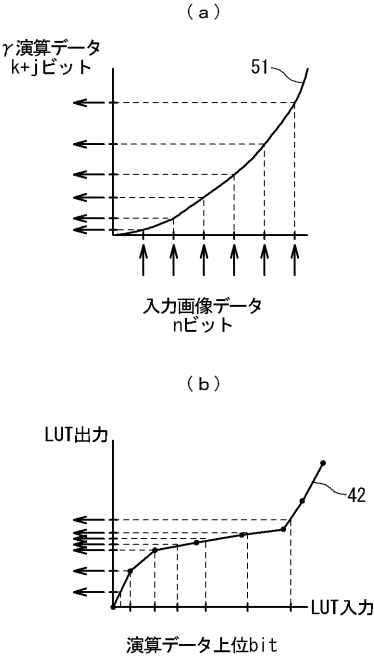
【 図 1 】



【 図 2 】



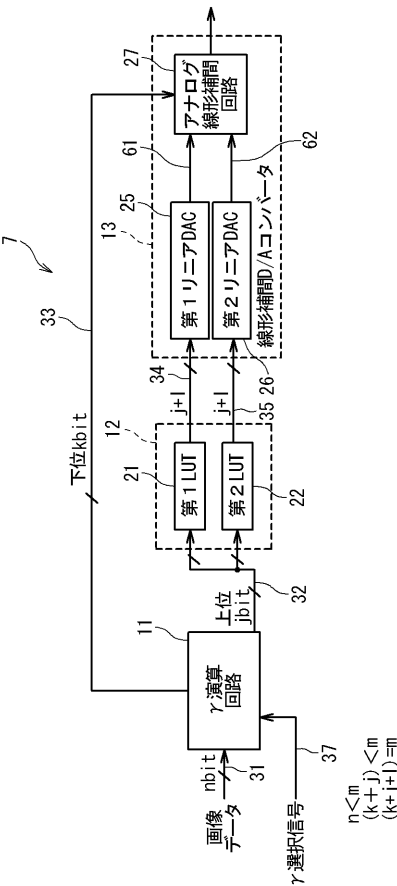
【 図 8 】



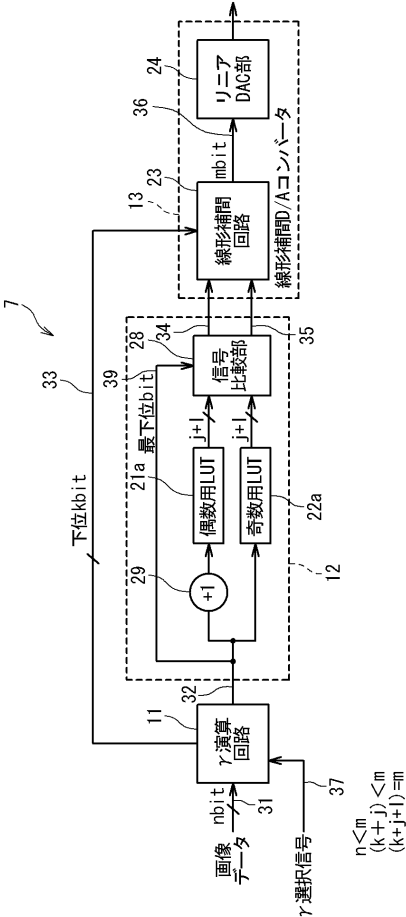
【 図 9 】

63		64		65	
10bit階調		8bit階調		6bit階調	
階調	電圧	階調	電圧	階調	電圧
16	3.7	4	3.7	1	3.7
20	3.6	5	3.6		
24	3.5	6	3.5		
28	3.4	7	3.4		
30	3.3	7.5	3.3		
32	3.2	8	3.2	2	3.2

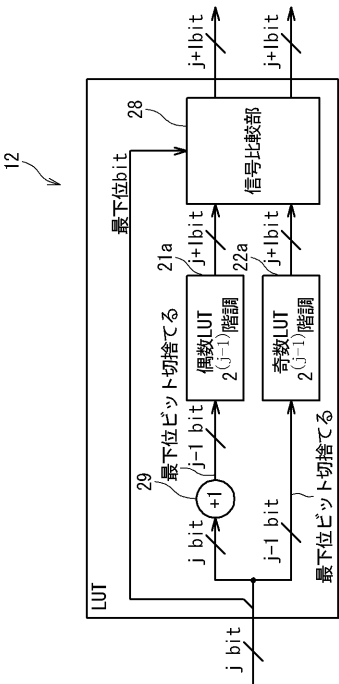
【 図 1 0 】



【 図 1 1 】

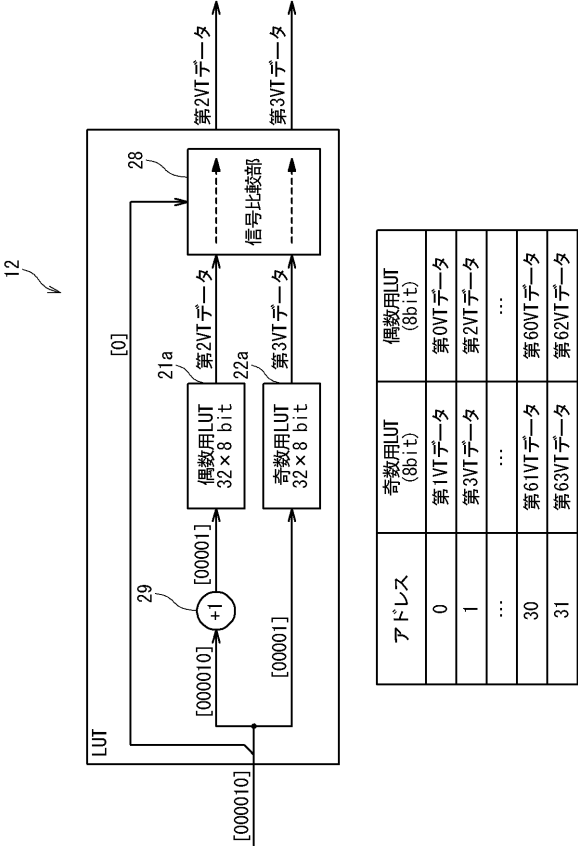


【 図 1 2 】



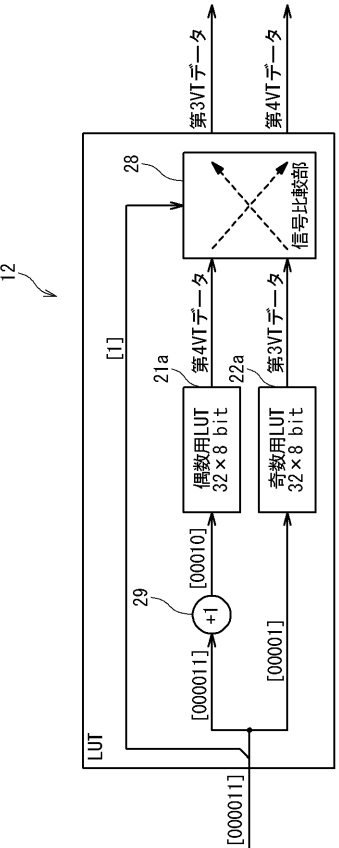
アドレス	奇数用LUT ($j+1$ bit)	偶数用LUT ($j+1$ bit)
0	第1VTデータ	第0VTデータ
1	第3VTデータ	第2VTデータ
...	...	...
$2^{(j-1)}-2$	第 2^j-3 VTデータ	第 2^j-4 VTデータ
$2^{(j-1)}-1$	第 2^j-1 VTデータ	第 2^j-2 VTデータ

【 図 1 3 】



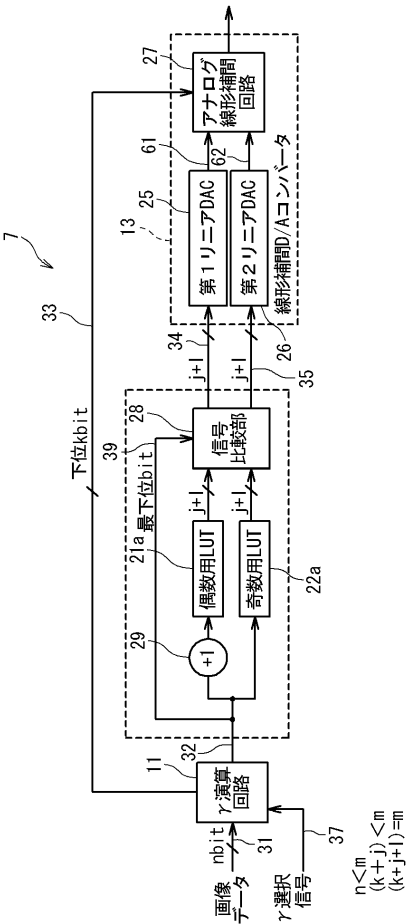
アドレス	奇数用LUT (8bit)	偶数用LUT (8bit)
0	第1VTデータ	第0VTデータ
1	第3VTデータ	第2VTデータ
...	...	...
30	第61VTデータ	第60VTデータ
31	第63VTデータ	第62VTデータ

【 図 1 4 】



アドレス	奇数用LUT (8bit)	偶数用LUT (8bit)
0	第1VTデータ	第0VTデータ
1	第3VTデータ	第2VTデータ
...	...	...
30	第61VTデータ	第60VTデータ
31	第63VTデータ	第62VTデータ

【 図 1 5 】



$n < m$
 $(k+j) < m$
 $(k+j+1) = m$

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 3 1 R
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 5 0 M
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 7 5

F ターム(参考) 5C006 AA16 AF06 AF11 AF45 AF46 AF47 AF83 AF84 BB16 BC12
BC16 BF14 BF24 BF25 BF28 BF43 EB05 FA04 FA12 FA18
FA56
5C080 AA10 BB05 DD03 DD04 DD21 DD22 DD25 DD28 EE29 FF11
GG12 JJ02 JJ03 JJ05

专利名称(译)	液晶显示装置，用于液晶显示装置的控制驱动器		
公开(公告)号	JP2009015136A	公开(公告)日	2009-01-22
申请号	JP2007178493	申请日	2007-07-06
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	降旗弘史 能勢崇		
发明人	降旗 弘史 能勢 崇		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G2310/027 G09G2320/0673		
FI分类号	G09G3/36 G09G3/20.641.Q G09G3/20.631.V G09G3/20.623.F G09G3/20.632.C G09G3/20.631.R G09G3/20.641.C G09G3/20.650.M G02F1/133.505 G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA57 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC28 2H093/ND06 2H093/ND42 2H093/ND49 2H093/NH18 5C006/AA16 5C006/AF06 5C006/AF11 5C006/AF45 5C006/AF46 5C006/AF47 5C006/AF83 5C006/AF84 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF28 5C006/BF43 5C006/EB05 5C006/FA04 5C006/FA12 5C006/FA18 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD04 5C080/DD21 5C080/DD22 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ05 2H193/ZD23 2H193/ZF12 2H193/ZF13 2H193/ZF17 2H193/ZF18 2H193/ZF22 2H193/ZF36 2H193/ZH07 2H193/ZH23 2H193/ZH52		
代理人(译)	工藤稔		
其他公开文献	JP5035973B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其控制驱动器，能够响应输入的图像数据显示适当的图像。ŽSOLUTION：该液晶显示装置的控制驱动器具有操作电路11，该操作电路11执行用于在液晶显示面板2上正确显示从外部输入的输入图像数据31的图像以产生操作数据的操作，LUT（查找表12），其中描述了表示液晶显示板2的VT（电压 - 透射率）特性的VT数据，以及产生输出电压的线性插值D / A转换器13，该输出电压被输入到液晶显示板2中。响应从LUT 12馈送的显示数据34和35

