

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-197359

(P2008-197359A)

(43) 公開日 平成20年8月28日(2008.8.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
G09G 3/20 (2006.01)	G09G 3/20 611H	5C094
H01L 29/786 (2006.01)	G09G 3/20 642A	5F110
審査請求 未請求 請求項の数 4 O L (全 8 頁) 最終頁に続く		

(21) 出願番号 特願2007-32230 (P2007-32230)
 (22) 出願日 平成19年2月13日 (2007.2.13)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100100712
 弁理士 岩▲崎▼ 幸邦
 (74) 代理人 100100929
 弁理士 川又 澄雄
 (74) 代理人 100095500
 弁理士 伊藤 正和
 (74) 代理人 100101247
 弁理士 高橋 俊一

最終頁に続く

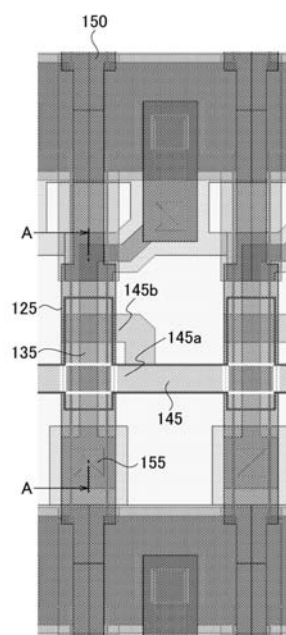
(54) 【発明の名称】 アレイ基板及び液晶表示装置

(57) 【要約】

【課題】 TFTへの光リークを防止するとともに、TFTの特性のズレを補正し、表示ムラを抑制する。

【解決手段】 TFT135のチャネルに対向して遮光層125を配置する。これにより、アレイ基板側からTFT135のチャネルに光が入射することを防ぐことができるので、TFT135の特性の劣化を防止することが可能となる。また、電圧制御回路4により、遮光層125に印加する電圧を制御する。これにより、TFT135の特性のプロセスバラツキを補正することができるので、表示ムラの発生を抑えることが可能となる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

スイッチング素子と、
前記スイッチング素子のチャネルに対向して絶縁層を挟んで配置された遮光層と、
前記遮光層に印加する電位を制御する制御手段と、
を有することを特徴とするアレイ基板。

【請求項 2】

電源オフ時には、前記遮光層に前記スイッチング素子のオン電位を印加することを特徴とする請求項 1 記載のアレイ基板。

【請求項 3】

マトリックス状に設けられた複数の画素電極と、
前記画素電極のそれぞれに接続されたスイッチング素子と、
前記スイッチング素子のチャネルに対向して絶縁層を挟んで配置された遮光層と、を備えたアレイ基板と、
前記遮光層に印加する電位を制御する制御手段と、
ブラックマトリックス層を備えた対向基板と、
前記アレイ基板と前記対向基板に挟持された液晶と、
を有することを特徴とする液晶表示装置。

【請求項 4】

電源オフ時には、前記遮光層に前記スイッチング素子のオン電位を印加することを特徴とする請求項 3 記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特に投影型液晶表示装置の技術に関する。

【背景技術】**【0002】**

従来、強い光を液晶表示装置に照射する液晶プロジェクタなどにおいては、TFT (Thin Film Transistor: 薄膜トランジスタ) への光リークを避けるために、TFT チャネルの反対側から光を照射する処置が取られている。例えば、トップゲートの TFT アレイ基板が用いられている場合には、ブラックマトリックスが形成されている対向基板側から光を照射し、TFT への光リークを防止している。

【0003】

しかしながら、車載用ヘッドアップディスプレイにおいては、映像を車のフロントガラスに投射するための強力なバックライト光が液晶表示装置に照射されるとともに、フロントガラス側からも太陽光が液晶表示装置に照射されるために、アレイ基板に形成された TFT は両面から光にさらされることとなり、光リークによるコントラスト比の低下などを引き起こす問題があった。

【0004】

そこで、TFT に対向する位置に遮光層を形成し、光リークを防止する技術が提案されている (特許文献 1 参照)。

【0005】

一方、液晶表示装置の表示部の外側に配置されたドライバ部は、表示に寄与していないことから、ベゼルや遮光テープなどで遮光することが可能である。ドライバ部の TFT に遮光層を形成することは、回路の動作マージンや歩留まりの低下などからあまり望ましくはない。そのため、表示部の TFT にのみ遮光層を形成することが歩留まりなどの観点からは有効である。

【特許文献 1】特開 2003 - 280038 号公報**【発明の開示】****【発明が解決しようとする課題】**

10

20

30

40

50

【 0 0 0 6 】

しかしながら、表示部のＴＦＴにのみ遮光層を形成した場合には、遮光層に給電する電位によってＴＦＴの特性が変化してしまい、ドライバ部のＴＦＴと表示部のＴＦＴの特性にズレが生じ、表示ムラなどを引き起こすという問題があった。

【 0 0 0 7 】

また、プロセスバラツキによる表示部のＴＦＴのオン電流不足やオフ時のリークは表示品位を著しく低下させるものである。

【 0 0 0 8 】

本発明は、上記に鑑みてなされたものであり、その課題とするところは、ＴＦＴへの光リークを防止するとともに、ＴＦＴの特性のズレを補正し、表示ムラの発生を抑制することにある。

10

【課題を解決するための手段】

【 0 0 0 9 】

第１の本発明に係るアレイ基板は、スイッチング素子と、スイッチング素子のチャネルに対向して絶縁層を挟んで配置された遮光層と、遮光層に印加する電位を制御する制御手段と、を有することを特徴とする。

【 0 0 1 0 】

本発明にあっては、スイッチング素子のチャネルに対向して遮光層を配置することにより、スイッチング素子のチャネルへの光の入射を防ぐことを可能とする。また、制御手段により、遮光層に印加する電位を制御することで、スイッチング素子の特性のバラツキを補正することができるので、表示ムラの発生を抑えることを可能とする。

20

【 0 0 1 1 】

上記アレイ基板において、電源オフ時には、遮光層にスイッチング素子のオン電位を印加することを特徴とする。

【 0 0 1 2 】

本発明にあっては、電源オフ時に、遮光層にスイッチング素子のオン電位を印加することにより、スイッチング素子をより速く反応させることを可能とする。

【 0 0 1 3 】

第２の本発明に係る液晶表示装置は、マトリックス状に設けられた複数の画素電極と、画素電極のそれぞれに接続されたスイッチング素子と、スイッチング素子のチャネルに対向して絶縁層を挟んで配置された遮光層と、を備えたアレイ基板と、遮光層に印加する電位を制御する制御手段と、ブラックマトリックス層を備えた対向基板と、アレイ基板と対向基板に挟持された液晶と、を有することを特徴とする。

30

【 0 0 1 4 】

上記液晶表示装置において、電源オフ時には、遮光層にスイッチング素子のオン電位を印加することを特徴とする。

【発明の効果】

【 0 0 1 5 】

本発明によれば、ＴＦＴへの光リークを防止するとともに、ＴＦＴの特性のズレを補正し、表示ムラの発生を抑制することが可能となる。

40

【発明を実施するための最良の形態】

【 0 0 1 6 】

以下、本発明の実施の形態について図面を用いて説明する。

【 0 0 1 7 】

図１は、本実施の形態における液晶表示装置の構成を示す平面図である。同図に示す液晶表示装置は、液晶パネル１と、電圧制御回路４とを備えている。

【 0 0 1 8 】

液晶パネル１は、アレイ基板と対向基板により液晶層を挟持した構成であり、アレイ基板上には、マトリックス状に配線された信号線と走査線との交点付近にＴＦＴ、画素電極などが形成されて画素部２を構成している。ＴＦＴの下層には、アレイ基板側から入射す

50

る光がＴＦＴチャンネルにリークしないように、遮光層が設けられている。一方、対向基板上には、対向電極が配置されており、画素電極と対向電極との間に電界を発生させることにより、液晶層を透過する光を制御する。また、対向基板には、画素の開口部以外に対応する部分にブラックマトリックス層を備え、遮光している。

【００１９】

電圧制御回路４は、ＴＦＴチャンネルの下層に配置された遮光層に印加するＤＣ電位を制御する回路である。各遮光層は制御線３により電圧制御回路４と接続されており、電圧制御回路４は、制御線３を介して各遮光層に電位を印加する。遮光層に印加する電位を制御することにより、ＴＦＴの特性のズレを補正することができる。なお、電圧制御回路４はアレイ基板上に形成してもよい。以下、遮光層の詳細について図を用いて説明する。

10

【００２０】

図２は、上記液晶表示装置の１画素の構成を示す平面図であり、図３は、図２のＡ－Ａ線に沿った位置における断面図である。

【００２１】

図２の平面図で示すように、信号線１５０および走査線１４５の交点にＴＦＴ１３５が配置され、ＴＦＴ１３５のチャンネルに対応する位置に遮光層１２５が形成されている。隣接する画素の遮光層１２５は、走査線１４５の下層に配線された制御線３によって接続されているので、開口率を低下させることなく、遮光層１２５に電位を印加することができる。なお、ＴＦＴ１３５のゲート電極１４５ａ、１４５ｂは、走査線１４５の一部と、走査線１４５から枝分かれした部分により構成されたダブルゲート構成となっている。

20

【００２２】

図３の断面図に示すように、アレイ基板１１０上には、導電性の遮光層１２５が形成され、その上層に絶縁膜１２０を介してＴＦＴ１３５が形成されている。また、ＴＦＴ１３５の上層には、絶縁膜１３０を介してゲート電極１４５ａ、１４５ｂが形成され、その上層には、絶縁膜１４０を介して信号線１５０が形成されている。信号線１５０とＴＦＴ１３５のドレイン領域とは、コンタクトホール１５５を介して接続されている。なお、ＴＦＴ１３５のソース領域は、信号線１５０と同じ階層に形成されたメタル層（図示せず）を介して画素電極１７０に接続されている。画素電極１７０の上には、液晶の配向を揃えるための配向膜１８０が形成されている。

【００２３】

30

一方、対向基板３１０には、ブラックマトリックス層３５０、対向電極３７０および配向膜３８０が形成されており、液晶層２００は、アレイ基板１１０と対向基板３１０とにより挟持されている。

【００２４】

図４は、遮光層に印加する電位によって変化するｎ型ＴＦＴにおけるＴＦＴ特性を示すグラフである。横軸は、ＴＦＴのゲート電極に印加する電圧を表し、縦軸は、ドレイン－ソース間に流れる電流の大きさを表している。

【００２５】

符号４１は、遮光層に電位を印加しないときの特性を示すグラフである。遮光層に正の電位を印加したときは、符号４２で示すグラフのようにＴＦＴの特性が補正され、閾値電圧 V_{th} が低くなり、より低いゲート電圧 V_{gs} でＴＦＴがオンするようになるので、オン電流不足による表示ムラを改善することが可能となる。

40

【００２６】

一方、遮光層に負の電位を印加したときは、符号４３で示すグラフのように、ＴＦＴの特性が補正され、閾値電圧 V_{th} が高くなるので、ＴＦＴオフ時のリークによる表示ムラを改善することができる。

【００２７】

このように、電圧制御回路４により遮光層１２５に印加するＤＣ電位を制御することで、プロセスバラツキによるＴＦＴの特性を補正することができ、表示ムラを改善することが可能となる。

50

【 0 0 2 8 】

図 5 は、遮光層 1 2 5 に接続されたオフ残像対策スイッチの構成を示す回路図である。同図に示すオフ残像対策スイッチは、遮光層 1 2 5 に遮光層制御電位を給電する遮光電位供給配線と T F T 1 3 5 をオンする画素 O N 電位を給電する電源電圧配線とをトランSMISSIONゲート 5 1 , 5 2 により接続したものであり、電源オン時には、S H U T は高電位であり、トランSMISSIONゲート 5 2 がオンして遮光層制御電位が遮光層 1 2 5 に供給され、電源オフ時には、S H U T が低電位となり、トランSMISSIONゲート 5 1 がオンして画素 O N 電位が遮光層 1 2 5 に供給される。T F T 1 3 5 は、ゲート電極 1 4 5 a , 1 4 5 b と遮光層 1 2 5 との両側から画素 O N 電位が供給され、画素電位が速やかに書き換えられるので、オフ残像が発生しにくくなる。

10

【 0 0 2 9 】

したがって、本実施の形態によれば、T F T 1 3 5 のチャネルに対向して遮光層 1 2 5 を配置することにより、アレイ基板側から T F T 1 3 5 のチャネルに光が入射することを防ぐことができるので、T F T 1 3 5 の特性の劣化を防止することが可能となる。また、電圧制御回路 4 により、遮光層 1 2 5 に印加する電位を制御することで、T F T 1 3 5 の特性のプロセスバラツキを補正することができるので、表示ムラの発生を抑えることが可能となる。

【 0 0 3 0 】

本実施の形態によれば、電源オフ時に、遮光層 1 2 5 に T F T 1 3 5 の画素 O N 電位を印加することにより、T F T 1 3 5 をより速く反応させることができるので、画素電位を速やかに書き換え、オフ残像の発生を抑制することが可能となる。

20

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 一実施の形態における液晶表示装置の構成を示す平面図である。

【 図 2 】 図 1 における 1 画素の詳細な構成を示す平面図である。

【 図 3 】 図 2 の A - A 線に沿った位置における断面図である。

【 図 4 】 遮光層に印加する電位によって変化する T F T 特性を示すグラフである。

【 図 5 】 遮光層に接続されたオフ残像対策スイッチの構成を示す回路図である。

【 符号の説明 】

【 0 0 3 2 】

30

1 ... 液晶パネル

2 ... 画素部

3 ... 制御線

4 ... 電圧制御回路

1 1 0 ... アレイ基板

1 2 0 , 1 3 0 , 1 4 0 ... 絶縁膜

1 2 5 ... 遮光層

1 3 5 ... T F T

1 4 5 ... 走査線

1 4 5 a , 1 4 5 b ... ゲート電極

40

1 5 0 ... 信号線

1 5 5 ... コンタクトホール

1 7 0 ... 画素電極

1 8 0 ... 配向膜

2 0 0 ... 液晶層

3 1 0 ... 対向基板

3 5 0 ... ブラックマトリックス層

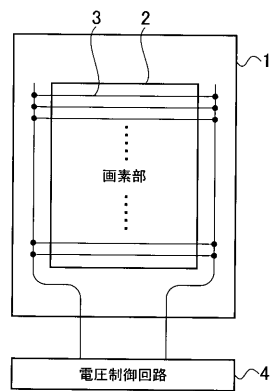
3 7 0 ... 対向電極

3 8 0 ... 配向膜

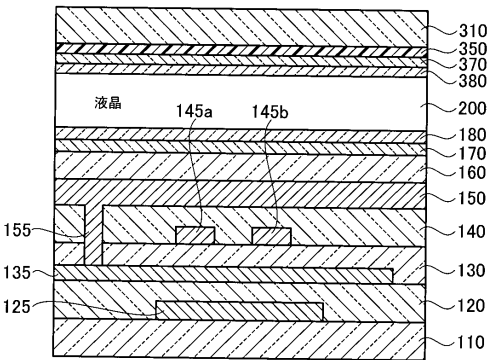
5 1 , 5 2 ... トランSMISSIONゲート

50

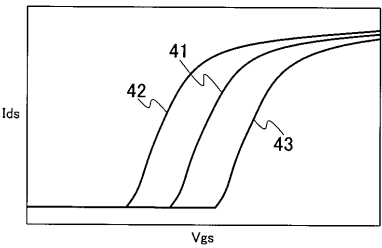
【 図 1 】



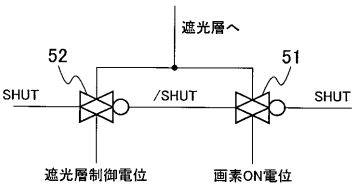
【 図 3 】



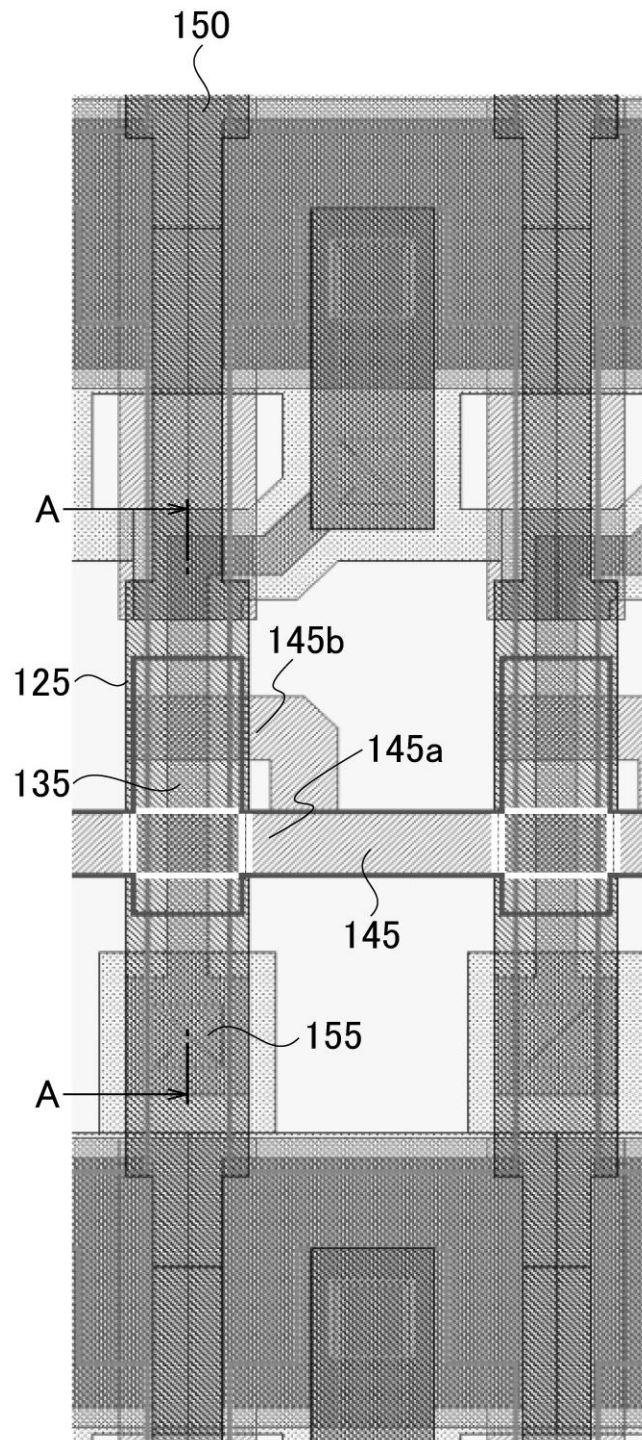
【 図 4 】



【 図 5 】



【図 2】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 7 0 D
H 0 1 L	29/78	6 1 2 C
H 0 1 L	29/78	6 1 9 B

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 木谷 正克

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 宮武 正樹

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H092 JA26 JB54 JB58 MA05 MA07 MA12 MA35 MA37 NA22 NA24

NA29 PA09

5C006 AC11 AC25 AF67 BB16 BC06 FA22 FA36

5C080 AA10 BB05 DD05 FF11 JJ03 JJ05 JJ06

5C094 AA01 AA42 BA03 BA43 CA19 GA10 HA10

5F110 AA06 AA21 BB02 CC01 EE28 EE30 NN44

专利名称(译)	阵列基板和液晶显示装置		
公开(公告)号	JP2008197359A	公开(公告)日	2008-08-28
申请号	JP2007032230	申请日	2007-02-13
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	木谷正克 宫武正樹		
发明人	木谷 正克 宫武 正樹		
IPC分类号	G09G3/36 G02F1/1368 G09F9/30 G09G3/20 H01L29/786		
FI分类号	G09G3/36 G02F1/1368 G09F9/30.338 G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.670.D H01L29/78.612.C H01L29/78.619.B		
F-TERM分类号	2H092/JA26 2H092/JB54 2H092/JB58 2H092/MA05 2H092/MA07 2H092/MA12 2H092/MA35 2H092/MA37 2H092/NA22 2H092/NA24 2H092/NA29 2H092/PA09 5C006/AC11 5C006/AC25 5C006/AF67 5C006/BB16 5C006/BC06 5C006/FA22 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C094/AA01 5C094/AA42 5C094/BA03 5C094/BA43 5C094/CA19 5C094/GA10 5C094/HA10 5F110/AA06 5F110/AA21 5F110/BB02 5F110/CC01 5F110/EE28 5F110/EE30 5F110/NN44 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB46 2H192/CC05 2H192/EA04 2H192/EA15 2H192/EA22 2H192/GD61		
代理人(译)	三好秀 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止光泄漏到TFT并补偿TFT特性的不对准以抑制显示不均匀。遮光层与TFT的沟道相对设置。结果，可以防止光从阵列基板侧进入TFT 135的沟道，从而可以防止TFT 135的特性劣化。另外，电压控制电路4控制施加到遮光层125的电压。结果，可以校正TFT 135的特性的工艺变化，从而可以抑制显示不均匀的发生。 .The

