

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-116556  
(P2008-116556A)

(43) 公開日 平成20年5月22日(2008.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 623A	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 621F	5C080
	G09G 3/20 621B	
	G09G 3/20 621G	

審査請求 未請求 請求項の数 16 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2006-297873 (P2006-297873)  
(22) 出願日 平成18年11月1日(2006.11.1)

(71) 出願人 302062931  
NECエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 100146178  
弁理士 浜田 満広  
(72) 発明者 松田 覚  
滋賀県大津市晴嵐2丁目9番1号 関西日  
本電気株式会社内  
(72) 発明者 森上 隆  
滋賀県大津市晴嵐2丁目9番1号 関西日  
本電気株式会社内  
Fターム(参考) 2H093 NA16 NA31 NA32 NA33 NA53  
NC03 NC10 NC12 NC18 NC21  
NC22 NC26 NC34 NC35 ND35  
ND39

最終頁に続く

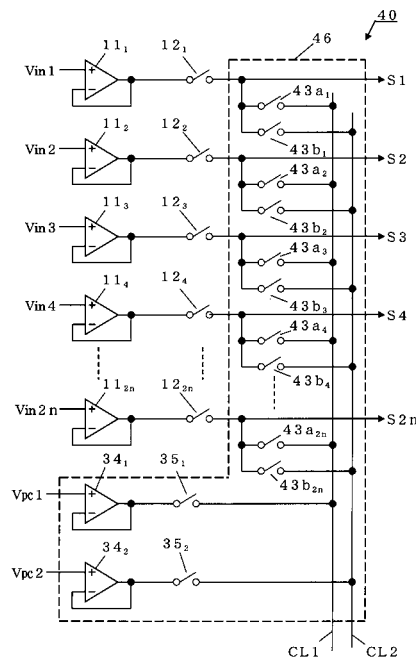
(54) 【発明の名称】 液晶表示装置の駆動方法およびそのデータ側駆動回路

(57) 【要約】

【課題】データ線へのデータ信号の書き込み遅延を改善したうえで、さらなる消費電力低減を図る。

【解決手段】ドット反転駆動方式が採用される液晶表示装置のデータドライバの出力回路40は、データ信号をデータ線S1~S2nに出力する増幅器11<sub>1</sub>~11<sub>2n</sub>と、データ信号の書き込み前に増幅器11<sub>1</sub>~11<sub>2n</sub>の出力をデータ線S1~S2nから切り離すスイッチ12<sub>1</sub>~12<sub>2n</sub>と、増幅器11<sub>1</sub>~11<sub>2n</sub>の出力をデータ線S1~S2nから切り離した状態で、データ線間を所定時間短絡し、その後、データ線S1~S2nに書き込み時の極性と同一極性のプリチャージ電圧を供給するショート・プリチャージ回路46とを有する。

【選択図】図5



## 【特許請求の範囲】

## 【請求項 1】

表示パネルの隣り合うデータ線に所定の基準電圧を基準として極性が逆になるようにデータ信号が書き込まれるドット反転駆動法を採用する液晶表示装置の駆動方法において、前記データ信号の書き込み前に、前記データ線を前記データ信号から切り離した状態で、前記データ線間を所定時間短絡し、その後、前記データ線に書き込み時の極性と同一極性のプリチャージ電圧を供給するようにしたことを特徴とする液晶表示装置の駆動方法。

## 【請求項 2】

前記データ線は、逆極性間で前記所定時間短絡されることを特徴とする請求項 1 記載の液晶表示装置の駆動方法。

## 【請求項 3】

前記データ線は、同一極性ごとに共通線を介して前記プリチャージ電圧が供給されることを特徴とする請求項 2 記載の液晶表示装置の駆動方法。

## 【請求項 4】

前記プリチャージ電圧は、各極性ごとに階調電圧の中間レベル付近の電圧が供給されることを特徴とする請求項 3 記載の液晶表示装置の駆動方法。

## 【請求項 5】

前記共通線は、2本の線からなることを特徴とする請求項 3 記載の液晶表示装置の駆動方法。

## 【請求項 6】

前記 2本の共通線の何れか一方が前記データ線間を前記所定時間短絡する線として用いられることを特徴とする請求項 5 記載の液晶表示装置の駆動方法。

## 【請求項 7】

前記プリチャージ電圧がボルテージフォロア接続の増幅器を介して前記共通線に供給されることを特徴とする請求項 3 記載の液晶表示装置の駆動方法。

## 【請求項 8】

前記所定時間は、第 1 所定時間と第 1 所定時間経過後の第 2 所定時間とからなり、前記データ線は、第 1 所定時間に同一極性ごとに短絡されるとともにコンデンサにより電荷回収され、第 2 所定時間に逆極性間で短絡され、

前記コンデンサに回収された電荷が前記プリチャージ電圧として用いられることを特徴とする請求項 1 記載の液晶表示装置の駆動方法。

## 【請求項 9】

前記データ線は、同一極性ごとに共通線を介して前記コンデンサに回収された電荷が供給されることを特徴とする請求項 8 記載の液晶表示装置の駆動方法。

## 【請求項 10】

前記共通線は、2本の線からなることを特徴とする請求項 9 記載の液晶表示装置の駆動方法。

## 【請求項 11】

前記 2本の共通線の何れか一方が前記データ線を前記第 2 所定時間短絡する線として用いられることを特徴とする請求項 10 記載の液晶表示装置の駆動方法。

## 【請求項 12】

表示パネルの隣り合うデータ線に所定の基準電圧を基準として極性が逆になるようにデータ信号を書き込むドット反転駆動法を採用する液晶表示装置のデータ側駆動回路において、

前記データ信号を前記データ線に出力する増幅器と、

前記データ信号の書き込み前に前記増幅器の出力を前記データ線から切り離す第 1 のスイッチと、

前記増幅器の出力を前記データ線から切り離した状態で、前記データ線間を所定時間短絡し、その後、前記データ線に書き込み時の極性と同一極性のプリチャージ電圧を供給するショート・プリチャージ回路とを有することを特徴とするデータ側駆動回路。

10

20

30

40

50

## 【請求項 1 3】

前記ショート・プリチャージ回路は、  
前記基準電圧を基準として極性が逆になるようにプリチャージ電圧が供給される 2 本の  
共通線と、

前記共通線のうち一方に前記データ線を接続可能とする第 2 のスイッチと、  
前記共通線のうち他方に前記データ線を接続可能とする第 3 のスイッチと、  
前記共通線のうち一方に前記プリチャージ電圧の一極性側を接続可能とする第 4 のスイ  
ッチと、  
前記共通線のうち他方に前記プリチャージ電圧の他極性側を接続可能とする第 5 のスイ  
ッチとを有することを特徴とする請求項 1 2 記載のデータ側駆動回路。

10

## 【請求項 1 4】

前記第 2 および第 3 のスイッチの何れか一方を前記所定時間オン制御し、その後、前記  
第 4 および第 5 のスイッチをオン制御するとともに、前記データ線に書き込み時の極性と  
同一極性のプリチャージ電圧を供給するように前記第 2 および第 3 のスイッチをオン制御  
するようにしたことを特徴とする請求項 1 3 記載のデータ側駆動回路。

## 【請求項 1 5】

前記プリチャージ電圧がボルテージフォロア接続の増幅器を介して前記共通線に供給さ  
れることを特徴とする請求項 1 4 記載のデータ側駆動回路。

## 【請求項 1 6】

前記所定時間は、第 1 所定時間と第 1 所定時間経過後の第 2 所定時間とからなり、  
前記共通線に前記第 4 および第 5 のスイッチを介してコンデンサが接続され、  
前記第 1 所定時間に、前記第 4 および第 5 のスイッチをオン制御するとともに、前記デ  
ータ線からの電荷を同一極性ごとに前記コンデンサに回収するように前記第 2 および第 3  
のスイッチをオン制御し、

20

前記第 2 所定時間に、前記第 4 および第 5 のスイッチをオフ制御するとともに、前記第  
2 および第 3 のスイッチの何れか一方をオン制御し、

その後、前記第 4 および第 5 のスイッチをオン制御するとともに、前記データ線に書き  
込み時の極性と同一極性の前記コンデンサに回収された電荷を供給するように前記第 2 お  
よび第 3 のスイッチをオン制御するようにしたことを特徴とする請求項 1 3 記載のデータ  
側駆動回路。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶表示装置の駆動方法およびそのデータ側駆動回路に関し、特にドット反  
転駆動法を採用する液晶表示装置の駆動方法およびそのデータ側駆動回路に関する。

## 【背景技術】

## 【0002】

ドットマトリクス型表示装置として、液晶表示装置が、薄型、軽量、低電力という特  
長から、パソコンなど様々な装置に用いられている。特に画質を高精細に制御するのに有  
利であるアクティブマトリクス方式のカラー液晶表示装置が主流を占めている。

40

## 【0003】

カラー液晶表示装置は、走査線とデータ線がマトリクスに配線された薄膜トランジスタ  
(Thin Film Transistor; TFT) 型液晶パネルで構成される表示パネルと、走査線を介して T F T のゲートを駆動する走査側駆動回路と、データ線を介して T F T のソースを駆動するデータ側駆動回路とを具備している。表示パネルは、1画素が R (赤)、G (緑)、B (青) の 3 ドットからなり、例えば、R、G、B のそれぞれのドットが 256 階調表示されることにより 1画素が 16777216 色表示される。そして、解像度が、例えば、XGA (1024 × 768 画素) の場合、表示パネルの水平方向に 1024 × 3 = 3072 ドット、垂直方向に 768 ドットが配置される。

## 【0004】

50

この種のカラー液晶表示装置において、表示パネルをコモン一定駆動法で交流駆動（又は反転駆動）する方法として、ドット反転駆動法が知られている。コモン一定駆動法とは、画素のコモン電極（対向電極）の電位を一定に保ち、データ側駆動回路からのデータ信号のみの極性を反転する駆動法である。ドット反転駆動法とは、画素を構成する隣接する2つのドットに反対の極性のデータ信号を書き込む駆動方法である。データ信号の極性とは、所定の基準電位（以下、「コモンレベル」という。）を基準として正極性、負極性で定義される。コモンレベルは、通常、データ側駆動回路の高圧駆動電源として用いられる電源電圧  $V_{DD2}$  の  $1/2$  の電圧付近に設定される。尚、コモン電極の電位は、表示パネルのフィードスルー補正のために、コモンレベルとは異なる電位に設定される。

【0005】

ドット反転駆動に用いられるデータ側駆動回路は、半導体集積回路装置からなるドライバ回路（以下、「データドライバ」という）が、多くの場合、複数個、例えば、表示パネルの解像度が XGA の場合、1個で 128 画素の表示を分担するとして 8 個で構成される。各データドライバから表示パネルに書き込まれる正極性、負極性のデータ信号が、図 11 に示すように、階調数に応じて変化する電圧で出力される。例えば、正極性のデータ信号により、黒レベルの表示をする場合、コモンレベルから遠いレベルの電位  $V_1$  が供給され、白レベルの表示をする場合、コモンレベルに近いレベルの電位  $V_2$  が供給される。また、負極性のデータ信号により、黒レベルの表示をする場合、コモンレベルから遠いレベルの電位  $V_4$  が供給され、白レベルの表示をする場合、コモンレベルに近いレベルの電位  $V_3$  が供給される。以下に述べられるように、本発明はドット反転駆動法を採用する液晶表示装置に関連している。

【0006】

この種の液晶表示装置において、可及的要求の1つとして、消費電力低減および表示書換の高速化の要求がある。

【0007】

この要求を解決する技術の例が特許文献 1 に示されている。図 12 は、特許文献 1 を参考にして従来第 1 例のデータドライバの出力回路 10 を示す回路図である。図 12 に示すように、出力回路 10 は、表示パネルのデータ線  $S_1 \sim S_{2n}$  ( $n$ : 自然数) に駆動電圧を出力するボルテージフォロア接続の増幅器  $11_1 \sim 11_{2n}$  と、増幅器  $11_1 \sim 11_{2n}$  の出力をデータ線  $S_1 \sim S_{2n}$  から切り離し隣接するデータ線間を短絡させるスイッチ  $12_1 \sim 12_{2n}$  及び  $13_1 \sim 13_{2n-1}$  とを有している。これにより、隣り合うデータ線がコモンレベルを基準として極性が逆になるようにデータ線を駆動し、データ信号の書き込み前に、増幅器  $11_1 \sim 11_{2n}$  の出力をデータ線から切り離し、隣接するデータ線間を短絡するようにしている。

【0008】

出力回路 10 において、データ信号の書き込み前に、増幅器  $11_1 \sim 11_{2n}$  の出力をデータ線から切り離し、データ線間を短絡させた場合、コモンレベルより高いレベルの電荷が蓄積されているデータ線の数とコモンレベルより低いレベルの電荷が蓄積されているデータ線の数は半分ずつであるため電荷の移動が起こり（そのときのソースレベルの状態にもよる）電荷が相殺され当初のデータ線のレベルよりもコモンレベルに近いレベルになり安定する。

【0009】

しかし、データ線の蓄積電荷のレベルが正極性と負極性とで大きく異なると、電荷の相殺が不十分となり、正極性と負極性とで蓄積電荷のレベル差が小さい場合より、データ線の電位はコモンレベルから遠いレベルで安定する。その結果、例えば、データ線の電位がコモンレベルから遠い正極性寄りのレベル、例えば、図 11 に示す電位  $V_1$  で安定した場合、次にコモンレベルから遠い負極性寄りのレベル、例えば、図 11 に示す電位  $V_4$  でデータ信号が書き込まれるデータ線において、増幅器により大きな電位差  $V = V_1 - V_4$  で電位を立ち下げる必要があり、立ち下がり時間が長くなる。そのため、データ線へのデータ信号の書き込み遅延増を招く虞がある。

10

20

30

40

50

## 【0010】

図13は、特許文献1を参考にして従来第2例のデータドライバの出力回路20を示す回路図である。図12と同一の構成要素には同一の符号を付してその説明は省略する。出力回路20が出力回路10と異なる点は、スイッチ $13_1 \sim 13_{2n-1}$ が、出力回路10のようにすべてのデータ線間を短絡するのではなく、1つおきに設置されている点である。

## 【0011】

出力回路20において、データ信号の書き込み前に、増幅器 $11_1 \sim 11_{2n}$ の出力をデータ線から切り離し、データ線間を短絡させた場合、出力回路10と同様に、当初のデータ線のレベルよりもコモンレベルに近いレベルになり安定する。しかし、出力回路20

10

## 【0012】

出力回路10, 20の上述の問題を解決する技術が特許文献2に開示されている。図14は、特許文献2を参考にして従来第3例のデータドライバの出力回路30を示す回路図である。図12と同一の構成要素には同一の符号を付してその説明は省略する。出力回路30が出力回路10と異なる点は、スイッチ $13_1 \sim 13_{2n-1}$ の代わりに、共通線 $CL1, CL2$ と、共通線 $CL1, CL2$ にデータ線 $S1 \sim S_{2n}$ を接続/非接続するスイッチ $33_1 \sim 33_{2n}$ と、所定のプリチャージ電圧 $V_{pc1}, V_{pc2}$ を出力するボルテージフォロア接続の増幅器 $34_1, 34_2$ と、共通線 $CL1, CL2$ に増幅器 $34_1, 34_2$ からの出力を接続/非接続するスイッチ $35_1, 35_2$ とを有している点である。

20

## 【0013】

共通線 $CL1, CL2$ は、二本のラインである。データ線 $S1 \sim S_{2n}$ のうち、奇数番目のデータ線 $S1, S3, \dots, S_{2n-1}$ は、共通線 $CL1, CL2$ のうちの共通線 $CL1$ に接続され、偶数番目のデータ線 $S2, S4, \dots, S_{2n}$ は、共通線 $CL1, CL2$ のうちの共通線 $CL2$ に接続される。

## 【0014】

上記構成により、データ線の駆動時には、隣り合うデータ線がコモンレベルを基準として極性が逆になるようにデータ線を駆動する。また、データ信号の書き込み前に、増幅器 $11_1 \sim 11_{2n}$ の出力をデータ線から切り離し、奇数番目のデータ線 $S1, S3, \dots, S_{2n-1}$ を共通線 $CL1$ に接続するとともに、偶数番目のデータ線 $S2, S4, \dots, S_{2n}$ を共通線 $CL2$ に接続する。そして、このとき、増幅器 $34_1, 34_2$ からスイッチ $35_1, 35_2$ および共通線 $CL1, CL2$ を介して、奇数番目のデータ線 $S1, S3, \dots, S_{2n-1}$ にプリチャージ電圧 $V_{pc1}$ を印加するとともに、偶数番目のデータ線 $S2, S4, \dots, S_{2n}$ に $V_{pc2}$ を印加するようにしている。

30

## 【0015】

出力回路30において、データ信号の書き込み前に、増幅器 $11_1 \sim 11_{2n}$ の出力をデータ線から切り離し、共通線 $CL1, CL2$ を介して、プリチャージ電圧 $V_{pc1}, V_{pc2}$ を印加させるようにした場合、コモンレベルではなく、つぎにデータ線に書き込み時の極性と同一極性の所定電位、例えば各極性での中間電位でプリチャージするため、増幅器

40

【特許文献1】特開平11-30975号公報(図4, 図5参照)

【特許文献2】特開2003-228353号公報(図4参照)

【発明の開示】

【発明が解決しようとする課題】

## 【0016】

ところで、特許文献2に記載の技術は、特許文献1に記載の技術よりもデータ線へのデータ信号の書き込み遅延をさらに改善することができる。しかし、逆極性の電位からプリ

50

チャージするため、プリチャージ時のさらなる消費電力低減の必要がある。

【課題を解決するための手段】

【0017】

本発明の液晶表示装置の駆動方法は、表示パネルの隣り合うデータ線に所定の基準電圧を基準として極性が逆になるようにデータ信号が書き込まれるドット反転駆動法を採用する液晶表示装置の駆動方法において、前記データ信号の書き込み前に、前記データ線を前記データ信号から切り離れた状態で、前記データ線間を所定時間短絡し、その後、前記データ線に書き込み時の極性と同一極性のプリチャージ電圧を供給するようにしたことを特徴とする。

【0018】

また、本発明の液晶表示装置の駆動回路は、表示パネルの隣り合うデータ線に所定の基準電圧を基準として極性が逆になるようにデータ信号を書き込むドット反転駆動法を採用する液晶表示装置のデータ側駆動回路において、前記データ信号を前記データ線に出力する増幅器と、前記データ信号の書き込み前に前記増幅器の出力を前記データ線から切り離す第1のスイッチと、前記増幅器の出力を前記データ線から切り離れた状態で、前記データ線間を所定時間短絡し、その後、前記データ線に書き込み時の極性と同一極性のプリチャージ電圧を供給する電荷中和・プリチャージ手段とを有することを特徴とする。

【発明の効果】

【0019】

本発明によれば、データ信号の書き込み前に、隣り合うデータ線間でデータ線の電荷レベルをコモンレベル付近まで中和してからプリチャージを行うようにしている。これにより、データ線へのデータ信号の書き込み遅延を改善したうえで、さらなる負荷の同一駆動能力での消費電力低減または同一消費電力での負荷の駆動能力向上ができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。尚、ドット反転駆動として、奇数データ線と偶数データ線とで極性が逆になるようにデータ信号が書き込まれる1ドット反転駆動を例にして以下説明するが、本発明はnドット反転駆動(nは2以上)にも適用可能である。図1は、本発明にかかる液晶表示装置の構成を示したブロック図である。図1に示すように、液晶表示装置100は、液晶表示パネル101、データ側駆動回路102、走査側駆動回路103、電源回路104、制御回路105で構成される。

【0021】

液晶表示パネル101は、図面の横方向に配列されて縦方向に延びるデータ線106と、図面の縦方向に配列されて横方向に延びる走査線107とを含む。各画素を構成するR、G、Bの各ドットは、TFT108、画素容量109、液晶素子110とにより構成される。TFT108のゲート端子は走査線107に、ソース(ドレイン)端子はデータ線106に、それぞれ接続されている。また、TFT108のドレイン(ソース)端子には画素容量109及び液晶素子110がそれぞれ接続されている。画素容量109及び液晶素子110のTFT108と接続しない側の端子111は、図示せぬコモン電極に接続されている。

【0022】

データ側駆動回路102はデジタル画像信号(以下、データという。)に基づいたアナログ信号電圧を出力してデータ線106を駆動する。走査側駆動回路103はTFT108の選択/非選択電圧を出力して走査線107を駆動する。制御回路105は走査側駆動回路103およびデータ側駆動回路102による駆動のタイミングをコントロールする。電源回路104は、データ側駆動回路102が出力する信号電圧や、走査側駆動回路103が出力する選択/非選択電圧を生成して各駆動回路に供給する。

【0023】

液晶表示装置100は、1ドット反転駆動により駆動され、データ側駆動回路102か

10

20

30

40

50

らのアナログ信号電圧によりデータ線 106 を駆動する前に、データ線 106 をアナログ信号電圧から切り離れた状態で、データ線 106 間を所定時間短絡し、その後、データ線 106 に駆動時の極性と同一極性のプリチャージ電圧を供給するようにしている。この駆動方法は、以下に述べられるように、データ側駆動回路 102 を構成するデータドライバにより実現される。

#### 【0024】

図 2 は、本発明の第 1 実施形態のデータドライバ 120 の構成を示すブロック図であり、図 3 は、図 2 に示すデータドライバ 120 に入力される各信号のタイミングチャートである。データドライバ 120 は、1 個で 2 m 個の画素の表示を分担するために、2 n 本 = 2 m × 3 ドットのデータ線 S 1 ~ S 2 n にアナログ信号電圧を出力するものである。尚、説明を簡明にするために、データドライバ 120 へのデータは、データ線 S 1 ~ S 2 n の 1 本分、すなわち、1 画素の 1 ドット分に対応するデータのビット幅でシリアルに取り込まれるとして説明する。データドライバ 120 は、シフトレジスタ 1、データレジスタ 2、データラッチ回路 3、レベルシフタ 4、階調電圧生成回路 5、D/A コンバータ 6、出力回路 7 およびスイッチ制御回路 8 を有する。データドライバ 120 のシフトレジスタ 1 の出力は次段のデータドライバにカスケード出力され、複数個のデータドライバ 120 がカスケード接続されることでデータ側駆動回路 102 を構成する。

10

#### 【0025】

シフトレジスタ 1 は 2 n 段のレジスタからなり、スタートパルス及びクロックが入力され、スタートパルスをクロックのタイミングで順次シフトして図 3 に示すシフトパルス (S P 1) ~ シフトパルス (S P 2 n) とする。

20

#### 【0026】

データレジスタ 2 は、2 n 段のレジスタからなり、データが各レジスタに平行に入力され、シフトレジスタ 1 により供給されるシフトパルス (S P 1) ~ シフトパルス (S P 2 n) の例えば立ち下がりタイミングで各レジスタが順次データを保持する。

#### 【0027】

データラッチ回路 3 は、データレジスタ 2 の各レジスタ全てにデータの入力が終了するとデータラッチ信号が入力され、データレジスタ 2 の各レジスタに保持されている全データをラッチする。データラッチ回路 3 にてラッチされたデータは、レベルシフタ 4 により適宜レベルがシフトされる。

30

#### 【0028】

階調電圧生成回路 5 は、階調基準電圧の供給により、例えば、256 階調表示の場合、256 階調の正極性階調電圧および負極性階調電圧を生成する。各正極性階調電圧および負極性階調電圧は、図 4 に示すように、階調に応じた曲線の出力特性を有する。

#### 【0029】

D/A コンバータ 6 は、レベルシフト後のデータをデコードして階調電圧生成回路 5 からの正極性階調電圧および負極性階調電圧のうちデータに応じた所望の正極性階調電圧および負極性階調電圧を選択出力する。

#### 【0030】

出力回路 7 は、D/A コンバータ 6 の出力を増幅しデータ線 S 1 ~ S 2 n に極性反転信号に応じた極性のアナログ信号電圧を奇数データ線と偶数データ線とで極性が逆になるように出力するが、その出力前に、データ線 S 1 ~ S 2 n をアナログ信号電圧から切り離れた状態で、データ線間を所定時間短絡し、その後、データ線 S 1 ~ S 2 n に駆動時の極性と同一極性のプリチャージ電圧を供給するようにしている。プリチャージ電圧は、最も選択される階調レベルに近い電圧に設定するのが好ましい。このため、例えば、階調電圧生成回路 5 から供給され、図 4 に示すように、正極性のプリチャージ電圧 V<sub>pc1</sub> が、電位 V<sub>1</sub> と V<sub>2</sub> との中間電位 (V<sub>1</sub> + V<sub>2</sub>) / 2 に近い階調電圧の電位 V<sub>5</sub> に設定され、負極性のプリチャージ電圧 V<sub>pc2</sub> が、電位 V<sub>3</sub> と V<sub>4</sub> との中間電位 (V<sub>3</sub> + V<sub>4</sub>) / 2 に近い階調電圧の電位 V<sub>6</sub> に設定される。また、プリチャージ電圧 V<sub>pc1</sub> , V<sub>pc2</sub> として、階調電圧生成回路 5 に入力される階調基準電圧のうち、中間電位 V<sub>5</sub> , V<sub>6</sub> に近い電圧を用いて

40

50

もよい。また、別にパッドを設けて外部から供給してもよい。

【0031】

スイッチ制御回路8は、データラッチ回路4に入力されるデータラッチ信号及び極性反転信号が入力され、出力回路7の上述の動作を行わせるための制御信号を生成する。

【0032】

次に、出力回路7の具体的な実施例について、図面を参照しながら詳細に説明する。図5は、出力回路7として用いられる一例の出力回路40を示す回路図である。図14と同一の構成要素には同一の符号を付してその説明は省略する。出力回路40は、図5に示すように、増幅器 $11_1 \sim 11_{2n}$ と、スイッチ $12_1 \sim 12_{2n}$ と、データ線 $S1 \sim S2n$ を所定期間短絡し、その後、データ線 $S1 \sim S2n$ にプリチャージ電圧 $V_{pc1}$ 、 $V_{pc2}$ を供給するショート・プリチャージ回路46とを有している。

10

【0033】

ショート・プリチャージ回路46は、共通線 $CL1$ 、 $CL2$ と、スイッチ $43a_1 \sim 43a_{2n}$ 、 $43b_1 \sim 43b_{2n}$ 、 $35_1$ 、 $35_2$ と、増幅器 $34_1$ 、 $34_2$ とを有している。スイッチ $43a_1 \sim 43a_{2n}$ は、共通線 $CL1$ にデータ線 $S1 \sim S2n$ を接続/非接続する。スイッチ $43b_1 \sim 43b_{2n}$ は、共通線 $CL2$ にデータ線 $S1 \sim S2n$ を接続/非接続する。スイッチ $43a_1 \sim 43a_{2n}$ 、 $43b_1 \sim 43b_{2n}$ 、 $35_1$ 、 $35_2$ は、スイッチ制御回路8からの制御信号(図示せず)により制御される。増幅器 $34_1$ へのプリチャージ電圧 $V_{pc1}$ 、および増幅器 $34_2$ へのプリチャージ電圧 $V_{pc2}$ は、階調電圧生成回路5から供給される。

20

【0034】

増幅器 $34_1$ 、 $34_2$ は、駆動能力の大きい増幅器であればよく、オフセットや立ち上がり波形の揺れに対して高出力精度を要求されない。このとき、増幅器 $11_1 \sim 11_{2n}$ は、オフセットや立ち上がり波形の揺れに対して高出力精度を要求されるが駆動能力の低い増幅器を用いることができる。そのため、出力回路40は増幅器の特性面でそれぞれ特化した回路を用いることができる。

【0035】

出力回路40の動作について図6を参照して説明する。

時刻 $t1$ の前に、奇数データ線 $S1$ 、 $S3$ 、 $\dots$ 、 $S2n-1$ は、例えば、図4に示す電位 $V4$ の負極性のアナログ信号電圧で駆動され、偶数データ線 $S2$ 、 $S4$ 、 $\dots$ 、 $S2n$ は、例えば、図4に示す電位 $V1$ の正極性のアナログ信号電圧で駆動されていたとする。また、このとき、スイッチ $12_1 \sim 12_{2n}$ 、 $35_1$ 、 $35_2$ はオン状態であり、スイッチ $43a_1 \sim 43a_{2n}$ 、 $43b_1 \sim 43b_{2n}$ はオフ状態である。

30

【0036】

極性反転信号が"H(ハイ)"レベルでデータラッチ信号が"H"レベルになる時刻 $t1$ において、スイッチ $12_1 \sim 12_{2n}$ がオフして増幅器 $11_1 \sim 11_{2n}$ の出力がデータ線 $S1 \sim S2n$ から切り離される。

【0037】

データラッチ信号が"L"レベルになる時刻 $t2$ において、スイッチ $35_1$ 、 $35_2$ がオフして増幅器 $34_1$ 、 $34_2$ の出力が共通線 $CL1$ 、 $CL2$ から切り離され、スイッチ $43a_1 \sim 43a_{2n}$ がオンして共通線 $CL1$ にデータ線 $S1 \sim S2n$ が接続される。時刻 $t2$ から所定期間 $T1$ 、例えば、 $0.5 \mu s$ が経過する時刻 $t3$ までの期間、この状態が維持される。これにより、各データ線 $S1 \sim S2n$ は、データ線間で短絡し、コモンレベルより高いレベルの電荷が蓄積されている偶数データ線 $S2$ 、 $S4$ 、 $\dots$ 、 $S2n$ の数とコモンレベルより低いレベルの電荷が蓄積されている奇数データ線 $S1$ 、 $S3$ 、 $\dots$ 、 $S2n-1$ の数は半分ずつであるため電荷の移動が起こり電荷が相殺され、時刻 $t2$ の直前のデータ線のレベルよりもコモンレベルに近いレベルになる。

40

【0038】

時刻 $t3$ において、スイッチ $43a_2$ 、 $43a_4$ 、 $\dots$ 、 $43a_{2n}$ がオフして偶数データ線 $S2$ 、 $S4$ 、 $\dots$ 、 $S2n$ が共通線 $CL1$ から切り離され、スイッチ $43b_2$

50

、 $43b_4, \dots, 43b_{2n}$  がオンして共通線  $CL_2$  に偶数データ線  $S_2, S_4, \dots, S_{2n}$  が接続される。また、このとき、スイッチ  $35_1, 35_2$  がオンして増幅器  $34_1, 34_2$  の出力が共通線  $CL_1, CL_2$  に接続される。時刻  $t_3$  から所定期間  $T_2$ 、例えば、 $0.5 \mu s$  が経過する時刻  $t_4$  までの期間、この状態が維持される。これにより、奇数データ線  $S_1, S_3, \dots, S_{2n-1}$  は、共通線  $CL_1$  を介してプリチャージ電圧  $V_{pc1}$  が印加され、図 4 に示す電位  $V_1$  と  $V_2$  との中間電位に近い正極性の電位レベル  $V_5$  になる。また、偶数のデータ線  $S_2, S_4, \dots, S_{2n}$  は、共通線  $CL_2$  を介してプリチャージ電圧  $V_{pc2}$  が印加され、図 4 に示す電位  $V_3$  と  $V_4$  との中間電位に近い極性の電位レベル  $V_6$  になる。

【0039】

時刻  $t_4$  において、スイッチ  $43a_1, 43a_3, \dots, 43a_{2n-1}, 43b_2, 43b_4, \dots, 43b_{2n}$  がオフしてデータ線  $S_1 \sim S_{2n}$  が共通線  $CL_1, CL_2$  から切り離され、スイッチ  $12_1 \sim 12_{2n}$  がオンして増幅器  $11_1 \sim 11_{2n}$  の出力がデータ線  $S_1 \sim S_{2n}$  に接続される。時刻  $t_4$  から極性反転信号が "L (ロウ)" レベルでデータラッチ信号が "H" レベルになる時刻  $t_5$  までの期間、この状態が維持される。これにより、奇数データ線  $S_1, S_3, \dots, S_{2n-1}$  がデータに応じた、例えば、図 4 に示す電位  $V_1$  の正極性階調電圧で駆動され、偶数データ線  $S_2, S_4, \dots, S_{2n}$  がデータに応じた、例えば、図 4 に示す電位  $V_4$  の負極性階調電圧で駆動される。

【0040】

時刻  $t_5$  において、時刻  $t_1$  と同様に、スイッチ  $12_1 \sim 12_{2n}$  がオフして増幅器  $11_1 \sim 11_{2n}$  の出力がデータ線  $S_1 \sim S_{2n}$  から切り離される。

【0041】

データラッチ信号が "L" レベルになる時刻  $t_6$  において、スイッチ  $35_1, 35_2$  がオフして増幅器  $34_1, 34_2$  の出力が共通線  $CL_1, CL_2$  から切り離され、スイッチ  $43b_1 \sim 43b_{2n}$  がオンして共通線  $CL_2$  にデータ線  $S_1 \sim S_{2n}$  が接続される。時刻  $t_6$  から所定期間  $T_1$  が経過する時刻  $t_7$  までの期間、この状態が維持される。これにより、時刻  $t_2$  から時刻  $t_3$  までの期間と同様に、各データ線  $S_1 \sim S_{2n}$  は、時刻  $t_6$  の直前のデータ線のレベルよりもコモンレベルに近いレベルになる。

【0042】

時刻  $t_7$  において、偶数のスイッチ  $43b_2, 43b_4, \dots, 43b_{2n}$  がオフして偶数データ線  $S_2, S_4, \dots, S_{2n}$  が共通線  $CL_2$  から切り離され、偶数のスイッチ  $43a_2, 43a_4, \dots, 43a_{2n}$  がオンして共通線  $CL_1$  に偶数データ線  $S_2, S_4, \dots, S_{2n}$  が接続される。また、このとき、スイッチ  $35_1, 35_2$  がオンして増幅器  $34_1, 34_2$  の出力が共通線  $CL_1, CL_2$  に接続される。時刻  $t_7$  から所定期間  $T_2$  が経過する時刻  $t_8$  までの期間、この状態が維持される。これにより、奇数データ線  $S_1, S_3, \dots, S_{2n-1}$  は、共通線  $CL_2$  を介してプリチャージ電圧  $V_{pc2}$  が印加され、図 4 に示す電位  $V_3$  と  $V_4$  との中間電位に近い極性の電位レベル  $V_6$  になる。また、偶数のデータ線  $S_2, S_4, \dots, S_{2n}$  は、共通線  $CL_1$  を介してプリチャージ電圧  $V_{pc1}$  が印加され、図 4 に示す電位  $V_1$  と  $V_2$  との中間電位に近い正極性の電位レベル  $V_5$  になる。

【0043】

時刻  $t_8$  において、スイッチ  $43a_2, 43a_4, \dots, 43a_{2n}, 43b_1, 43b_3, \dots, 43b_{2n-1}$  がオフしてデータ線  $S_1 \sim S_{2n}$  が共通線  $CL_1, CL_2$  から切り離され、スイッチ  $12_1 \sim 12_{2n}$  がオンして増幅器  $11_1 \sim 11_{2n}$  の出力がデータ線  $S_1 \sim S_{2n}$  に接続される。時刻  $t_8$  から極性反転信号が "H" レベルでデータラッチ信号が "H" レベルになる時刻  $t_9$  までの期間、この状態が維持される。これにより、奇数データ線  $S_1, S_3, \dots, S_{2n-1}$  がデータに応じた、例えば、図 4 に示す電位  $V_4$  の負極性階調電圧で駆動され、偶数データ線  $S_2, S_4, \dots, S_{2n}$  がデータに応じた、例えば、図 4 に示す電位  $V_1$  の正極性階調電圧で駆動される。以下、時刻  $t_1$  から時刻  $t_9$  の動作が繰り返される。

10

20

30

40

50

## 【0044】

これにより、例えば、正極性のアナログ信号電圧で駆動されたデータ線が、次に、コモンレベルから遠い負極性のレベル、例えば、図4に示す電位 $V_4$ のアナログ信号電圧で駆動される場合、駆動前に、データ線をアナログ信号電圧から切り離した状態で、データ線を所定時間短絡して、データ線のレベルを一旦、コモンレベルに近いレベルにする。その後、負極性階調電圧の中間電位 $V_6$ に設定されたプリチャージ電圧 $V_{pc2}$ でプリチャージする。このため、プリチャージをコモンレベルに近いレベルから行うことができ、データ線へのデータ信号の書き込み遅延を改善したうえで、特許文献2に開示された技術よりさらに、プリチャージのための消費電力を低減することができる。または、データドライバの消費電力を同一消費電力とした場合、負荷の駆動能力向上ができる。

10

## 【0045】

尚、図7に示す出力回路50のように、増幅器 $34_1$ 、 $34_2$ を介さずにプリチャージ電圧 $V_{pc1}$ 、 $V_{pc2}$ を供給することもできる。

## 【0046】

図8は、本発明の第2実施形態のデータドライバ130の構成を示すブロック図であり、データドライバ130に入力される各信号のタイミングチャートは、データドライバ130と同様に、図3に示される。図2と同一の構成要素には同一の符号を付してその説明は省略する。データドライバ130は、シフトレジスタ1、データレジスタ2、データラッチ回路3、レベルシフタ4、階調電圧生成回路5、D/Aコンバータ6、出力回路7aおよびスイッチ制御回路8aを有する。

20

## 【0047】

出力回路7aは、D/Aコンバータ6の出力を増幅しデータ線 $S_1 \sim S_{2n}$ に極性反転信号に応じた極性のアナログ信号電圧を出力するが、その出力前に、データ線 $S_1 \sim S_{2n}$ をアナログ信号電圧から切り離した状態で、データ線 $S_1 \sim S_{2n}$ を、第1所定時間、同一極性ごとに短絡してコンデンサにより電荷回収し、第2所定時間、逆極性間で短絡し、その後、データ線 $S_1 \sim S_{2n}$ に駆動時の極性と同一極性のプリチャージ電圧を供給するようにしている。プリチャージ電圧として、コンデンサに回収された電荷を用いる。コンデンサからのプリチャージ電圧は、正極性のプリチャージ電圧 $V_{pc1}$ が、電位 $V_1$ と $V_2$ との中間電位 $(V_1 + V_2) / 2$ に近いレベルとなり、負極性のプリチャージ電圧 $V_{pc2}$ が、電位 $V_3$ と $V_4$ との中間電位 $(V_3 + V_4) / 2$ に近いレベルとなる。

30

## 【0048】

スイッチ制御回路8aは、データラッチ回路4に入力されるデータラッチ信号及び極性反転信号が入力され、出力回路7aの上述の動作を行わせるための制御信号を生成する。

## 【0049】

次に、出力回路7aの具体的な実施例について、図面を参照しながら詳細に説明する。図9は、出力回路7aとして用いられる一例の出力回路60を示す回路図である。図7と同一の構成要素には同一の符号を付してその説明は省略する。出力回路60が出力回路40と異なる点は、ショート・プリチャージ回路46の替わりにショート・プリチャージ回路66を有し、ショート・プリチャージ回路66がショート・プリチャージ回路46と異なる点は、プリチャージ電圧 $V_{pc1}$ 、 $V_{pc2}$ が入出力される増幅器 $34_1$ 、 $34_2$ の替わりに、スイッチ $35_1$ 、 $35_2$ と接地間に電荷回収用コンデンサ $C_1$ 、 $C_2$ が接続されている点である。コンデンサ $C_1$ 、 $C_2$ は、ソースドライバを構成する半導体集積回路装置内に設けることもできるし、外付けのコンデンサとすることもできる。

40

## 【0050】

出力回路60の動作について図10を参照して説明する。図6と同一の動作については、同一の時間符号を付してその説明は省略する。図6と異なる動作は、時刻 $t_{21}$ 、 $t_{61}$ から所定期間 $T_{11}$ が経過する時刻 $t_{22}$ 、 $t_{62}$ までの期間と、時刻 $t_{22}$ 、 $t_{62}$ から所定期間 $T_{12}$ が経過する時刻 $t_3$ 、 $t_7$ までの期間とであり、以下この期間についての動作について説明する。

## 【0051】

50

データラッチ信号が"L"レベルになる時刻 $t_{21}$ において、スイッチ $43a_2, 43a_4, \dots, 43a_{2n}$ がオンして偶数データ線 $S_2, S_4, \dots, S_{2n}$ が共通線 $CL_1$ に接続され、スイッチ $43b_1, 43b_3, \dots, 43b_{2n-1}$ がオンして奇数データ線 $S_1, S_3, \dots, S_{2n-1}$ が共通線 $CL_2$ に接続される。時刻 $t_{21}$ から所定期間 $T_{11}$ 、例えば、 $0.5 \mu s$ が経過する時刻 $t_{22}$ までの期間、この状態が維持される。これにより、コモンレベルより高いレベルの電荷が蓄積されている偶数データ線 $S_2, S_4, \dots, S_{2n}$ から共通線 $CL_1$ を介してコンデンサ $C_1$ に電荷の移動が起こり、コンデンサ $C_1$ の容量に応じた電荷が回収される。また、コモンレベルより低いレベルの電荷が蓄積されている奇数データ線 $S_1, S_3, \dots, S_{2n-1}$ から共通線 $CL_2$ を介してコンデンサ $C_2$ に電荷の移動が起こり、コンデンサ $C_2$ の容量に応じた電荷が回収される。

10

## 【0052】

時刻 $t_{22}$ において、スイッチ $35_1, 35_2$ がオフして増幅器 $34_1, 34_2$ の出力が共通線 $CL_1, CL_2$ から切り離され、スイッチ $43b_1, 43b_3, \dots, 43b_{2n-1}$ がオフするとともにスイッチ $43a_1, 43a_3, \dots, 43a_{2n-1}$ がオンして奇数データ線 $S_1, S_3, \dots, S_{2n-1}$ が共通線 $CL_2$ から切り離されるとともに共通線 $CL_1$ に接続される。時刻 $t_{22}$ から所定期間 $T_{12}$ 、例えば、 $0.5 \mu s$ が経過する時刻 $t_3$ までの期間、この状態が維持される。これにより、図6の時刻 $t_2$ から時刻 $t_3$ までの期間と同様に、各データ線 $S_1 \sim S_{2n}$ は、時刻 $t_{22}$ の直前のデータ線のレベルよりもコモンレベルに近いレベルになる。

20

## 【0053】

データラッチ信号が"L"レベルになる時刻 $t_{61}$ において、スイッチ $43a_1, 43a_3, \dots, 43a_{2n-1}$ がオンして奇数データ線 $S_1, S_3, \dots, S_{2n-1}$ が共通線 $CL_1$ に接続され、スイッチ $43b_2, 43b_4, \dots, 43b_{2n}$ がオンして偶数データ線 $S_2, S_4, \dots, S_{2n}$ が共通線 $CL_2$ に接続される。時刻 $t_{61}$ から所定期間 $T_{11}$ が経過する時刻 $t_{62}$ までの期間、この状態が維持される。これにより、コモンレベルより高いレベルの電荷が蓄積されている奇数データ線 $S_1, S_3, \dots, S_{2n-1}$ から共通線 $CL_1$ を介してコンデンサ $C_1$ に電荷の移動が起こり、コンデンサ $C_1$ の容量に応じた電荷が回収される。また、コモンレベルより低いレベルの電荷が蓄積されている偶数データ線 $S_2, S_4, \dots, S_{2n}$ から共通線 $CL_2$ を介してコンデンサ $C_2$ に電荷の移動が起こり、コンデンサ $C_2$ の容量に応じた電荷が回収される。

30

## 【0054】

時刻 $t_{62}$ において、スイッチ $35_1, 35_2$ がオフして増幅器 $34_1, 34_2$ の出力が共通線 $CL_1, CL_2$ から切り離され、スイッチ $43a_1, 43a_3, \dots, 43a_{2n-1}$ がオフするとともにスイッチ $43b_1, 43b_3, \dots, 43b_{2n-1}$ がオンして奇数データ線 $S_1, S_3, \dots, S_{2n-1}$ が共通線 $CL_1$ から切り離されるとともに共通線 $CL_2$ に接続される。時刻 $t_{62}$ から所定期間 $T_{12}$ が経過する時刻 $t_7$ までの期間、この状態が維持される。これにより、時刻 $t_{22}$ から時刻 $t_3$ までの期間と同様に、各データ線 $S_1 \sim S_{2n}$ は、時刻 $t_{62}$ の直前のデータ線のレベルよりもコモンレベルに近いレベルになる。

40

## 【0055】

これにより、例えば、正極性のアナログ信号電圧で駆動されたデータ線が、次に、コモンレベルから遠い負極性のレベル、例えば、図4に示す電位 $V_4$ のアナログ信号電圧で駆動される場合、駆動前に、データ線をアナログ信号電圧から切り離した状態で、データ線を、第1所定時間、同一極性ごとに短絡してコンデンサにより電荷回収し、第2所定時間、逆極性間で短絡して、データ線のレベルを一旦、コモンレベルに近いレベルにする。その後、データ線に駆動時の極性と同一極性のコンデンサに回収された電荷をプリチャージ電圧として供給するようにしている。このため、プリチャージ電圧を出力回路外から供給することなく、プリチャージをコモンレベルに近いレベルから行うことができ、データ線へのデータ信号の書き込み遅延を改善したうえで、特許文献2に開示された技術よりさら

50

に、プリチャージのための消費電力を低減することができる。または、データドライバの消費電力を同一消費電力とした場合、負荷の駆動能力向上ができる。

【図面の簡単な説明】

【0056】

【図1】本発明に係る液晶表示装置100の構成を示すブロック図。

【図2】本発明の第1実施形態のデータドライバ120の構成を示すブロック図。

【図3】図2に示すデータドライバ120に入力される各信号のタイミングチャート。

【図4】図2に示すデータドライバ120の階調数 - 出力電圧特性とプリチャージ電圧との関係を説明するグラフ。

【図5】図2に示すデータドライバ120に用いられる一例の出力回路40を示す回路図 10

。【図6】図5に示す出力回路40の動作を説明する図。

【図7】図2に示すデータドライバ120に用いられる他例の出力回路50を示す回路図

。【図8】本発明の第2実施形態のデータドライバ130の構成を示すブロック図。

【図9】図8に示すデータドライバ130に用いられる一例の出力回路60を示す回路図

。【図10】図8に示す出力回路60の動作を説明する図。

【図11】データドライバの階調数 - 出力電圧特性を示すグラフ。

【図12】従来の第1例のデータドライバの出力回路10を示す回路図。 20

【図13】従来の第2例のデータドライバの出力回路20を示す回路図。

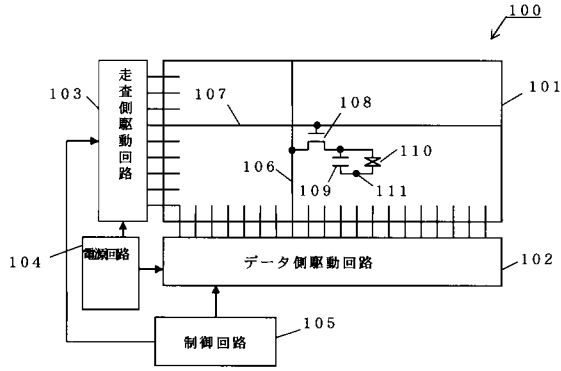
【図14】従来の第3例のデータドライバの出力回路30を示す回路図。

【符号の説明】

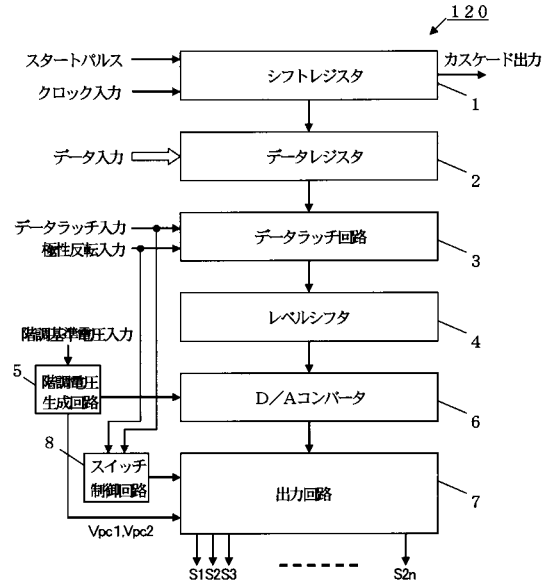
【0057】

- 1 シフトレジスタ
- 2 データレジスタ
- 3 データラッチ回路
- 4 レベルシフタ
- 5 階調電圧生成回路
- 6 D/Aコンバータ 30
- 7, 7a, 40, 50, 60 出力回路
- 8, 8a スイッチ制御回路
- 11<sub>1</sub> ~ 11<sub>2n</sub>, 34<sub>1</sub>, 34<sub>2</sub> 増幅器
- 12<sub>1</sub> ~ 12<sub>2n</sub>, 43a<sub>1</sub> ~ 43a<sub>2n</sub>, 43b<sub>1</sub> ~ 43b<sub>2n</sub>, 35<sub>1</sub>, 35<sub>2</sub> スイッチ
- 46, 56, 66 ショート・プリチャージ回路
- 100 液晶表示装置
- 101 液晶表示パネル
- 102 データ側駆動回路
- 103 走査側駆動回路 40
- 104 電源回路
- 105 制御回路
- 120, 130 データドライバ
- C1, C2 コンデンサ

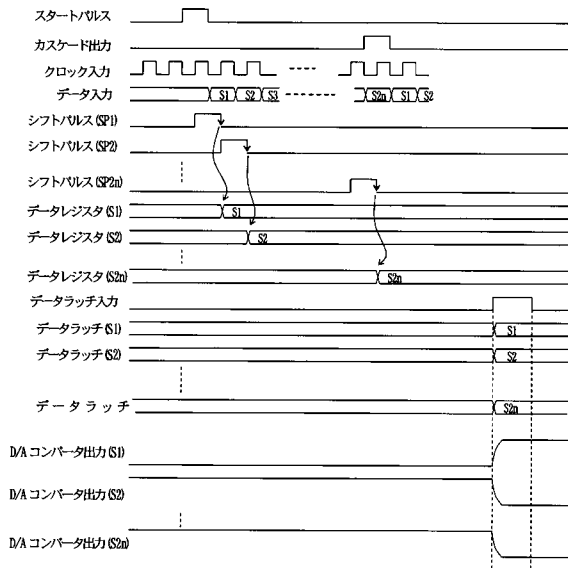
【 図 1 】



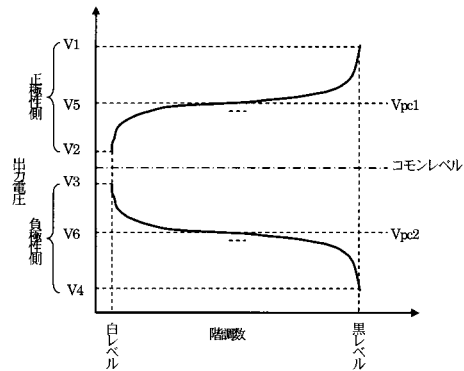
【 図 2 】



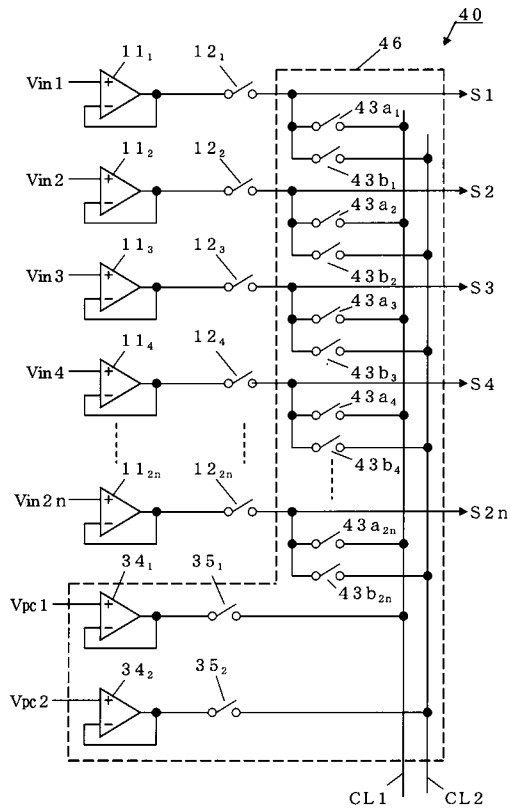
【 図 3 】



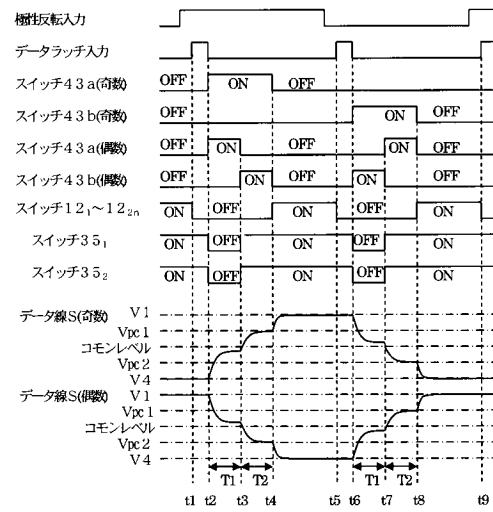
【 図 4 】



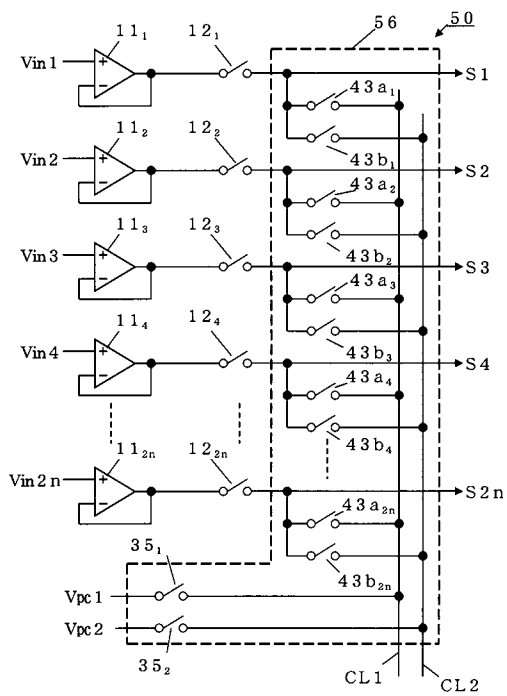
【 図 5 】



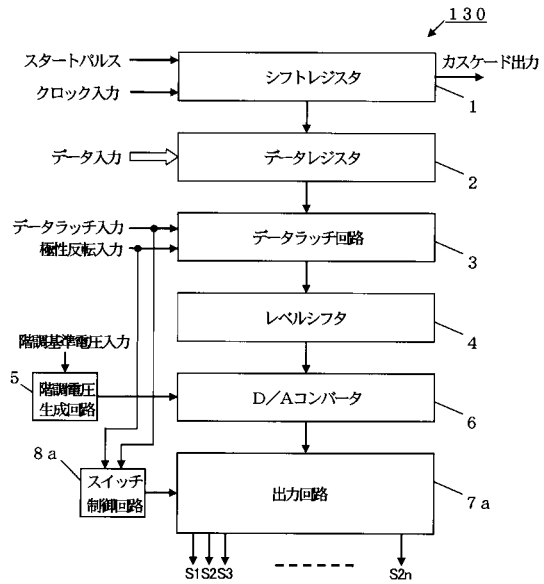
【 図 6 】



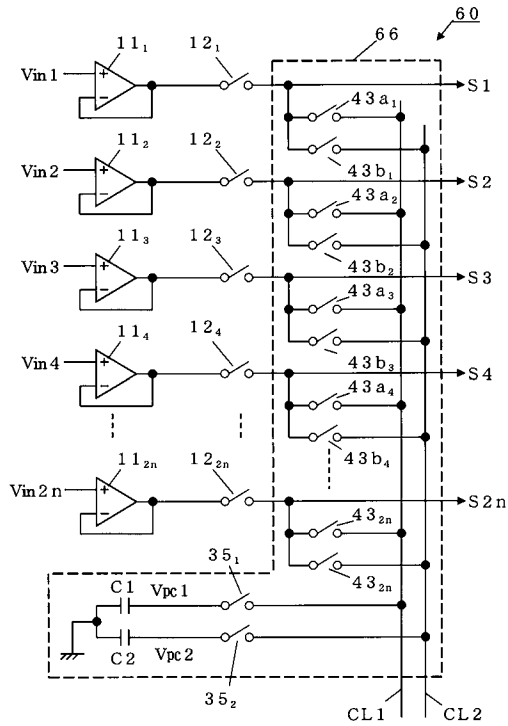
【 図 7 】



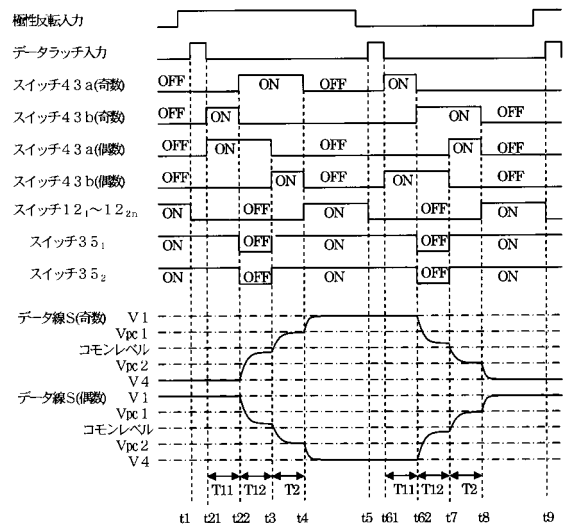
【 図 8 】



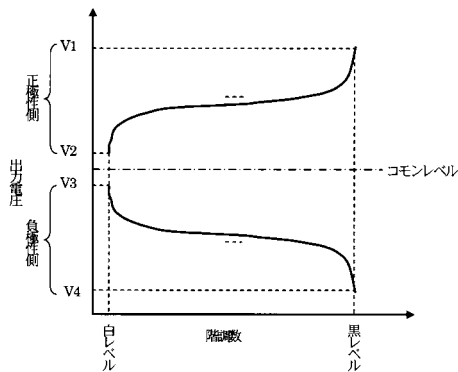
【図 9】



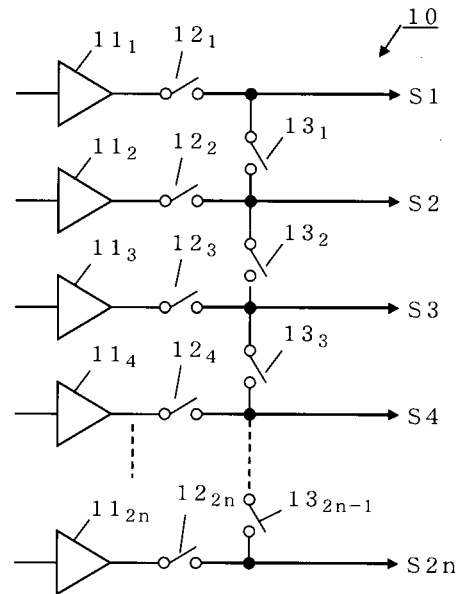
【図 10】



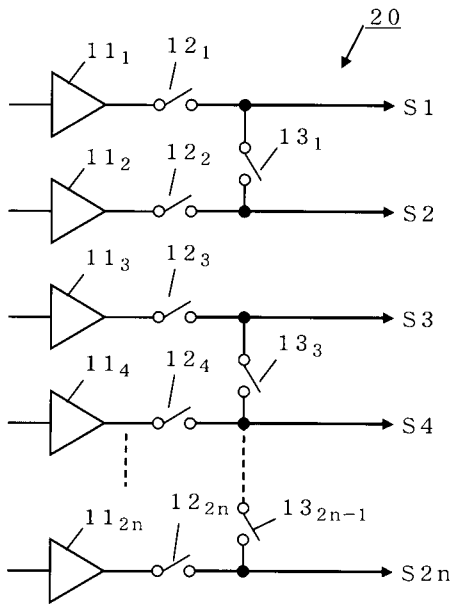
【図 11】



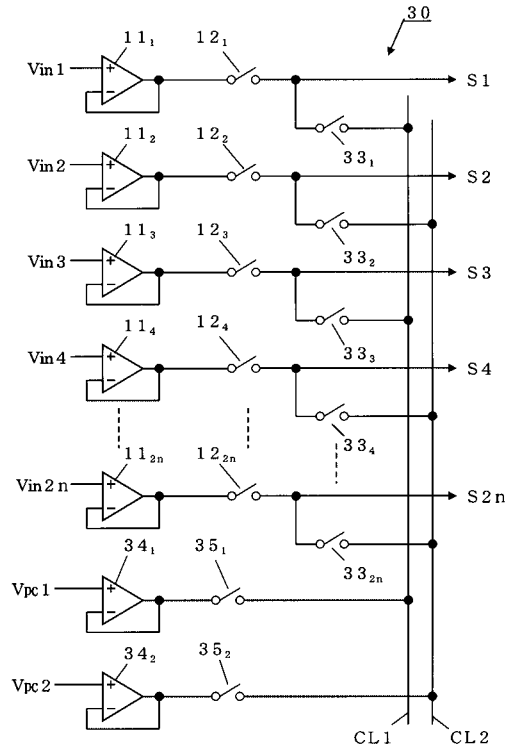
【図 12】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 A  
G 0 2 F 1/133 5 5 0  
G 0 2 F 1/133 5 7 5

Fターム(参考) 5C006 AA11 AA21 AC25 AF51 BB16 BC06 BC16 BF37 FA12 FA47  
5C080 AA10 BB05 CC03 DD02 DD26 EE29 FF11 JJ02 JJ03 JJ04  
JJ05

专利名称(译)	驱动液晶显示装置的方法及其数据侧驱动电路		
公开(公告)号	<a href="#">JP2008116556A</a>	公开(公告)日	2008-05-22
申请号	JP2006297873	申请日	2006-11-01
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	松田 觉 森上 隆		
发明人	松田 觉 森上 隆		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3696 G09G2310/0248 G09G2310/027 G09G2320/0252 G09G2330/028		
FI分类号	G09G3/36 G09G3/20.623.A G09G3/20.621.F G09G3/20.621.B G09G3/20.621.G G09G3/20.611.A G02F1/133.550 G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA33 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC21 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND35 2H093/ND39 5C006/AA11 5C006/AA21 5C006/AC25 5C006/AF51 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF37 5C006/FA12 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：在改善将数据信号写入数据线的延迟之后，进一步降低功耗。采用点反转驱动方法的液晶显示装置的数据驱动器的输出电路40包括将数据信号输出到数据线S1至S2n的放大器111至112n。在写入之前，将放大器111至112n的输出与数据线S1至S2n断开，将放大器111至112n的输出与数据线断开的开关121至122n。它具有短路预充电电路46，该短路预充电电路46在与S1至S2n分离的状态下使数据线短路预定时间，然后向数据线S1至S2n提供具有与写入时的极性相同极性的预充电电压。[选择图]图5

