

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-102212

(P2008-102212A)

(43) 公開日 平成20年5月1日(2008.5.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 642A	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 623X	
	G09G 3/20 623R	
審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2006-282953 (P2006-282953)
 (22) 出願日 平成18年10月17日 (2006.10.17)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

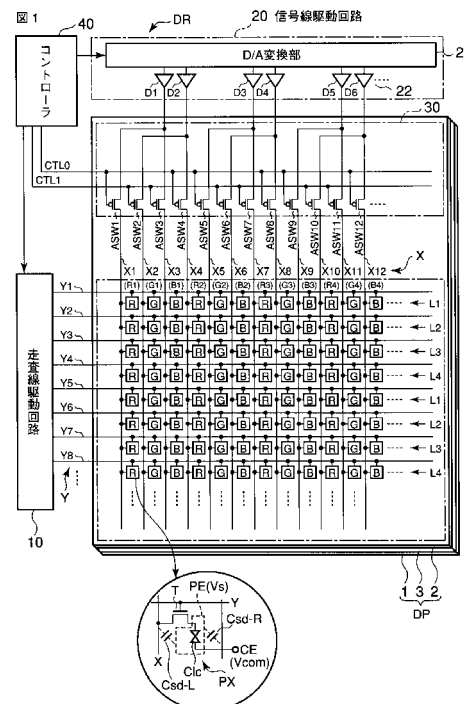
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 各行の液晶画素を複数回に分けて駆動する場合に発生する横筋を防止する。

【解決手段】 液晶表示装置は複数の液晶画素 P X と、複数の信号線 X を各々所定数ずつ含む複数の信号線群と、複数の液晶画素 P X を行単位に選択し選択行の液晶画素 P X を複数の信号線 X を介して駆動する駆動回路 D R とを備え、駆動回路 D R は各行の液晶画素 P X の選択期間に複数の信号線群の各々に含まれる所定数の信号線 X に割当てた所定数の画素電圧を群駆動周期で出力する信号線ドライバ 20、信号線ドライバ 20 から群駆動周期で出力される所定数の画素電圧を複数の信号線群の各々に分配するマルチプレクサ 30、および信号線ドライバ 20 の出力電圧極性を所定画素行数毎に反転させる場合に極性反転を必要とする先頭行の液晶画素 P X の選択期間に複数の信号線群の全てを信号線ドライバ 20 に電氣的に接続してから群駆動周期毎に 1 群ずつ複数の信号線群を順次信号線ドライバ 20 から電氣的に切り離すようマルチプレクサ 30 を制御するコントローラ 40 を含む。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

略マトリクス状に配置される複数の液晶画素と、前記複数の液晶画素の列に沿って配置された複数の信号線を各々所定数ずつ含む複数の信号線群と、前記複数の液晶画素を行単位に選択し選択行の液晶画素を前記複数の信号線を介して駆動する駆動回路とを備え、前記駆動回路は各行の液晶画素の選択期間において前記複数の信号線群の各々に含まれる所定数の信号線に割当てられた所定数の画素電圧を群駆動周期で並列的に出力する信号線ドライバ、前記信号線ドライバから前記群駆動周期で出力される所定数の画素電圧を前記複数の信号線群の各々に分配するマルチプレクサ、および前記信号線ドライバの出力電圧極性を所定画素行数毎に反転させる場合に極性反転を必要とする先頭行の液晶画素の選択期間において前記複数の信号線群の全てを前記信号線ドライバに電氣的に接続してから前記群駆動周期毎に 1 群ずつ前記複数の信号線群を順次前記信号線ドライバから電氣的に切り離すように前記マルチプレクサを制御するコントローラを含むことを特徴とする液晶表示装置。

10

【請求項 2】

前記信号線ドライバは前記複数の信号線の総数に対して 2 以上の整数分の 1 に等しい所定数の出力端を有し、前記マルチプレクサは前記複数の信号線群の全てを前記信号線ドライバに電氣的に接続する際に前記所定数の出力端から出力される所定数の画素電圧の各々を同極性で駆動すべき液晶画素列に対応する少なくとも 2 信号線と一緒に供給する複数のアナログスイッチを有することを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記所定数の出力端は互いに隣接する出力端とは逆の出力電圧極性に設定される所定数の出力バッファであることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記所定数の出力バッファの出力電圧極性は 2 画素行，3 画素行，4 画素行，および 5 画素行のいずれか毎に反転されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記信号線ドライバは前記複数の信号線の総数に対して 2 以上の整数分の 1 に等しい所定数の出力端を有し、前記マルチプレクサは前記複数の信号線群の全てを前記信号線ドライバに電氣的に接続する際に前記所定数の出力端から出力される所定数の画素電圧の各々を同極性で駆動すべき同色の液晶画素列に対応する少なくとも 2 信号線に供給する複数のアナログスイッチを有することを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 6】

前記所定数の出力端は互いに隣接する出力端とは逆の出力電圧極性に設定される所定数の出力バッファであることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記所定数の出力バッファの出力電圧極性は前記 2 画素行，3 画素行，4 画素行，および 5 画素行のいずれか毎に反転されることを特徴とする請求項 6 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】**

40

【0001】

本発明は、略マトリクス状に配置される複数の液晶画素の行を少なくとも 2 回に分けて駆動する液晶表示装置に関し、特に複数の液晶画素に対する液晶駆動電圧が所定行数毎に逆極性に設定される液晶表示装置に関する。

【背景技術】**【0002】**

液晶表示装置は、コンピュータ、カーナビゲーションシステム、あるいはテレビ受信機等において画像を表示するために広く利用されている。

【0003】

液晶表示装置は、一般にアレイ基板および対向基板間に液晶層を挟持した構造の液晶表

50

示パネルを備える。アクティブマトリクス型の液晶表示パネルでは、アレイ基板が略マトリクス状に配置される複数の画素電極、複数の画素電極の行に沿って配置される複数の走査線、複数の画素電極の列に沿って配置される複数の信号線、複数の走査線および複数の信号線の交差位置近傍に配置される複数の画素スイッチング素子を有する。複数の走査線はこれら走査線の一端に隣接して設けられる走査線駆動回路によって順次駆動され、複数の信号線はこれら信号線の一端に隣接して設けられる信号線駆動回路によって各走査線の駆動中に駆動される。各画素スイッチング素子は例えば薄膜トランジスタであり、対応走査線が駆動されたときに導通して対応信号線の電位を対応画素電極に印加する。対向基板には、共通電極が複数の画素電極に対向して設けられる。一对の画素電極および共通電極はこれら電極間に位置する液晶層の一部である画素領域と共に液晶画素を構成する。各液晶画素では、画素領域内の液晶分子配列が画素電極および共通電極間の電位差である液晶駆動電圧に対応した電界によって制御される。

【 0 0 0 4 】

従来、信号線駆動回路の回路規模を小さくするために各行の液晶画素を2回に分けて駆動する技術が提案されている（例えば、特許文献1を参照）。この技術では、例えば図9に示すように、アナログスイッチ A S W 1 , A S W 2 , A S W 3 , A S W 4 , ... がマルチプレクサとして信号線駆動回路の出力バッファ D 1 , D 2 , ... および複数の信号線 X 1 , X 2 , X 3 , X 4 , ... 間に設けられる。アナログスイッチ A S W 1 , A S W 4 , ... は制御信号 C T L 0 によって制御され、アナログスイッチ A S W 2 , A S W 3 , ... は制御信号 C T L 1 によって制御される。制御信号 C T L 0 および制御信号 C T L 1 は図9に示すように遷移する。

【 0 0 0 5 】

アナログスイッチ A S W 1 , A S W 4 は制御信号 C T L 0 の立ち下がりにより一緒に導通し、信号線駆動回路の出力バッファ D 1 , D 2 をそれぞれ信号線 X 1 , X 4 に電氣的に接続する。また、アナログスイッチ A S W 2 , A S W 3 は制御信号 C T L 1 の立ち下がりにより一緒に導通し、信号線駆動回路の出力バッファ D 1 , D 2 をそれぞれ信号線 X 3 , X 2 に電氣的に接続する。すなわち、走査線 Y 1 , Y 2 , Y 3 , Y 4 , ... の各々が駆動される期間においてアナログスイッチ A S W 1 , A S W 4 とアナログスイッチ A S W 2 , A S W 3 とを交互に導通させるように制御信号 C T L 0 , C T L 1 を遷移させると、対応行の液晶画素 P X が2回に分けて駆動される。この構成では、信号線駆動回路の出力バッファ D 1 , D 2 , ... の数が信号線 X 1 , X 2 , X 3 , X 4 , ... の半数しか必要とされないため、信号線駆動回路の回路規模を小さくできる。実際の信号線駆動回路は各々所定数の出力バッファを持つ複数のドライバICで構成されるので、結果的にドライバICの数が削減されることになる。尚、信号線 X 2 , X 3 は図9において交差してアナログスイッチ A S W 3 , A S W 2 に接続されているが、このような構成は各行の液晶画素 P X に対する液晶駆動電圧、具体的には共通電極 C E の電位に対する画素電極 P E の電位を1画素列毎に逆極性にする場合に有効である。すなわち、出力バッファ D 1 , D 2 から1回目の駆動時に出力される画素電圧 V s の極性に対して2回目の駆動時に出力される画素電圧 V s の極性反転を必要としないため、信号線駆動回路の消費電力および充電誤差を低減できる。

【特許文献1】特開2003-295834号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

ところで、画素電圧を例えば1行毎に逆極性に設定することがフリッカと呼ばれるちらつきの対策として行われているが、市松状の網かけドットパターンを表示させたときにフリッカが目立ってしまうという問題がある。これを解消するため、画素電圧は2行以上の所定画素行数毎に逆極性に設定されることが好ましい。所定画素行数が図9に示すように4画素行である場合、信号線 X 1 ~ X 4 の電位極性が図10に示すように4水平走査期間（4H）毎に遷移する。

【 0 0 0 7 】

10

20

30

40

50

しかしながら、このような極性制御は信号線 X 1 , X 4 , ... の不所望な電位変動を生じさせる原因となる。制御信号 C T L 0 , C T L 1 が各水平走査期間の前半および後半において図 1 0 に示すように遷移する場合、信号線 X 1 , X 4 は信号線 X 2 , X 3 がフローティング状態にある間に信号線駆動回路の出力バッファ D 1 , D 2 にそれぞれ接続され、信号線 X 2 , X 3 は信号線 X 1 , X 4 が電氣的なフローティング状態にある間に信号線駆動回路の出力バッファ D 2 , D 1 にそれぞれ接続される。各画素電極 P E は対応画素スイッチング素子 W を介して設定された電位を保持するが、この後、図 9 に示す寄生容量 C s d - R および寄生容量 C s d - L がそれぞれ画素電極 P E およびその右側の信号線 X 間、並びに画素電極 P E およびその左側の信号線 X 間に生じる。ここで、制御信号 C T L 1 が図 1 0 において円で囲って示すように 4 行の液晶画素 P X のうちの先頭行である画素ライン L 1 に対応する 1 水平走査期間の後半で立ち下ると、信号線 X 2 の電位が出力バッファ D 2 から出力される画素電圧 V s の極性反転により正極性から負極性に遷移し、信号線 X 3 の電位が出力バッファ D 1 から出力される画素電圧 V s の極性反転により負極性から正極性に遷移する。このとき、信号線 X 1 の電位は、信号線 X 2 から寄生容量 C s d - R、電位保持状態の画素電極 P E、寄生容量 C s d - L を介して信号線 X 1 に至る容量結合経路の存在によって信号線 X 2 の電位変動の影響を受ける。また、信号線 X 4 の電位は信号線 X 3 から寄生容量 C s d - L、電位保持状態の画素電極 P E、寄生容量 C s d - R を介して信号線 X 4 に至る容量結合経路の存在により信号線 X 3 の電位変動の影響を受ける。具体的には、画素ライン L 1 において信号線 X 1 , X 4 に画素スイッチング素子 T を介して接続された画素電極 P E の電位が変動してしまうことになる。こうして変動した電位は、この画素ライン L 1 に対応する全ての画素スイッチング素子 T が一緒に非導通になったときに画素電極 P E に保持される。この結果、図 1 1 に示す 2 ドットおきの横筋が表示画面において 4 画素行毎に発生する。ここでは、全ての画素の階調が表示画面において横筋を観察し易くするために同じレベルに設定されている。このような横筋は、画素電圧 V s が 4 画素行毎に逆極性に設定される場合だけでなく、例えば 2 画素行毎、あるいは 3 画素行毎に逆極性に設定される場合でも発生する。

【 0 0 0 8 】

本発明の目的は、各行の液晶画素を少なくとも 2 回に分けて駆動する場合に発生する横筋を防止できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

本発明によれば、略マトリクス状に配置される複数の液晶画素と、複数の液晶画素の列に沿って配置された複数の信号線を各々所定数ずつ含む複数の信号線群と、複数の液晶画素を行単位に選択し選択行の液晶画素を複数の信号線を介して駆動する駆動回路とを備え、駆動回路は各行の液晶画素の選択期間において複数の信号線群の各々に含まれる所定数の信号線に割当てられた所定数の画素電圧を群駆動周期で並列的に出力する信号線ドライバ、信号線ドライバから群駆動周期で出力される所定数の画素電圧を複数の信号線群の各々に分配するマルチプレクサ、および信号線ドライバの出力電圧極性を所定画素行数毎に反転させる場合に極性反転を必要とする先頭行の液晶画素の選択期間において複数の信号線群の全てを信号線ドライバに電氣的に接続してから群駆動周期毎に 1 群ずつ複数の信号線群を順次信号線ドライバから電氣的に切り離すようにマルチプレクサを制御するコントローラとを含む液晶表示装置が提供される。

【発明の効果】

【 0 0 1 0 】

この液晶表示装置では、信号線ドライバの出力電圧極性を所定画素行数毎に反転させる場合に、マルチプレクサが極性反転を必要とする先頭行の液晶画素の選択期間において複数の信号線群の全てを信号線ドライバに電氣的に接続してから群駆動周期毎に 1 群ずつ複数の信号線群を順次信号線ドライバから電氣的に切り離す。これにより、複数の信号線群の各々に含まれる所定数の信号線が選択期間において最初に信号線ドライバから出力される所定数の画素電圧によって一律に駆動され、これら信号線の電位が極性反転される。複

10

20

30

40

50

数の信号線群の1つが群駆動周期に等しい最初の期間の終了に際して信号線ドライバから電氣的に切り離されると、この信号線群に含まれる所定数の信号線の電位がこれら信号線に割当てられた所定数の画素電圧に等しく設定される。これ以降、所定数の画素電圧が群駆動周期で信号線ドライバから並列的に出力され、残りの信号線群の各々に含まれる所定数の信号線がこれら所定数の画素電圧によって一律に駆動される。これら残りの信号線群は群駆動周期毎に1群ずつ順次信号線ドライバから電氣的に切り離されるため、切離信号線群に含まれる所定数の信号線の電位はこれら信号線に割当てられた所定数の画素電圧に等しく設定される。すなわち、複数の信号線群の1つが最初に信号線ドライバから電氣的に切り離されるまでに、これら信号線の全てに対する極性反転が完了し、残りの信号線群に含まれる所定数の信号線の電位はこれら信号線にそれぞれに割当てられた所定数の画素電圧に等しくなるまで群駆動周期で変化する。上述のような駆動形式であると、複数の信号線群相互が容量結合していても、先にフローティング状態になった信号線群の電位が他の信号線群の電位の極性反転に伴って大幅に変動することがない。従って、各行の液晶画素を少なくとも2回に分けて駆動する場合に発生する横筋を防止できる。

10

【発明を実施するための最良の形態】

【0011】

以下、本発明の第1実施形態に係る液晶表示装置について添付図面を参照して説明する。

【0012】

図1はこの液晶表示装置の回路構成を概略的に示し、図2は図1に示す液晶表示パネルの断面構造を概略的に示す。液晶表示装置は例えばノーマリホワイトの液晶表示パネルDPを備える。この液晶表示パネルDPは一对の電極基板であるアレイ基板1および対向基板2間に液晶層3を挟持した構造を有する。

20

【0013】

アレイ基板1は、ガラス板等からなる透明絶縁基板GL、この透明絶縁基板GL上に形成される複数の画素電極PE、およびこれら画素電極PE上に形成される配向膜ALを含む。対向基板2はガラス板等からなる透明絶縁基板GL、この透明絶縁基板GL上に形成されるカラーフィルタ層CF、このカラーフィルタ層上に形成される共通電極CE、およびこの共通電極CE上に形成される配向膜ALを含む。液晶層3は対向基板2とアレイ基板1の間に液晶材料を充填することにより得られる。また、一对の偏光板PLが液晶表示パネルDPの外側に設けられ、バックライトBLがアレイ基板1側の偏光板PLの外側に設けられる。

30

【0014】

アレイ基板1では、複数の画素電極PEが略マトリクス状に配置される。また、複数の走査線Y(Y1, Y2, Y3, ...)が複数の画素電極PEの行に沿って配置され、複数の信号線X(X1, X2, X3, ...)が複数の画素電極PEの列に沿って配置され、複数の画素スイッチング素子Tがこれら走査線Yおよび信号線Xの交差位置近傍に配置される。各画素スイッチング素子Tは、走査線Yに接続されるゲート、信号線Xおよび画素電極PE間に接続されるソース・ドレインパスを有する薄膜トランジスタからなり、対応走査線Yを介して駆動されたときに導通して対応信号線Xの電位を対応画素電極PEに印加する。

40

【0015】

各画素電極PEおよび共通電極CEは例えばITO等の透明電極材料からなり、それぞれ配向膜ALで覆われ、液晶層3の一部である画素領域と共に液晶画素PXを構成する。液晶画素PXは画素電極PEおよび共通電極CE間に液晶容量C_{lc}を有し、画素領域内の液晶分子配列はこれら画素電極PEおよび共通電極CEの電位差として液晶容量C_{lc}に保持される液晶駆動電圧に対応した電界によって制御される。

【0016】

また、カラーフィルタ層CFは複数の画素電極PEの列にそれぞれ対向して行方向に繰返し並べたストライプ状の赤着色層、緑着色層、および青着色層を含む。ここで、赤着色

50

層は第 1, 4, 7, ... 列の画素電極 P E に対向し、これら画素電極 P E に対応する液晶画素 P X を赤画素 R に設定して、赤画素列 R 1, R 2, R 3, ... を構成させる。緑着色層は第 2, 5, 8, ... 列の画素電極 P E に対向し、これら画素電極 P E に対応する液晶画素 P X を緑画素 G に設定して、緑画素列 G 1, G 2, G 3, ... を構成させる。青着色層は第 3, 6, 9, ... 列の画素電極 P E に対向し、これら画素電極 P E に対応する液晶画素 P X を青画素 B に設定して青画素列 B 1, B 2, B 3, ... を構成させる。

【0017】

液晶表示装置は、さらに複数の液晶画素 P X を行単位に選択し選択行の液晶画素 P X を複数の信号線 X を介して駆動する駆動回路 D R を備える。駆動回路 D R は、走査線ドライバ 10、信号線ドライバ 20、マルチプレクサ 30、およびコントローラ 30 を有する。例えば図 1 に示すように、走査線ドライバ 10、信号線ドライバ 20、およびコントローラ 30 は液晶表示パネル D P の外部に設けられ、マルチプレクサ 30 は液晶表示パネル D P 上に設けられる。ここでは、複数の信号線 X 1, X 2, X 3, X 4, ... がマルチプレクサ 30 によって各々所定数ずつ含む複数の信号線群として例えば 2 つの信号線群（信号線 X 1, X 4, X 5, X 8, ... および信号線 X 2, X 3, X 6, X 7, ...）に区分されている。走査線ドライバ 10 は複数の走査線 Y を順次駆動して複数の液晶画素 P X を行単位に選択するように構成される。信号線ドライバ 20 は各行の液晶画素 P X の選択期間において第 1 信号線群（信号線 X 1, X 4, X 5, X 8, ...）および第 2 信号線群（信号線 X 2, X 3, X 6, X 7, ...）の各々に割当てられた所定数の画素電圧 V_s を群駆動周期 G で並列的に出力するように構成される。マルチプレクサ 30 は信号線ドライバ 20 から群駆動周期で出力される所定数（＝信号線 X 1, X 2, X 3, ... の総数に対して 2 以上の整数分の 1、ここでは半分）の画素電圧 V_s を第 1 および第 2 信号線群の各々に分配するように構成される。信号線ドライバ 20 の出力電圧極性は所定画素行数、例えば 4 画素行毎に反転される。コントローラ 40 は、走査線ドライバ 10 および信号線ドライバ 20 を上述のように動作させる制御に加えて、極性反転を必要とする先頭行の液晶画素 P X の選択期間において第 1 および第 2 信号線群の全てを信号線ドライバ 20 に電氣的に接続してから群駆動周期毎に 1 群ずつ第 1 および第 2 信号線群を 1 群ずつ順次信号線ドライバ 20 から電氣的に切り離させるマルチプレクサ 30 の制御、および極性反転を必要しない行の液晶画素 P X の選択期間において群駆動周期毎に第 1 および第 2 信号線群を 1 群ずつ順次信号線ドライバ 20 に電氣的に接続し切り離させるマルチプレクサ 30 の制御を行うように構成される。

【0018】

信号線ドライバ 20 は例えば複数のドライバ I C からなり、コントローラ 40 から信号線群単位に供給されるデジタル映像信号を所定数の画素電圧 V_s に変換する D / A 変換部 21 および、D / A 変換部 21 から得られる所定数の画素電圧 V_s を出力する出力バッファ部 22 を含む。出力バッファ部 22 は、複数の信号線 X 1, X 2, X 3, ... の総数の整数分の 1 である所定数の出力バッファ D 1, D 2, D 3, D 4, ... を信号線ドライバ 20 の出力端として有する。マルチプレクサ 30 は、出力バッファ D 1, D 2, D 3, D 4, ... の各々から 2 回に分けて出力される同極性の 2 画素電圧を 1 列おきの同極性画素列に対して設けられた 2 信号線に一对のアナログスイッチを介して分配する構成であり、先頭行の液晶画素 P X、すなわち画素ライン L 1 の選択期間の前半に全アナログスイッチを導通させ、この間に各出力バッファから出力される画素電圧により対応 2 信号線の電位を一緒に極性反転させるように制御される。具体的には、マルチプレクサ 30 がそれぞれ複数の信号線 X 1, X 2, X 3, X 4, ... に割当てられた複数のアナログスイッチ A S W 1, A S W 2, A S W 3, A S W 4, ... を含む。複数のアナログスイッチ A S W 1, A S W 2, A S W 3, A S W 4, ... の各々は例えば P チャネル型の薄膜トランジスタからなる。例えばアナログスイッチ A S W 1, A S W 4, A S W 5, A S W 8, A S W 9, A S W 12, ... は第 1 信号線群である信号線 X 1, X 4, X 5, X 8, X 9, X 12 ... と出力バッファ D 1, D 2, D 3, D 4, D 5, D 6 ... との間に接続され、コントローラ 40 から供給される制御信号 C T L 0 により制御される。残りのアナログスイッチ A S W 2, A S W 3,

A S W 6 , A S W 7 , A S W 1 0 , A S W 1 1 , ... は第 2 信号線群である信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... と出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... との間に接続され、コントローラ 4 0 から供給される制御信号 C T L 1 により制御される。例えば制御信号 C T L 0 が立ち下がると、アナログスイッチ A S W 1 , A S W 4 , A S W 5 , A S W 8 , A S W 9 , A S W 1 2 , ... が全て導通して、信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... を出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... に電氣的に接続する。他方、制御信号 C T L 1 が立ち下がると、アナログスイッチ A S W 2 , A S W 3 , A S W 6 , A S W 7 , A S W 1 0 , A S W 1 1 , ... が全て導通して、信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... を出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... に電氣的に接続する。

10

【 0 0 1 9 】

極性反転を必要とする先頭行の液晶画素 P X、すなわち画素ライン L 1 の選択期間 (= 1 H : 1 水平走査期間) では、図 3 に示すように、制御信号 C T L 0 , C T L 1 の両方が群駆動周期 G (= H / 2) に等しい 1 H の前半の開始直後に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... および信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... の全てをそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... に電氣的に接続するために立ち下がり、制御信号 C T L 0 が 1 H の前半の終了直前に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... をそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... から電氣的に切り離すために立ち上がり、制御信号 C T L 1 がこれに続く 1 H の後半の終了直前に信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... をそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... から電氣的に切り離すために立ち上がる。

20

【 0 0 2 0 】

他方、極性反転を必要としない行の液晶画素 P X、すなわち画素ライン L 2 ~ L 4 の各々の選択期間 (= 1 H : 1 水平走査期間) では、図 3 に示すように、制御信号 C T L 0 が群駆動周期 G (= H / 2) に等しい 1 H の前半の開始直後に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... をそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... に電氣的に接続するために立ち下がり、この 1 H の前半の終了直前に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... をそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... から電氣的に切り離すために立ち上がる。続いて、制御信号 C T L 1 が群駆動周期 G に等しい 1 H の後半の開始直後に信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... をそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... に電氣的に接続するために立ち下がり、この 1 H の後半の終了直前に信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... をそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... から電氣的に切り離すために立ち上がる。

30

【 0 0 2 1 】

ここで、例えば信号線 X 1 , X 2 , X 3 , X 4 の電位に注目する。信号線 X 1 , X 4 が画素ライン L 1 の選択期間の前半において信号線 X 3 , X 2 と一緒に出力バッファ D 1 , D 2 にそれぞれ電氣的に接続されると、信号線 X 1 , X 3 の電位が例えば負極性から正極性に極性反転して出力バッファ D 1 から出力される画素電圧 V_s に対応して変化し、信号線 X 4 , X 2 の電位が例えば正極性から負極性に極性反転して出力バッファ D 2 から出力される画素電圧 V_s に対応して変化する。これらが画素ライン L 1 の選択期間の前半において完了すると、信号線 X 1 , X 4 が出力バッファ D 1 , D 2 から電氣的に切り離され、次の画素ライン L 2 の選択期間において再び出力バッファ D 1 , D 2 に電氣的に接続されるまでフローティング状態となる。信号線 X 3 , X 2 は画素ライン L 1 の選択期間の前半において出力バッファ D 1 , D 2 から電氣的に切り離されず、画素ライン L 1 の選択期間の後半において出力バッファ D 1 , D 2 からそれぞれ前半と同じ極性で出力される正極性の画素電圧 V_s および負極性の画素電圧 V_s に対応して変化する。これらが画素ライン L 1 の選択期間の後半において完了すると、信号線 X 3 , X 2 が出力バッファ D 1 , D 2 から電氣的に切り離される。

40

【 0 0 2 2 】

50

上述の制御によれば、信号線 X 1 , X 2 , X 3 , X 4 の電位が画素ライン L 1 の選択期間の前半において全て極性反転される。このため、信号線 X 1 , X 4 がフローティング状態にある画素ライン L 1 の選択期間の後半において信号線 X 2 , 3 の電位を極性反転する必要が無い。従って、信号線 X 2 から寄生容量 C_{sd-R}、電位保持状態の画素電極 P E、寄生容量 C_{sd-L}を介して信号線 X 1 に至る容量結合経路、並びに信号線 X 3 から寄生容量 C_{sd-L}、電位保持状態の画素電極 P E、寄生容量 C_{sd-R}を介して信号線 X 4 に至る容量結合経路が存在しても、信号線 X 2 , 3 の電位の極性反転に起因した信号線 X 1 , X 4 の著しい電位変動が発生しない。

【 0 0 2 3 】

図 4 は上述のマルチプレクサ 3 0 を用いて設定される複数の信号線 X の電位を示す。図 4 では、例えば R 1 + が第 1 列の赤画素 R 用である正極性の画素電圧 V_sを表し、R 2 - が第 2 列の赤画素 R 用である負極性の画素電圧 V_sを表し、G 2 + が第 2 列の緑画素 G 用である正極性の画素電圧 V_sを表し、G 3 - が第 3 列の緑画素 G 用である負極性の画素電圧 V_sを表し、B 3 + が第 3 列の青画素 B 用である正極性の画素電圧 V_sを表し、B 4 - が第 4 列の青画素 B 用である負極性の画素電圧 V_sを表し、B 1 + が第 1 列の青画素 B 用である正極性の画素電圧 V_sを表し、G 1 - が第 1 列の緑画素 G 用である負極性の画素電圧 V_sを表し、R 3 + が第 3 列の赤画素 R 用である正極性の画素電圧 V_sを表し、B 2 - が第 2 列の青画素 B 用である負極性の画素電圧 V_sを表し、G 4 + が第 4 列の緑画素 G 用である正極性の画素電圧 V_sを表し、R 4 - が第 4 列の赤画素 R 用である負極性の画素電圧 V_sを表す。他の画素に対する画素電圧 V_sもこれらと同様の規則で表記されている。

【 0 0 2 4 】

第 2 信号線群である信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位は第 2 セットの画素ライン L 1 の選択期間の前半で出力バッファ D 1 , E 2 , D 3 , D 4 , D 5 , D 6 , ... から出力される画素電圧 V_sに対応して図 4 において四角で囲った R 2 + , R 1 - , G 3 + , G 2 - , B 4 + , B 3 - , ... にそれぞれ設定される。これらは、第 1 セットの画素ライン L 4 の選択期間の後半で設定された G 1 - , B 1 + , B 2 - , R 3 + , R 4 - , G 4 + , ... に対して極性反転されている。これら信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位は第 2 セットの画素ライン L 1 の選択期間の後半でさらに出力バッファ D 1 , E 2 , D 3 , D 4 , D 5 , D 6 , ... から出力される画素電圧 V_sに対応して G 1 + , B 1 - , B 2 + , R 3 - , R 4 + , G 4 - , ... にそれぞれ設定される。

【 0 0 2 5 】

本実施形態によれば、信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位が第 2 セットの画素ライン L 1 の選択期間の後半において R 2 + , R 1 - , G 3 + , G 2 - , B 4 + , B 3 - , ... から G 1 + , B 1 - , B 2 + , R 3 - , R 4 + , G 4 - , ... に極性反転せずに変化する。ここで、信号線 X 2 に注目すると、信号線 X 2 の電位は R 2 + から G 1 + に変化するようになる。R 2 + と G 1 + とが仮に同じ値であるとすれば、実際の信号線 X 2 の電位は画素ライン L 1 の選択期間の後半で全く変化しない。これは、残りの信号線 X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位についても同様である。従って、赤画素 R , 緑画素 G , および青画素 G の全てを同一の輝度に設定するベタ表示であれば、各行の液晶画素を少なくとも 2 回に分けて駆動する場合に発生する横筋を防止できる。

【 0 0 2 6 】

但し、例えば黄色の単色ベタ表示であると、例えば信号線 X 3 の電位が第 2 セットの画素ライン L 1 の選択期間の後半において R 1 - に対応した中間階調値から B 1 - に対応した最小階調値に変化する。この変化は既にフローティング状態にあって容量結合された隣接信号線、具体的には信号線 X 4 あるいは X 5 に影響してこれらの電位を変動させることになる。

【 0 0 2 7 】

ちなみに、図 5 は上述のマルチプレクサ 3 0 を従来のように制御した場合に設定される複数の信号線 X の電位を示す。図 5 では、画素電圧 V_sが図 4 に示すものと同様の規則で表記されている。出力バッファ D 1 , E 2 , D 3 , D 4 , D 5 , D 6 , ... は第 2 セットの

10

20

30

40

50

画素ライン L 1 の選択期間の前半で第 2 信号線群、すなわち信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... に対して画素電圧 V_s を出力しない。このため、信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位は第 1 セットの画素ライン L 4 の選択期間の後半で設定された $G 1 -$, $B 1 +$, $B 2 -$, $R 3 +$, $R 4 -$, $G 4 +$, ... に維持される。第 2 セットの画素ライン L 1 の選択期間の後半になって、出力バッファ D 1 , E 2 , D 3 , D 4 , D 5 , D 6 , ... が信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... に対して画素電圧 V_s を出力すると、これら信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位は図 5 において矢印で示すように $G 1 -$, $B 1 +$, $B 2 -$, $R 3 +$, $R 4 -$, $G 4 +$, ... から $G 1 +$, $B 1 -$, $B 2 +$, $R 3 -$, $R 4 +$, $G 4 -$, ... に極性反転される。これら極性反転は第 1 信号線群、すなわち信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... がフローティング状態にある間に行われる。このため、赤画素 R , 緑画素 G , および青画素 G の全てを同一の輝度に設定するベタ表示であっても、各行の液晶画素を少なくとも 2 回に分けて駆動する場合に発生する横筋を防止できない。

【 0 0 2 8 】

以下、本発明の第 2 実施形態に係る液晶表示装置について添付図面を参照して説明する。

【 0 0 2 9 】

図 6 はこの液晶表示装置の回路構成を概略的に示す。この液晶表示装置は赤画素 R , 緑画素 G , および青画素 G の全てを同一の輝度に設定するようなベタ表示のような制約を横筋の防止において受けないようにしたものであり、以下に説明する事項を除いて第 1 実施形態の液晶表示装置と同様に構成される。図 6 では、第 1 実施形態と同様な部分を同一参照符号で表し、その詳細な説明を省略する。

【 0 0 3 0 】

図 6 に示す液晶表示装置において、マルチプレクサ 3 0 は、出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 ... の各々から 2 回に分けて出力される同色、同極性の 2 画素電圧を 6 列おきの同色、同極性画素列に対して設けられた 2 信号線に一对のアナログスイッチを介して分配する構成であり、先頭行の液晶画素 P X、すなわち画素ライン L 1 の選択期間の前半に全アナログスイッチを導通させ、この間に各出力バッファから出力される画素電圧により対応 2 信号線の電位を一緒に極性反転させるように制御される。具体的には、アナログスイッチ A S W 1 , A S W 4 , A S W 5 , A S W 8 , A S W 9 , A S W 1 2 , ... が第 1 信号線群である信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... と出力バッファ D 1 , D 4 , D 5 , D 2 , D 3 , D 6 ... との間に接続され、コントローラ 4 0 から供給される制御信号 C T L 0 により制御される。残りのアナログスイッチ A S W 2 , A S W 3 , A S W 6 , A S W 7 , A S W 1 0 , A S W 1 1 , ... は第 2 信号線群である信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... と出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... との間に接続され、コントローラ 4 0 から供給される制御信号 C T L 1 により制御される。例えば制御信号 C T L 0 が立ち下ると、アナログスイッチ A S W 1 , A S W 4 , A S W 5 , A S W 8 , A S W 9 , A S W 1 2 , ... が全て導通して、信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... を出力バッファ D 1 , D 4 , D 5 , D 2 , D 3 , D 6 ... に電氣的に接続する。他方、制御信号 C T L 1 が立ち下ると、アナログスイッチ A S W 2 , A S W 3 , A S W 6 , A S W 7 , A S W 1 0 , A S W 1 1 , ... が全て導通して、信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... を出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... に電氣的に接続する。

【 0 0 3 1 】

極性反転を必要とする先頭行の液晶画素 P X、すなわち画素ライン L 1 の選択期間 (= 1 H : 1 水平走査期間) では、図 3 に示すように、制御信号 C T L 0 , C T L 1 の両方が群駆動周期 G (= H / 2) に等しい 1 H の前半の開始直後に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... の全てをそれぞれ出力バッファ D 1 , D 4 , D 5 , D 2 , D 3 , D 6 ... に電氣的に接続し、信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... の全てをそれぞれ出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... に電氣的に接続するために立ち下

がり、制御信号 C T L 0 が 1 H の前半の終了直前に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... をそれぞれ出力バッファ D 1 , D 4 , D 5 , D 2 , D 3 , D 6 ... から電氣的に切り離すために立ち上がり、制御信号 C T L 1 がこれに続く 1 H の後半の終了直前に信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... をそれぞれ出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... から電氣的に切り離すために立ち上がる。

【 0 0 3 2 】

他方、極性反転を必要としない行の液晶画素 P X、すなわち画素ライン L 2 ~ L 4 の各々の選択期間 (= 1 H : 1 水平走査期間) では、制御信号 C T L 0 が群駆動周期 G (= H / 2) に等しい 1 H の前半の開始直後に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... をそれぞれ出力バッファ D 1 , D 4 , D 5 , D 2 , D 3 , D 6 ... に電氣的に接続するために立ち下がり、この 1 H の前半の終了直前に信号線 X 1 , X 4 , X 5 , X 8 , X 9 , X 1 2 ... をそれぞれ出力バッファ D 1 , D 4 , D 5 , D 2 , D 3 , D 6 ... から電氣的に切り離すために立ち上がる。続いて、制御信号 C T L 1 が群駆動周期 G に等しい 1 H の後半の開始直後に信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... をそれぞれ出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... に電氣的に接続するために立ち下がり、この 1 H の後半の終了直前に信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 ... をそれぞれ出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... から電氣的に切り離すために立ち上がる。

【 0 0 3 3 】

図 7 は上述のマルチプレクサ 3 0 を用いて設定される複数の信号線 X の電位を示す。図 7 では、例えば R 1 + が第 1 列の赤画素 R 用である正極性の画素電圧 V s を表し、G 3 - が第 3 列の緑画素 G 用である負極性の画素電圧 V s を表し、B 3 + が第 3 列の青画素 B 用である正極性の画素電圧 V s を表し、R 2 - が第 2 列の赤画素 R 用である負極性の画素電圧 V s を表し、G 2 + が第 2 列の緑画素 G 用である正極性の画素電圧 V s を表し、B 4 - が第 4 列の青画素 B 用である負極性の画素電圧 V s を表し、R 3 + が第 3 列の赤画素 R 用である正極性の画素電圧 V s を表し、G 1 - が第 1 列の緑画素 G 用である負極性の画素電圧 V s を表し、B 1 + が第 1 列の青画素 B 用である正極性の画素電圧 V s を表し、R 4 - が第 4 列の赤画素 R 用である負極性の画素電圧 V s を表し、G 4 + が第 4 列の緑画素 G 用である正極性の画素電圧 V s を表し、B 2 - が第 2 列の青画素 B 用である負極性の画素電圧 V s を表す。他の画素に対する画素電圧 V s もこれらと同様の規則で表記されている。

【 0 0 3 4 】

第 2 信号線群である信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位は第 2 セットの画素ライン L 1 の選択期間の前半で出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... から出力される画素電圧 V s に対応して図 7 において四角で囲った G 3 + , B 3 - , B 4 + , R 1 - , R 2 + , G 2 - , ... にそれぞれ設定される。これらは、第 1 セットの画素ライン L 4 の選択期間の後半で設定された G 1 - , B 1 + , B 2 - , R 3 + , R 4 - , G 4 + , ... に対して極性反転されている。これら信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位は第 2 セットの画素ライン L 1 の選択期間の後半でさらに出力バッファ D 2 , D 3 , D 6 , D 1 , D 4 , D 5 ... から出力される画素電圧 V s に対応して G 1 + , B 1 - , B 2 + , R 3 - , R 4 + , G 4 - , ... にそれぞれ設定される。

【 0 0 3 5 】

本実施形態では、信号線 X 2 , X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位が第 2 セットの画素ライン L 1 の選択期間の後半において G 3 + , B 3 - , B 4 + , R 1 - , R 2 + , G 2 - , ... から G 1 + , B 1 - , B 2 + , R 3 - , R 4 + , G 4 - , ... に極性反転せずに変化する。ここで、信号線 X 2 に注目すると、信号線 X 2 の電位は G 3 + から G 1 + に変化するようになる。G 3 + と G 1 + とは同一色の値であることから、実際の信号線 X 2 の電位は画素ライン L 1 の選択期間の後半で全く変化しないようにできる。これは、残りの信号線 X 3 , X 6 , X 7 , X 1 0 , X 1 1 , ... の電位についても同様である。すなわち、赤色、緑色、青色のような単色、さらには赤色、緑色および青色のいずれかを最小階調とした黄色、マゼンタ、シアンのパタ表示で、各行の液晶画素を少なくとも 2 回に分けて駆動する場合に発生する横筋を防止できる。

10

20

30

40

50

【 0 0 3 6 】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【 0 0 3 7 】

第2実施形態では、マルチプレクサ30が出力バッファD1, D2, D3, ...の各々から2回に分けて出力される2画素電圧Vsを2信号線Xに分配するように構成されたが、例えば図8に示すように出力バッファD1, D2, D3, D3, D4, D5, D6, ...から3回に分けて出力される同色、同極性の3画素電圧Vsを6列おきの同色、同極性の画素列R1, R3, R5、画素列G1, G3, G5、画素列B1, B3, B5、画素列R2, R4, R6、画素列G2, G4, G6、画素列B2, B4, B6に対してそれぞれ設けられた3信号線、すなわち信号線X1, X7, X13、信号線X2, X8, X14、信号線X3, X9, X15、信号線X4, X10, X16、信号線X5, X11, X17、画素列X6, X12, X18、...に3個1組のアナログスイッチを介して分配するように構成されてもよい。この場合、制御信号CTL0, CTL1, CTL2がコントローラ40からマルチプレクサ30に供給され、3個1組のアナログスイッチの全てが先頭行の液晶画素PX、すなわち画素ラインL1の選択期間のうちの最初の1/3期間に導通し、この間に出力バッファD1, D2, D3, D3, D4, D5, D6の各々から出力される画素電圧Vsにより対応3信号線を一緒に極性反転させるように制御される。

【 0 0 3 8 】

ちなみに、マルチプレクサ30は出力バッファD1, D2, D3, ...の各々から4回に分けて出力される4画素電圧Vsを4信号線Xに分配するような構成、あるいはこれらよりも多い回数に分けて出力される回数分の画素電圧Vsを回数分の信号線Xに分配するような構成に変更してもよい。

【 0 0 3 9 】

さらに、各実施形態では、複数の液晶画素PXが4行という所定画素行数毎に極性反転されたが、本発明は複数の液晶画素PXが2行、3行、5行、...のように2行以上の画素行数毎に極性反転させる場合にも適用できる。

【 0 0 4 0 】

また、本発明は例えばTN, OCB, MVA, IPSとして知られるような液晶表示パネルDPの表示モードに適用できる。特にOCBモードの液晶表示パネルDPにおいて、本発明は黒挿入駆動と併用できる。

【 図面の簡単な説明 】

【 0 0 4 1 】

【図1】本発明の第1実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図2】図1に示す液晶表示パネルの断面構造を概略的に示す。

【図3】図1に示すマルチプレクサの制御によって生じる4信号線の電位変化を示す波形図である。

【図4】図1に示すマルチプレクサを用いて設定される複数の信号線の電位を示す図である。

【図5】図1に示すマルチプレクサを従来のように制御した場合に設定される複数の信号線の電位を示す図である。

【図6】本発明の第2実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図7】図6に示すマルチプレクサを用いて設定される複数の信号線の電位を示す図である。

【図8】図6に示すマルチプレクサの変形例を説明するための図である。

【図9】従来のマルチプレクサの構成および制御方法を説明するための図である。

【図10】図9に示すマルチプレクサの制御によって生じる4信号線の電位変化を示す波形図である。

【図11】図10に示す電位変化に伴って生じる横筋を示す図である。

【 符号の説明 】

10

20

30

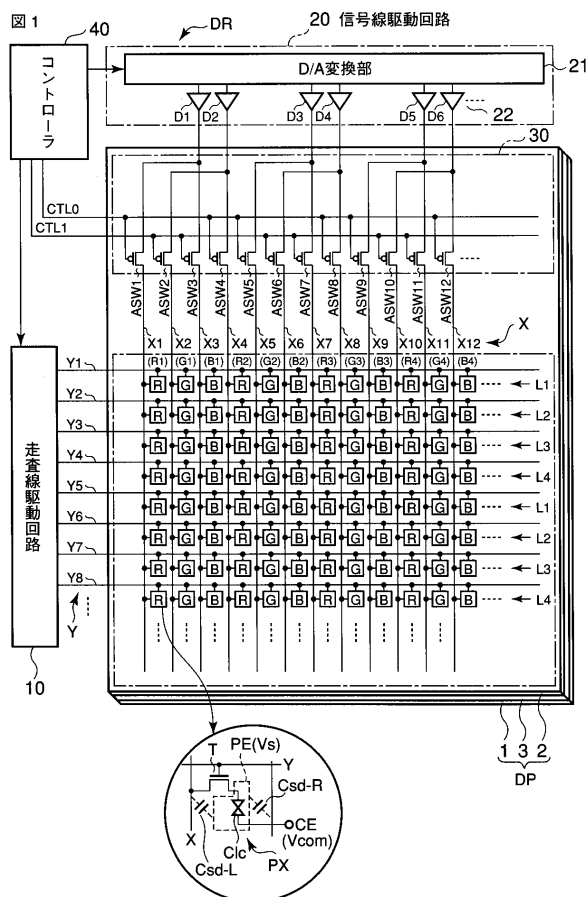
40

50

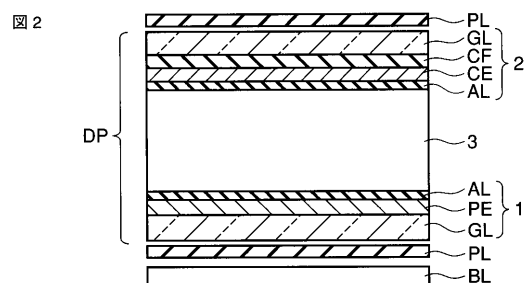
【 0 0 4 2 】

1 ... アレイ基板、2 ... 対向基板、3 ... 液晶層、10 ... 走査線ドライバ、20 ... 信号線ドライバ、D/A変換部、22 ... 出力ドライバ部、30 ... マルチプレクサ、40 ... コントローラ、ASW1 ~ ASW18 ... アナログスイッチ、D1 ~ D6 ... 出力バッファ、DP ... 液晶表示パネル、DR ... 駆動回路、PE ... 画素電極、CE ... 共通電極、C_{lc} ... 液晶容量、PX ... 液晶画素、R ... 赤画素、G ... 緑画素、B ... 青画素、T ... 画素スイッチング素子、Y ... 走査線、X ... 信号線。

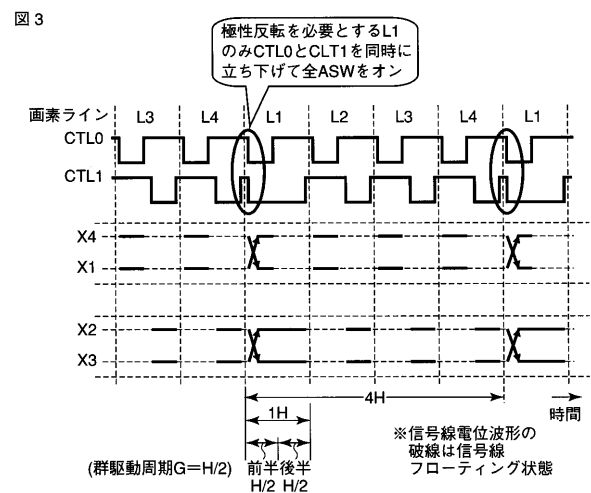
【 図 1 】



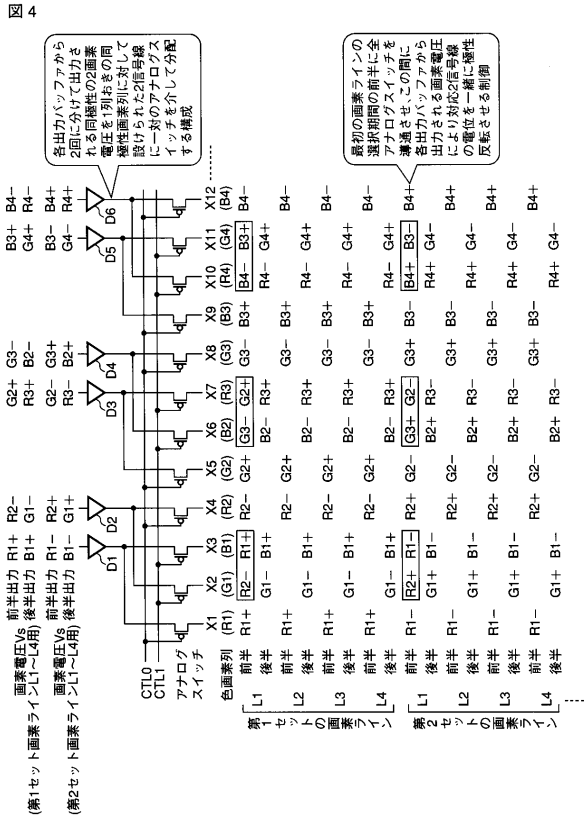
【 図 2 】



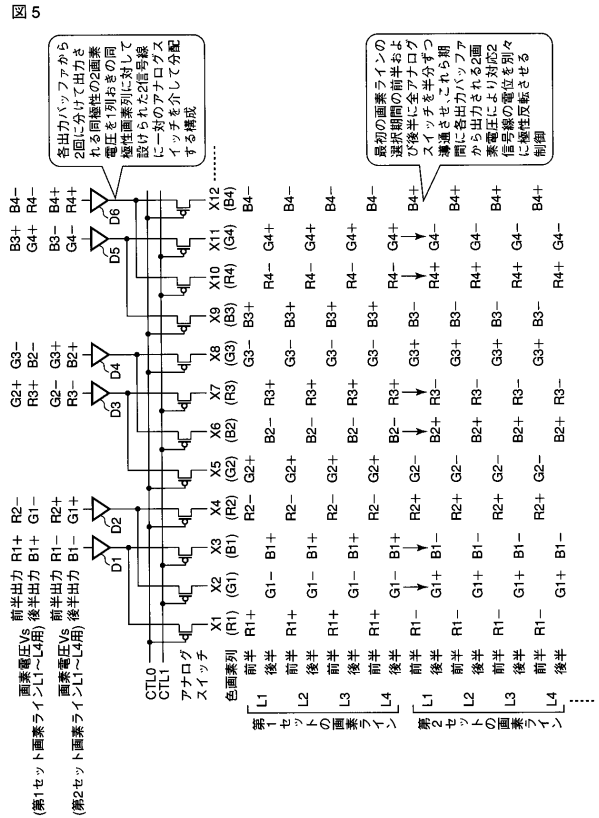
【 図 3 】



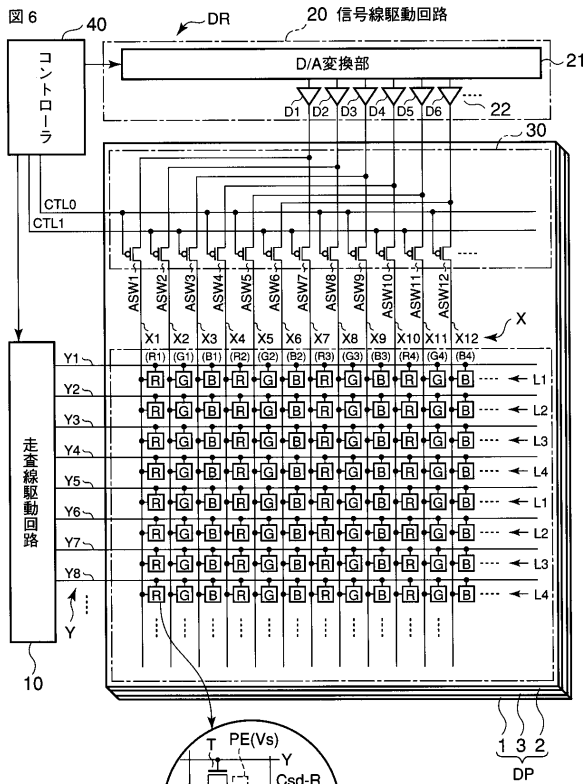
【図 4】



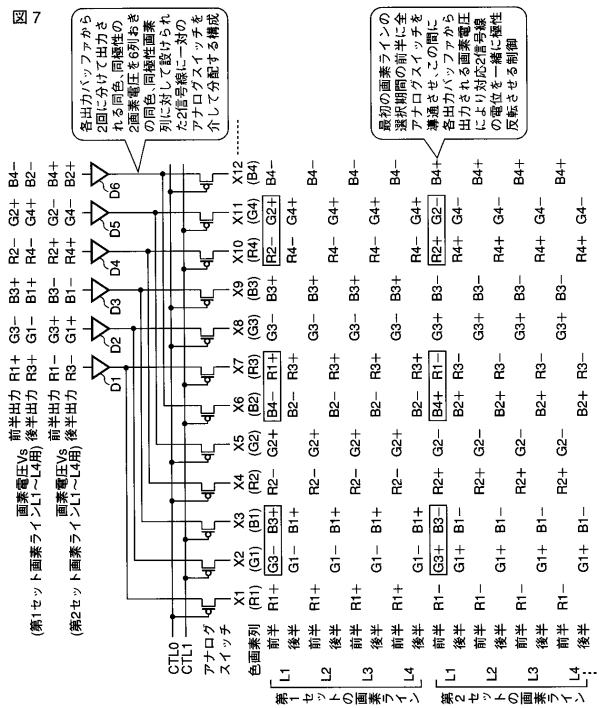
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 2 F 1/133 5 0 5	
	G 0 2 F 1/133 5 5 0	

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 田中 幸生
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 深海 徹夫
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NA32 NA34 NA63 NB22 NC12 NC16 NC23 NC24 NC34
ND05 ND15 ND60
5C006 AC21 AC27 AF43 AF51 AF53 AF71 BB16 BC02 BC03 BC11
BF14 BF24 BF34 EB04 FA22 FA42
5C080 AA10 BB05 DD05 DD23 DD28 EE28 FF11 JJ02 JJ03 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008102212A5	公开(公告)日	2008-11-13
申请号	JP2006282953	申请日	2006-10-17
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	田中幸生 深海徹夫		
发明人	田中 幸生 深海 徹夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/0297 G09G2310/08 G09G2320/0209 G09G2320/0233		
FI分类号	G09G3/36 G09G3/20.642.A G09G3/20.621.B G09G3/20.623.X G09G3/20.623.R G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA34 2H093/NA63 2H093/NB22 2H093/NC12 2H093/NC16 2H093/NC23 2H093/NC24 2H093/NC34 2H093/ND05 2H093/ND15 2H093/ND60 5C006/AC21 5C006/AC27 5C006/AF43 5C006/AF51 5C006/AF53 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BF14 5C006/BF24 5C006/BF34 5C006/EB04 5C006/FA22 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD23 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZC02 2H193/ZC20 2H193/ZD34 2H193/ZF36		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP2008102212A JP4498337B2		

摘要(译)

要解决的问题：提供一种液晶显示装置，当每行中的液晶像素被分割多次时，可以防止产生水平条纹。ŽSOLUTION：液晶显示装置包括多个液晶像素PX，多个信号线组，每个信号线组包括规定数量的多个信号线X，以及驱动电路DR，其选择多个液晶像素PX。行单元并通过多条信号线X驱动所选行的液晶像素PX。驱动电路DR包括：信号线驱动器20，其输出分配给包括在其中的规定数量的信号线的规定数量的像素电压。组中的每个信号线组在每行中的液晶像素PX的选择时段中的驱动时段;多路复用器30，其将在组驱动时段中输出的规定数量的像素电压从信号线驱动器20分配到多个信号线组中的每一个;控制器40控制多路复用器30，使得所有多个信号线组在引线行中的液晶像素PX的选择周期中电连接到信号线驱动器20，在反转极性时需要极性反转在每个规定数量的像素行中信号线驱动器20的输出电压，然后在组驱动周期中，每个组顺序地将多个信号组与信号线驱动器20电隔离。Ž