

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-40499

(P2008-40499A)

(43) 公開日 平成20年2月21日(2008.2.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 612J	5C080
	G09G 3/20 612D	
	G09G 3/20 622G	
審査請求 未請求 請求項の数 13 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2007-200833 (P2007-200833)	(71) 出願人	390019839
(22) 出願日	平成19年8月1日(2007.8.1)		三星電子株式会社
(31) 優先権主張番号	10-2006-0072611		Samsung Electronics Co., Ltd.
(32) 優先日	平成18年8月1日(2006.8.1)		大韓民国京畿道水原市靈通区梅灘洞416
(33) 優先権主張国	韓国 (KR)	(74) 代理人	110000051
			特許業務法人共生国際特許事務所
		(72) 発明者	禹 斗 馨
			大韓民国 京畿道 安養市 東安区 虎溪洞 大林アパート 119棟 1504号
		(72) 発明者	朴 基 燦
			大韓民国 京畿道 安養市 東安区 坪安洞 草原ラッキーアパート 506棟 1501号
		最終頁に続く	

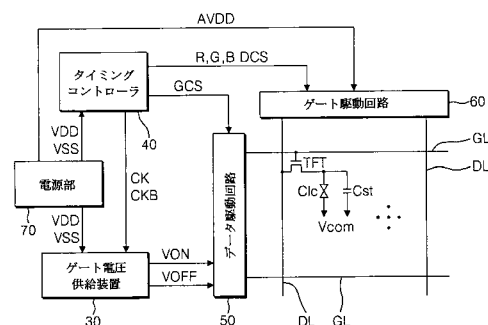
(54) 【発明の名称】 ゲートオン電圧発生回路及びゲートオフ電圧発生回路並びにそれらを有する液晶表示装置

(57) 【要約】

【課題】液晶パネルにポリシリコン薄膜トランジスタを用いて小さい面積にゲートオン、ゲートオフ電圧発生回路を集積して高効率及び高収率の液晶表示装置を提供する。

【解決手段】n型薄膜トランジスタとp型薄膜トランジスタを組み合わせ、電源部から供給される第1基準電圧とタイミングコントローラから供給される第1制御信号を通じて昇圧されたゲートオン電圧を発生するゲートオン電圧発生回路と、電源部から供給される第2基準電圧をタイミングコントローラから供給される第1制御信号を通じて降圧されたゲートオフ電圧を発生するゲートオフ電圧発生回路をそれぞれ具備し、これらが液晶パネル上に集積された液晶表示装置を提供する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 制御信号及び第 1 基準電圧を充電し、前記第 1 制御信号に従って第 1 チャージング電圧を第 1 出力端に供給する第 1 キャパシタと、

第 2 制御信号及び前記第 1 基準電圧を充電し、前記第 2 制御信号に従って第 2 チャージング電圧を出力する第 2 キャパシタと、

前記第 1 キャパシタと前記第 1 出力端との間に形成され、前記第 1 チャージング電圧を選択的に前記第 1 出力端に出力させる第 1 スイッチング素子と、

前記第 1 スイッチング素子と排他的にターンオン及びターンオフされ、前記第 2 チャージング電圧によってターンオンされ、第 1 キャパシタに前記第 1 基準電圧を供給する第 2 スイッチング素子と、

前記第 1 チャージング電圧によってターンオンされ、前記第 1 基準電圧を前記第 2 キャパシタに供給すると同時に、前記第 1 基準電圧を前記第 1 及び第 2 スイッチング素子に供給して前記第 1 スイッチング素子をターンオンさせ、これと同時に前記第 2 スイッチング素子をターンオフさせる第 3 スイッチング素子とを有することを特徴とするゲートオン電圧発生回路。

10

【請求項 2】

前記第 1 スイッチング素子は、p 型トランジスタで形成されることを特徴とする請求項 1 に記載のゲートオン電圧発生回路。

【請求項 3】

前記第 2 及び第 3 スイッチング素子は、n 型トランジスタで形成されることを特徴とする請求項 1 に記載のゲートオン電圧発生回路。

20

【請求項 4】

前記第 2 スイッチング素子は、前記第 1 チャージング電圧が出力される間、前記第 1 基準電圧がゲートに入力されて常にターンオフされ、前記第 1 チャージング電圧が前記第 2 スイッチング素子に逆供給されることを防止することを特徴とする請求項 1 に記載のゲートオン電圧発生回路。

【請求項 5】

前記第 1 チャージング電圧は、前記第 1 基準電圧が昇圧され出力されることを特徴とする請求項 1 に記載のゲートオン電圧発生回路。

30

【請求項 6】

第 1 制御信号及び第 2 基準電圧を充電し、前記第 1 制御信号に従って第 3 チャージング電圧を第 2 出力端に供給する第 3 キャパシタと、

第 2 制御信号及び前記第 2 基準電圧を充電し、第 2 制御信号に従って第 4 チャージング電圧を出力する第 4 キャパシタと、

前記第 3 キャパシタと前記第 2 出力端との間に形成され、前記第 3 チャージング電圧を選択的に前記第 2 出力端に出力させる第 4 スイッチング素子と、

前記第 4 スイッチング素子と排他的にターンオン及びターンオフされ、前記第 4 チャージング電圧によってターンオンされ、前記第 3 キャパシタに前記第 2 基準電圧を供給する第 5 スイッチング素子と、

前記第 3 チャージング電圧によってターンオンされ、前記第 2 基準電圧を前記第 4 キャパシタに供給すると同時に、前記第 2 基準電圧を前記第 4 及び第 5 スイッチング素子に供給して前記第 4 スイッチング素子をターンオンさせ、これと同時に前記第 5 スイッチング素子をターンオフさせる第 6 スイッチング素子とを有することを特徴とするゲートオフ電圧発生回路。

40

【請求項 7】

前記第 4 スイッチング素子は、n 型トランジスタで形成されることを特徴とする請求項 6 に記載のゲートオフ電圧発生回路。

【請求項 8】

前記第 5 及び第 6 スイッチング素子は、p 型トランジスタで形成されることを特徴とす

50

る請求項 6 に記載のゲートオフ電圧発生回路。

【請求項 9】

前記第 5 スイッチング素子は、前記第 3 チャージング電圧が出力される間、前記第 2 基準電圧がゲートに入力されて常にターンオフされ、前記第 3 チャージング電圧が前記第 5 スイッチング素子に逆供給されることを防止することを特徴とする請求項 6 に記載のゲートオフ電圧発生回路。

【請求項 10】

前記第 3 チャージング電圧は、前記第 2 基準電圧以下に降圧されて出力されることを特徴とする請求項 6 に記載のゲートオフ電圧発生回路。

【請求項 11】

10

請求項 1 乃至 5 のいずれか一項に記載のゲートオン電圧発生回路を有し、
画像を表示する液晶パネルと、
前記液晶パネルのゲートラインを駆動させ前記液晶パネルに集積して形成されるゲート駆動回路と、

前記液晶パネルのデータラインを駆動させるデータ駆動回路と、

前記ゲート駆動回路及びデータ駆動回路に制御信号を供給し、前記データ駆動回路に画像信号を供給するタイミングコントローラと、

前記データ駆動回路、前記タイミングコントローラ、及び前記ゲートオン電圧発生回路に第 1 及び第 2 基準電圧を供給する電源部とをさらに有し、

前記ゲートオン電圧発生回路は、前記液晶パネルに集積して形成されることを特徴とする液晶表示装置。

20

【請求項 12】

請求項 6 乃至 10 のいずれか一項に記載のゲートオフ電圧発生回路を有し、
画像を表示する液晶パネルと、
前記液晶パネルのゲートラインを駆動させ前記液晶パネルに集積して形成されるゲート駆動回路と、

前記液晶パネルのデータラインを駆動させるデータ駆動回路と、

前記ゲート駆動回路及びデータ駆動回路に制御信号を供給し、前記データ駆動回路に画像信号を供給するタイミングコントローラと、

前記データ駆動回路、前記タイミングコントローラ、及び前記ゲートオフ電圧発生回路に第 1 及び第 2 基準電圧を供給する電源部とをさらに有し、

前記ゲートオフ電圧発生回路は、前記液晶パネルに集積して形成されることを特徴とする液晶表示装置。

30

【請求項 13】

請求項 1 乃至 5 のいずれか一項に記載のゲートオン電圧発生回路及び請求項 6 乃至 10 のいずれか一項に記載のゲートオフ電圧発生回路を有し、

画像を表示する液晶パネルと、

前記液晶パネルのゲートラインを駆動させ前記液晶パネルに集積して形成されるゲート駆動回路と、

前記液晶パネルのデータラインを駆動させるデータ駆動回路と、

40

前記ゲート駆動回路及びデータ駆動回路に制御信号を供給し、前記データ駆動回路に画像信号を供給するタイミングコントローラと、

前記データ駆動回路、前記タイミングコントローラ、前記ゲートオン電圧発生回路及び前記ゲートオフ電圧発生回路に第 1 及び第 2 基準電圧を供給する電源部とをさらに有し、

前記ゲートオン電圧発生回路及びゲートオフ電圧発生回路は、前記液晶パネルに集積して形成されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明はゲートオン電圧発生回路及びゲートオフ電圧発生回路並びにそれらを有する液晶表示装置に関し、特に、液晶パネルに薄膜トランジスタを用いて小さい面積に集積して形成されたゲートオン電圧発生回路及びゲートオフ電圧発生回路並びにそれを有する液晶表示装置に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は画素マトリックスを通じて画像を表示する液晶パネルと、液晶パネルを駆動させるパネル駆動部を具備する。そして、液晶表示装置は液晶パネルが非発光素子であるので液晶パネルの後面に光を供給するバックライトユニットを具備する。

液晶パネルは画像信号によってそれぞれの画素部分の液晶配列状態が可変してバックライトユニットから供給された光の透過率を調節することで画像を表示する。このような液晶表示装置は移動通信端末機、携帯用コンピュータ、液晶テレビなどのような小型表示装置から大型表示装置まで幅広く使用されている。

【0003】

液晶パネルを駆動させるパネル駆動部は、ゲートラインを駆動させるゲート駆動部とデータラインを駆動させるデータ駆動部を含み、ゲート駆動部及びデータ駆動部に制御信号を供給しデータ駆動部に画像信号を供給するタイミングコントローラと、ゲート駆動部及びデータ駆動部に電源を供給する電源部とを含む。

【0004】

ゲート駆動部は液晶パネルのゲートラインにゲートオン電圧及びゲートオフ電圧を順次に供給する。そして、データ駆動部はタイミングコントローラから供給された画像信号を該当画素にゲート駆動部からゲートオン信号が供給されるとき該当画素に供給して画像を表示するようにする。

【0005】

電源部は、ゲート駆動部に対しゲートオン電圧及びゲートオフ電圧を生成して供給し、データ駆動部にアナログ電圧を生成して供給する。このような電源部は別途の回路で形成されて印刷回路基板などの回路基板上に実装される。

【0006】

この際、電源部は高電圧の電源を発生しなければならないので電源部に形成される回路が複雑となり、これを形成するための工程が難しくなり、結果として製造コストが上昇するという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0007】

そこで、本発明は上記従来の液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、液晶パネルにポリシリコン薄膜トランジスタを用いて小さい面積にゲートオン電圧発生回路及びゲートオフ電圧発生回路を集積して高効率及び高収率の液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

上記目的を達成するためになされた本発明によるゲートオン電圧発生回路は、第1制御信号及び第1基準電圧を充電し、前記第1制御信号に従って第1チャージング電圧を第1出力端に供給する第1キャパシタと、第2制御信号及び前記第1基準電圧を充電し、前記第2制御信号に従って第2チャージング電圧を出力する第2キャパシタと、前記第1キャパシタと前記第1出力端との間に形成され、前記第1チャージング電圧を選択的に前記第1出力端に出力させる第1スイッチング素子と、前記第1スイッチング素子と排他的にターンオン及びターンオフされ、前記第2チャージング電圧によってターンオンされ、第1キャパシタに前記第1基準電圧を供給する第2スイッチング素子と、前記第1チャージング電圧によってターンオンされ、前記第1基準電圧を前記第2キャパシタに供給すると同時に、前記第1基準電圧を前記第1及び第2スイッチング素子に供給して前記第1スイッ

10

20

30

40

50

チング素子をターンオンさせ、これと同時に前記第 2 スイッチング素子をターンオフさせる第 3 スイッチング素子とを有することを特徴とする。

【 0 0 0 9 】

ここで、前記第 1 スイッチング素子は、p 型トランジスタで形成されることが好ましい。

前記第 2 及び第 3 スイッチング素子は、n 型トランジスタで形成されることが好ましい。

前記第 2 スイッチング素子は、前記第 1 チャージング電圧が出力される間、前記第 1 基準電圧がゲートに入力されて常にターンオフされ、前記第 1 チャージング電圧が前記第 2 スイッチング素子に逆供給されることを防止することが好ましい。

10

前記第 1 チャージング電圧は、前記第 1 基準電圧が昇圧され出力されることが好ましい。

【 0 0 1 0 】

上記目的を達成するためになされた本発明によるゲートオフ電圧発生回路は、第 1 制御信号及び第 2 基準電圧を充電し、前記第 1 制御信号に従って第 3 チャージング電圧を第 2 出力端に供給する第 3 キャパシタと、第 2 制御信号及び前記第 2 基準電圧を充電し、第 2 制御信号に従って第 4 チャージング電圧を出力する第 4 キャパシタと、前記第 3 キャパシタと前記第 2 出力端との間に形成され、前記第 3 チャージング電圧を選択的に前記第 2 出力端に出力させる第 4 スイッチング素子と、前記第 4 スイッチング素子と排他的にターンオン及びターンオフされ、前記第 4 チャージング電圧によってターンオンされ、前記第 3

20

【 0 0 1 1 】

ここで、前記前記第 4 スイッチング素子は、n 型トランジスタで形成されることが好ましい。

前記第 5 及び第 6 スイッチング素子は、p 型トランジスタで形成されることが好ましい。

30

前記第 5 スイッチング素子は、前記第 3 チャージング電圧が出力される間、前記第 2 基準電圧がゲートに入力されて常にターンオフされ、前記第 3 チャージング電圧が前記第 5 スイッチング素子に逆供給されることを防止することが好ましい。

前記第 3 チャージング電圧は、前記第 2 基準電圧以下に降圧されて出力されることが好ましい。

【 0 0 1 2 】

上記目的を達成するためになされた本発明による液晶表示装置は、上述のゲートオン電圧発生回路を有し、画像を表示する液晶パネルと、前記液晶パネルのゲートラインを駆動させ前記液晶パネルに集積して形成されるゲート駆動回路と、前記液晶パネルのデータラインを駆動させるデータ駆動回路と、前記ゲート駆動回路及びデータ駆動回路に制御信号を供給し、前記データ駆動回路に画像信号を供給するタイミングコントローラと、前記データ駆動回路、前記タイミングコントローラ、及び前記ゲートオン電圧発生回路に第 1 及び第 2 基準電圧を供給する電源部とをさらに有し、前記ゲートオン電圧発生回路は、前記液晶パネルに集積して形成されることを特徴とする。

40

【 0 0 1 3 】

また、上記目的を達成するためになされた本発明による液晶表示装置は、上述のゲートオフ電圧発生回路を有し、画像を表示する液晶パネルと、前記液晶パネルのゲートラインを駆動させ前記液晶パネルに集積して形成されるゲート駆動回路と、前記液晶パネルのデータラインを駆動させるデータ駆動回路と、前記ゲート駆動回路及びデータ駆動回路に制御信号を供給し、前記データ駆動回路に画像信号を供給するタイミングコントローラと、

50

前記データ駆動回路、前記タイミングコントローラ、及び前記ゲートオフ電圧発生回路に第１及び第２基準電圧を供給する電源部とをさらに有し、前記ゲートオフ電圧発生回路は、前記液晶パネルに集積して形成されることを特徴とする。

【００１４】

さらにまた、上記目的を達成するためになされた本発明による液晶表示装置は、上述のゲートオン電圧発生回路及びゲートオフ電圧発生回路とを有し、画像を表示する液晶パネルと、前記液晶パネルのゲートラインを駆動させ前記液晶パネルに集積して形成されるゲート駆動回路と、前記液晶パネルのデータラインを駆動させるデータ駆動回路と、前記ゲート駆動回路及びデータ駆動回路に制御信号を供給し、前記データ駆動回路に画像信号を供給するタイミングコントローラと、前記データ駆動回路、前記タイミングコントローラ、前記ゲートオン電圧発生回路及び前記ゲートオフ電圧発生回路に第１及び第２基準電圧を供給する電源部とをさらに有し、前記ゲートオン電圧発生回路及びゲートオフ電圧発生回路は、前記液晶パネルに集積して形成されることを特徴とする

10

【発明の効果】

【００１５】

本発明に係るゲートオン電圧発生回路及びゲートオフ電圧発生回路並びにそれらを有する液晶表示装置によれば、ゲートオン電圧及びゲートオフ電圧それぞれを出力するゲートオン電圧発生回路及びゲートオフ電圧発生回路を最小面積に最小数量のポリシリコン薄膜トランジスタを用いて薄膜トランジスタ基板上に集積することができるという効果がある。従って、電源部の負荷を減少させ、従来電源部の製造の際発生される費用を減少させることができるという効果がある。

20

【発明を実施するための最良の形態】

【００１６】

次に、本発明に係るゲートオン電圧発生回路及びゲートオフ電圧発生回路並びにそれらを有する液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

【００１７】

図１は本発明の実施形態による液晶表示装置を概略的に示すブロック図である。

【００１８】

図１を参照すると、本発明による液晶表示装置は画像を表示する液晶パネル、液晶パネルのゲートラインＧＬ及びデータラインＤＬを駆動させるゲート駆動回路５０及びデータ駆動回路６０と、液晶パネルに集積されてゲート駆動回路５０、ゲートオン電圧ＶＯＮ及びゲートオフ電圧ＶＯＦＦを生成して供給するゲート電圧供給装置３０と、ゲート駆動回路５０とデータ駆動回路６０それぞれに制御信号を供給し、データ駆動回路６０に画像信号を供給し、ゲート電圧供給装置３０にクロック信号（第２制御信号）ＣＫ及びクロック信号が反転された反転クロック信号（第１制御信号）ＣＫＢを供給するタイミングコントローラ４０と、データ駆動回路６０及びタイミングコントローラ４０を駆動させる駆動信号を生成して供給し、ゲート電圧供給装置３０に第１及び第２基準電圧ＶＤＤ、ＶＳＳを供給する電源部７０とを具備する。

30

【００１９】

具体的には、液晶パネルは、（例えば、ポリシリコン）薄膜トランジスタアレイが形成された薄膜トランジスタ基板、薄膜トランジスタ基板と向き合いカラーフィルタアレイが形成されたカラーフィルタ基板、及び薄膜トランジスタ基板とカラーフィルタ基板との間に介在する液晶層を具備する。

40

【００２０】

カラーフィルタ基板は基板上に光漏れ防止のためのブラックマトリックス、色表現のためのカラーフィルタアレイ、及び液晶層に共通電圧を印加するための共通電極を含む。

液晶層は、データ信号が供給された画素電極と基準電圧である共通電圧が供給された共通電極との間の電圧差で駆動する。これにより、誘電異方性を有する液晶がその電圧差によってツイストして光源から入射された光の透過率を可変させるようになる。

50

【 0 0 2 1 】

薄膜トランジスタ基板は、ゲートライン G L 及びデータライン D L と、ゲートライン G L 及びデータライン D L が交差して定義する画素領域と、それぞれの画素領域にゲートライン G L とデータライン D L に接続された薄膜トランジスタ T F T と、薄膜トランジスタ T F T に接続された画素電極とを含む。

【 0 0 2 2 】

ゲート駆動回路 5 0 は、ゲートライン G L にゲートオン電圧 V O N 及びゲートオフ電圧 V O F F を順次に供給する。このようなゲート駆動回路 5 0 は薄膜トランジスタ基板上に集積して形成される。即ち、ゲート駆動回路 5 0 はポリシリコン薄膜トランジスタ T F T を用いて薄膜トランジスタ基板の表示領域に形成された薄膜トランジスタ T F T と同一の工程で複数の薄膜トランジスタが直並列で接続されたシフトレジスタの形態で集積して形成される。このようなゲート駆動回路 5 0 はタイミングコントローラ 4 0 から供給されるゲート制御信号 G C S に応答してゲート電圧供給装置 3 0 から供給されるゲートオン電圧 V O N 及びゲートオフ電圧 V O F F をゲートラインに順次に供給する。

10

【 0 0 2 3 】

データ駆動回路 6 0 は、タイミングコントローラ 4 0 からの制御信号に応答してデジタルデータをアナログデータ信号に変換して液晶パネルのゲートライン G L にゲートオン電圧 V O N が供給されるとき毎にアナログデータ信号をデータライン D L に供給する。

データ駆動回路 6 0 は、シフトレジスタ、ラッチ部、デジタル - アナログ変換部、出力バッファ部を含む。

20

【 0 0 2 4 】

シフトレジスタは、タイミングコントローラ 4 0 からのデータスタートパルス D _ S T V をデータシフトクロック D _ C P V に従って順次にシフトさせサンプリング制御信号を発生する。ラッチ部はサンプリング制御信号に応答してタイミングコントローラ 4 0 から入力されるデータを順次にラッチして、一つの水平ライン分のデータがラッチされた時、ラッチされたデータをデジタル - アナログ変換部に同時に出力する。

デジタル - アナログ変換部は、複数のガンマ電圧のうちラッチ部からのデータに対応するガンマ電圧を選択して、選択されたガンマ電圧をアナログデータ信号として出力バッファ部に出力する。出力バッファ部は、デジタル - アナログ変換部からのアナログデータ信号を緩衝 (b u f f e r) してデータライン D L に供給する。このようなデータ駆動回路 6 0 は別途のチップから形成されフィルムに実装された形態で薄膜トランジスタに接続されるか、薄膜トランジスタ基板上に直接実装されたりもする。

30

【 0 0 2 5 】

タイミングコントローラ 4 0 は、外部から入力された R、G、B の画素データ信号を配列、準備してデータ駆動回路 6 0 に供給する。そして、タイミングコントローラ 4 0 は、外部から画像データ信号と共に入力された複数の同期信号、例えば、ドットクロック D C L K、データイネーブル信号 D E、垂直同期信号 V S Y C、水平同期信号 H S Y C などを用いてゲート駆動回路 5 0 とデータ駆動回路 6 0 の駆動タイミングを制御する複数の制御信号を生成して供給する。

【 0 0 2 6 】

例えば、タイミングコントローラ 4 0 は、ゲート駆動回路 5 0 に供給されるゲートスタートパルス S T V、ゲートシフトクロック C P V、出力制御信号 O E などを含む制御信号を生成してゲート駆動回路 5 0 に供給する。また、タイミングコントローラ 4 0 は、データスタートパルス D _ S T V、データシフトクロック D _ C P V、極性制御信号 P O L などを含むデータ制御信号を生成してデータ駆動回路 6 0 に供給する。また、タイミングコントローラ 4 0 は、ゲートオン電圧 V O N 及びゲートオフ電圧 V O F F を発生させてゲート駆動回路 5 0 に供給するゲート電圧供給装置 3 0 にクロック信号 C K 及びクロック信号 C K が反転された反転クロック信号 C K B を生成して供給する。ここで、クロック信号 C K 及び反転クロック信号 C K B は電源部 7 0 から供給される第 1 及び第 2 基準電圧 V D D、V S S にて交互に出力される。

40

50

【 0 0 2 7 】

電源部 7 0 は、ゲート電圧供給装置 3 0 に第 1 及び第 2 基準電圧 V_{DD} 、 V_{SS} を供給し、データ駆動回路 6 0 にアナログ電圧 A_{VDD} を供給する。また、電源部 7 0 は、タイミングコントローラ 4 0 を駆動させる基準電圧を生成して供給する。この際、電源部 7 0 は 5 V の直流電圧と 0 V の直流電圧をそれぞれを生成して、ゲート電圧供給装置 3 0 に第 1 及び第 2 基準電圧 V_{DD} 、 V_{SS} として供給する。例えば、5 V の第 1 基準電圧を生成し、0 V の第 2 基準電圧 V_{SS} を生成してタイミングコントローラ 4 0 及びゲート電圧供給装置 3 0 に供給する。

【 0 0 2 8 】

ゲート電圧供給装置 3 0 は、入力された第 1 及び第 2 基準電圧 V_{DD} 、 V_{SS} を用いてゲートライン GL に供給されるゲートオン電圧 V_{ON} とゲートオフ電圧 V_{OFF} をそれぞれを発生させるゲートオン電圧発生回路 1 0 とゲートオフ電圧発生回路 2 0 を具備する。

ゲート電圧供給装置 3 0 は薄膜トランジスタ基板の非表示領域にゲート駆動回路 5 0 と共に集積して形成される。

【 0 0 2 9 】

図 2 は、図 1 のゲート電圧供給装置のゲートオン電圧発生回路を示す回路図であり、図 3 は、図 2 に示すゲートオン電圧発生回路のノード - A 及びノード - B での出力波形を示した波形図である。

【 0 0 3 0 】

図 2 及び図 3 を参照すると、反転クロック信号（第 1 制御信号） CKB 及び第 1 基準電圧 V_{DD} を充電して反転クロック信号 CKB に従って第 1 チャージング電圧を第 1 出力端 V_{OUT1} に供給する第 1 キャパシタ $C1$ と、クロック信号（第 2 制御信号） CK 及び第 1 基準電圧 V_{DD} を充電してクロック信号 CK に従って第 2 チャージング電圧を出力する第 2 キャパシタ $C2$ と、第 1 キャパシタ $C1$ と第 1 出力端 V_{OUT1} との間に形成され第 1 基準電圧 V_{DD} 及び第 2 チャージング電圧に従って第 1 チャージング電圧を選択的に第 1 出力端 V_{OUT1} に出力させる第 1 スイッチング素子 $TR1$ と、第 1 スイッチング素子 $TR1$ と排他的にターンオン及びターンオフされ第 2 チャージング電圧によってターンオンされ第 1 キャパシタ $C1$ に第 1 基準電圧 V_{DD} を供給する第 2 スイッチング素子 $TR2$ と、第 2 チャージング電圧によってターンオンされ第 1 基準電圧 V_{DD} を第 2 キャパシタ $C2$ に供給すると同時に、第 1 基準電圧 V_{DD} を第 1 及び第 2 スイッチング素子 $TR1$ 、 $TR2$ に供給し第 1 スイッチング素子 $TR1$ をターンオンさせこれと同時に第 2 スイッチング素子 $TR2$ をターンオフさせる第 3 スイッチング素子 $TR3$ を具備する。ここで、第 1 ~ 第 3 スイッチング素子 $TR1 \sim 3$ は薄膜トランジスタで形成される。

【 0 0 3 1 】

具体的に、第 1 キャパシタ $C1$ は、タイミングコントローラ 4 0 から供給された反転クロック信号（第 1 制御信号） CKB 及び電源部 7 0 から供給された第 1 基準電圧 V_{DD} を充電し、充電された反転クロック信号 CKB のハイレベル電圧と第 1 基準電圧 V_{DD} とが合算された電圧、即ち、第 1 チャージング電圧を放電させ第 1 トランジスタ $TR1$ のソース端子（入力端子）に供給する。第 1 チャージング電圧は、第 1 基準電圧 V_{DD} と反転クロック信号 CKB のハイレベル電圧が加えられ第 1 基準電圧の 2 倍の値（ $2V_{DD}$ ）を有する。このような第 1 キャパシタの一端はタイミングコントローラ 4 0 の一端と接続され、他端は第 1 トランジスタ $TR1$ のソース端子と、第 3 トランジスタ $TR3$ のゲート端子（制御端子）及び第 2 トランジスタ $TR2$ のドレイン端子（出力端子）と共通で接続される。

【 0 0 3 2 】

第 2 キャパシタ $C2$ は、タイミングコントローラ 4 0 から供給されたクロック信号（第 2 制御信号） CK 及び電源部 7 0 から供給された第 1 基準電圧 V_{DD} によって充電されクロック信号 CK のハイレベル電圧と第 1 基準電圧 V_{DD} が合算された電圧、即ち、第 2 チャージング電圧を供給する。第 2 チャージング電圧は第 1 チャージング電圧と同様に第 1 基準電圧の 2 倍の値（ $2V_{DD}$ ）を有する。このような第 2 キャパシタの一端はタイミン

10

20

30

40

50

グコントローラ的一端と接続され、他端は第1トランジスタTR1のゲート端子と、第2トランジスタTR2のゲート端子、及び第3トランジスタTR3のドレイン端子と共通で接続される。

【0033】

第1トランジスタTR1は、第1キャパシタC1から出力される第1チャージング電圧、即ち、ゲートオン電圧VONの出力タイミングを制御する。このために、第1トランジスタTR1は第2トランジスタTR2と共通で接続されたゲート端子を具備し、ソース端子は第1キャパシタC1と接続されドレイン端子は第1出力端VOUT1と接続される。ここで、第1トランジスタTR1はp型不純物がドーピングされたp型薄膜トランジスタで形成される。

10

【0034】

第2トランジスタTR2は、第2キャパシタC2から供給される第2チャージング電圧によってターンオンされ第1基準電圧VDDを第1キャパシタC1に供給する。そして、第2トランジスタTR2は第3トランジスタTR3がターンオンされて供給される第1基準電圧VDDによってターンオフされ、第1トランジスタTR1で第1チャージング電圧を第1出力端VOUT1に供給するとき、第1チャージング電圧が第1基準電圧VDDを供給する電源部70へ逆供給されることを防止する。

そのために、第2トランジスタTR2のゲート端子は第2キャパシタC2の一側及び第3トランジスタTR3のドレイン端子と接続される。そして、第2トランジスタTR2のソース端子は第1基準電圧VDDを供給する電源部70と接続され、ドレイン端子は第1キャパシタC1の一側に接続される。このような第2トランジスタTR2はn型不純物がドーピングされたn型薄膜トランジスタで形成される。

20

【0035】

第3トランジスタTR3は、第1チャージング電圧に応答してターンオンされ、第3トランジスタTR3がターンオンされると第1基準電圧VDDを第1及び第2トランジスタTR1、TR2に同時に供給する。従って、第1トランジスタTR1はターンオンされ第1チャージング電圧を第1出力端VOUT1に供給し、第2トランジスタTR2をターンオフさせる。このために、第3トランジスタTR3のゲート端子は第1キャパシタC1の一側と接続される。そして、第3トランジスタTR3のソース端子は第1基準電圧VDDを供給する電源部70と接続され、ドレイン端子は第1及び第2トランジスタTR1、TR2のゲート端子と共通で接続される。

30

【0036】

ここで、第1チャージング電圧(2VDD)を通じて第3トランジスタTR3をターンオンさせるために第3トランジスタTR3は第2トランジスタTR2と同様のn型薄膜トランジスタで形成される。第3トランジスタTR3を通じて供給される第1基準電圧VDDを用いて第2トランジスタTR2のターンオン電圧、即ち、第2トランジスタTR2のオフセット値を第1基準電圧VDDに一定に保持することができる。従って、第3トランジスタTR3から供給される第1基準電圧VDDを通じて第2トランジスタTR2のオフセットが一定に保持され第1チャージング電圧が第1出力端VOUT1に供給されるとき第2トランジスタTR2が不必要にターンオンされ第1チャージング電圧が逆供給されることを防止する。

40

【0037】

このような構成要素を有するゲートオン電圧発生回路10の動作を図3を参照して説明する。

T1の時間の間、ノード-Aに第1キャパシタC1で充電された第1チャージング電圧が供給されるとノード-Aと接続された第3トランジスタTR3をターンオンされる。第3トランジスタTR3がターンオンされ第3トランジスタTR3のソース端子に接続された第1基準電圧VDDが第1及び第2トランジスタTR1、TR2のゲート端子に供給される。ここで、第1トランジスタTR1は、第1基準電圧VDDが供給されターンオンされ、これと同時に第2トランジスタTR2をターンオフさせる。これにより、ノード-A

50

に供給された第1チャージング電圧は第1トランジスタTR1を通じて第1出力端VOUT1に供給される。この際、第2キャパシタC2は第1基準電圧VDDによって充電される。

【0038】

一方、T2の時間の間、ノード-Bに第2チャージング電圧が供給されると、第2トランジスタTR2がターンオンされ、これと同時に第1トランジスタTR1はターンオフされる。それにより、第1基準電圧VDDは第2トランジスタTR2を通じて第1キャパシタC1に供給され充電される。この際、第1及び第3トランジスタTR1、TR3はターンオフされる。

【0039】

図5は、本発明の実施形態によるゲート電圧供給装置に形成されたゲートオン電圧発生回路に形成された薄膜トランジスタのテスト出力電流値によるそれぞれの出力電圧シミュレーションした値を示したグラフである。

【0040】

図2に示した第1～第3薄膜トランジスタTR1～3は同時に集積されるのでn型及びp型薄膜トランジスタそれぞれのスイッチングタイムとそれらによる出力電圧をそれぞれ測定しなければならない。即ち、n型薄膜トランジスタとp型薄膜トランジスタのターンオン/ターンオフタイムによる出力電圧を測定してそれぞれのトランジスタの出力特性をテストする。

【0041】

図4に示すように、本発明の実施形態によるゲートオン電圧発生回路はそれぞれのn型及びp型トランジスタの動作速度に従って出力端で出力される電流を測定する。

即ち、n型薄膜トランジスタのターンオン電流 $I_{ON}(n)$ とp型薄膜トランジスタのターンオン電流 $I_{ON}(p)$ の両方が大きい場合の出力電流をFFとし、n型薄膜トランジスタのターンオン電流 $I_{ON}(n)$ は大きく、p型薄膜トランジスタのターンオン電流 $I_{ON}(p)$ は小さい場合の出力電流をFSとし、n型薄膜トランジスタのターンオン電流 $I_{ON}(n)$ は小さく、p型薄膜トランジスタのターンオン電流 $I_{ON}(p)$ は大きい場合の出力電流をSFとし、n型及びp型薄膜トランジスタのターンオン電流 $I_{ON}(n)$ 、 $I_{ON}(p)$ が両方中間である場合の出力電流TTとし、n型及びp型薄膜トランジスタのターンオン電流 $I_{ON}(n)$ 、 $I_{ON}(p)$ が両方小さい場合の出力電流をSSとし、それぞれのターンオン電流による出力電圧は図5に示すグラフのように出力される。

【0042】

例えば、第1基準電圧VDDが5.3Vで供給され、この時の周波数は12kHzのとき、コーナーテスト(corner test)に従って、出力電圧は、FSのとき最低電圧レベルである9.43Vであり、SFのとき最高電圧レベルである9.51Vが出力される。

従って、電圧レベルの偏差は約0.08Vである。図5に示すように、本発明の実施形態によるゲートオン電圧発生回路の出力特性は、電圧レベルの偏差が0.08Vであるので非常に安定的である。従って、n型及びp型薄膜トランジスタを同時に集積して安定的な出力電圧を供給することができる。

【0043】

図6は、図1のゲート電圧供給装置のゲートオフ電圧発生回路を示した回路図であり、図7は図6に示すゲートオフ電圧発生回路のノード-C及びノード-Dでの出力波形を示した波形図である。

【0044】

図6及び図7を参照すると、本発明の実施形態によるゲートオフ電圧発生回路20は反転クロック信号(第1制御信号)CKB及び第2基準電圧VSSを充電した第3チャージング電圧を第2出力端VOUT2に供給する第3キャパシタC3と、クロック信号(第2制御信号)CK及び第2基準電圧VSSを充電した第4チャージング電圧を出力する第4キャパシタC4と、第3キャパシタC3と第2出力端VOUT2との間に形成され第3チ

10

20

30

40

50

ャージング電圧を選択的に第2出力端VOUT2に出力させる第4スイッチング素子TR4と、第4スイッチング素子TR4と排他的にターンオン及びターンオフされ第4チャージング電圧によってターンオンされ第3キャパシタC3に第2基準電圧VSSを供給する第5スイッチング素子TR5と、第4チャージング電圧によってターンオンされ第2基準電圧VSSを第4キャパシタC4に供給すると同時に、第2基準電圧VSSを第4及び第5スイッチング素子TR4、TR5に供給して第4スイッチング素子TR4をターンオンさせ、これと同時に第5スイッチング素子TR5をターンオフさせる第6スイッチング素子TR6を具備する。

【0045】

ここで、第4～第6スイッチング素子TR4～6は、ポリシリコン薄膜トランジスタで液晶パネルの薄膜トランジスタ基板上に集積して形成される。

10

【0046】

具体的には、第3キャパシタC3は、タイミングコントローラ40から供給された反転クロック信号(第1制御信号)CKB及び電源部70から供給された第2基準電圧VSSを充電し、充電された反転クロック信号CKBのハイレベル電圧VDDの逆電位電圧(-VDD)、即ち、第3チャージング電圧を放電させ第4トランジスタTR4のソース端子に供給する。

このような第3キャパシタC3の一端はタイミングコントローラ40の一端と接続され他端は第4トランジスタTR4のソース端子と、第5トランジスタTR5のドレイン端子、及び第6トランジスタTR6のゲート端子と共通で接続される。

20

【0047】

第4キャパシタC4は、タイミングコントローラ40から供給されたクロック信号(第2制御信号)CK及び電源部70から供給された第2基準電圧VSSによって充電されクロック信号のハイレベル電圧の逆電位電圧(-VDD)、即ち、第4チャージング電圧を供給する。このような第4キャパシタC4の一端はタイミングコントローラ40の一端と接続され、他端は第4及び第5トランジスタTR4、TR5のゲート端子と第6トランジスタTR6のドレイン端子と共通で接続される。

【0048】

第4トランジスタTR4は、第3キャパシタC3から出力される第3チャージング電圧、即ち、ゲートオフ電圧VOFFの出力タイミングを制御する。これのために、第4トランジスタTR4は第5トランジスタTR5と共通で接続されたゲート端子を具備し、ソース端子は第3キャパシタC3と接続されドレイン端子は第2出力端VOUT2と接続される。ここで、第4トランジスタTR4はn型不純物がドーピングされたn型薄膜トランジスタで形成される。

30

【0049】

第5トランジスタTR5は、第4キャパシタC4から供給される第4チャージング電圧に従ってターンオンされ第2基準電圧VSSを第3キャパシタC3に供給する。そして、第5トランジスタTR5は第6トランジスタTR6がターンオンされて供給される第2基準電圧VSSによってターンオフされて第4トランジスタTR4で第3チャージング電圧を第2出力端VOUT2に供給するとき、第3チャージング電圧が第2基準電圧VSSを供給する電源部70へ逆供給されることを防止する。

40

このために、第5トランジスタTR5のゲート端子は第4キャパシタC4の一侧及び第6トランジスタTR6のドレイン端子と接続される。そして、第5トランジスタTR5のソース端子は電源部70と接続され、ドレイン端子は第3キャパシタC3の一侧に接続される。このような第5トランジスタTR5はp型不純物がドーピングされたp型薄膜トランジスタで形成される。

【0050】

第6トランジスタTR6は、第3チャージング電圧に応答してターンオンされ、第6トランジスタTR6がターンオンされると第2基準電圧VSSを第4及び第5トランジスタTR4、TR5に同時に供給する。従って、第4トランジスタTR4はターンオンされ第

50

3チャージング電圧を第2出力端VOUT2に供給し、第5トランジスタTR5をターンオフさせる。このために、第6トランジスタTR6のゲート端子は第3キャパシタC3の一側と接続される。そして、第6トランジスタTR6のソース端子は第2基準電圧VSSを供給する電源部70と接続され、ドレイン端子は第4及び第5トランジスタTR4、TR5のゲート端子と共通で接続される。

【0051】

ここで、第3チャージング電圧を通じて第6トランジスタTR6をターンオンさせるために第6トランジスタTR6は第5トランジスタTR5と同様のp型薄膜トランジスタで形成される。また、第6トランジスタTR6は第5トランジスタTR5のターンオン電圧、即ち、第5トランジスタのオフセット値を第2基準電圧VSSに一定に保持することができる。従って、第6トランジスタTR6で供給される第2基準電圧VSSを通じて第5トランジスタTR5のオフセット値が一定に保持され第3チャージング電圧が第2出力端VOUT2に供給されるとき第5トランジスタTR5が不必要にターンオンされ第3チャージング電圧が逆供給されることを防止する。

10

【0052】

このような構成要素を有するゲートオン電圧発生回路10の動作を図7を参照して説明する。

T3の時間の間、ノード-Cで第2基準電圧VSSが測定されるとき、第6トランジスタTR6はターンオフされる。これと同時に、ノード-Dでクロック信号(第2制御信号)CKに起因して充電された第2基準電圧VSSが出力され第5トランジスタTR5をターンオンさせる。従って、第4トランジスタTR4はターンオフされ第3キャパシタC3に第2基準電圧VSSが充電される。次に、T4の時間の間、第3キャパシタC3に反転クロック信号(第1制御信号)CKBを通じて反転クロック信号CKBのハイレベル電圧VDDが充電され第6トランジスタTR6をターンオンさせ第4及び第5トランジスタTR4、TR5に第2基準電圧VSSを同時に供給する。従って、第4トランジスタTR4はターンオンされ反転クロック信号CKBを通じて充電された電圧の逆電位の値、即ち、(-VDD)を第2出力端VOUT2に供給すると同時に第5トランジスタTR5をターンオフさせる。

20

【0053】

上述のように、本実施形態による液晶表示装置は、例えば、第1基準電圧VDDが5Vで供給され、第2基準電圧VSSが0Vで供給されると、ゲートオン電圧発生回路10は10Vの第1チャージング電圧が供給され第1出力端VOUT1に10Vが出力されゲート駆動回路50に供給される。そして、ゲートオフ電圧発生回路20は-5Vの第3チャージング電圧が充電され第3チャージング電圧が第2出力端VOUT2に-5Vが出力される。

30

【0054】

また、ゲートオン電圧発生回路とゲートオフ電圧発生回路に形成された第2及び第5トランジスタTR2、TR5のオフセット電圧をそれぞれ第1基準電圧VDD及び第2基準電圧VSSに一定に保持させオフセット電圧の上昇による第2及び第5トランジスタTR2、TR5の誤動作を防止することで第2及び第5トランジスタTR2、TR5に逆供給される電流を遮断して安定したゲートオン電圧及びゲートオフ電圧を出力し、それにより電力消費を減少させることができる。

40

【0055】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0056】

【図1】本発明の実施形態による液晶表示装置を概略的に示すブロック図である。

【図2】図1に示すゲート電圧供給装置のゲートオン電圧発生回路を示す回路図である。

【図3】図2に示すゲートオン電圧発生回路のノード-A及びノード-Bでの電圧波形を

50

示す波形図である。

【図 4】図 2 に示す第 1 ～ 第 3 トランジスタに用いる n 型薄膜トランジスタのターンオン電流と p 型薄膜トランジスタのターンオン電流との組み合わせの例を示すグラフである。

【図 5】図 4 の組み合わせを用い、本発明の実施形態によるゲート電圧供給装置に形成されたゲートオン電圧発生回路に形成された薄膜トランジスタのテスト出力電流値によるそれぞれの出力電流シミュレーションした値を示したグラフである。

【図 6】図 1 に示すゲート電圧供給装置のゲートオフ電圧発生回路を示した回路図である。

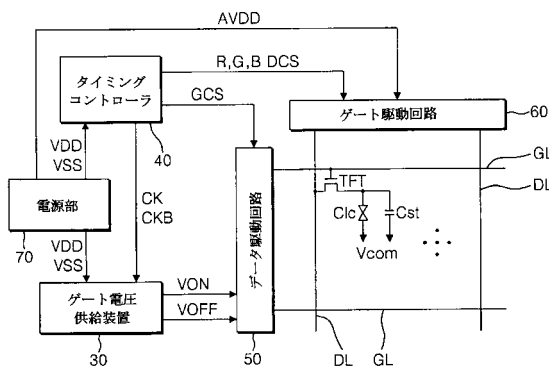
【図 7】図 6 に示すゲートオフ電圧発生回路のノード - C 及びノード - D での電圧波形を示した波形図である。

【符号の説明】

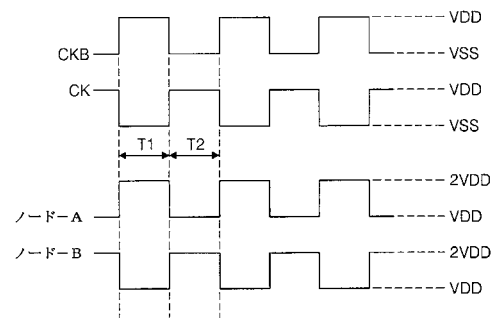
【 0 0 5 7 】

- 1 0 ゲートオン電圧発生回路
- 2 0 ゲートオフ電圧発生回路
- 3 0 ゲート電圧供給装置
- 4 0 タイミングコントローラ
- 5 0 ゲート駆動回路
- 6 0 データ駆動回路
- 7 0 電源部
- G L ゲートライン
- D L データライン
- T R 1 ～ T R 6 (第 1 ～ 第 6) 薄膜トランジスタ
- C 1 ～ C 4 (第 1 及び第 4) キャパシタ

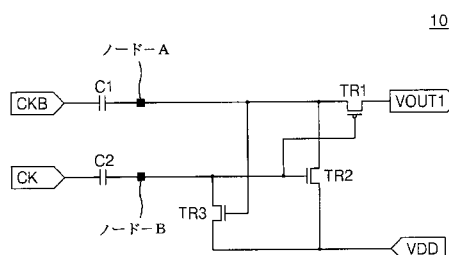
【図 1】



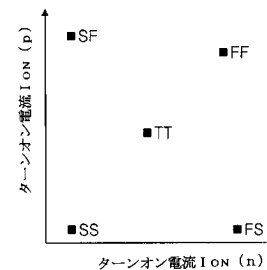
【図 3】



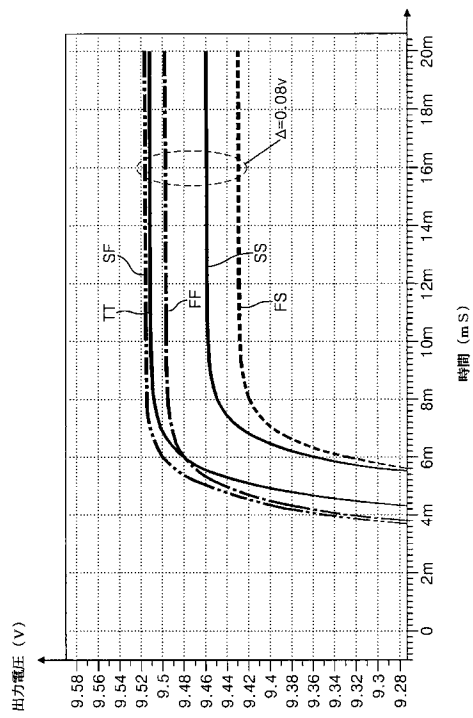
【図 2】



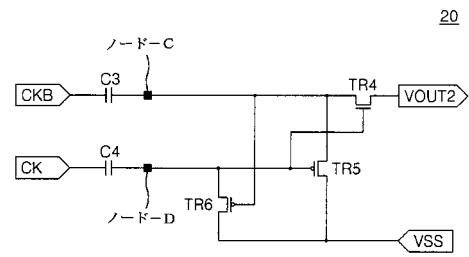
【図 4】



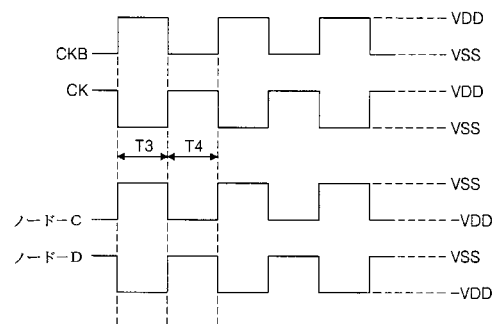
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 2 F 1/133 5 5 0
 G 0 2 F 1/133 5 0 5

(72)発明者 金 治 宇

大韓民国 ソウル市 瑞草区 瑞草4洞 三豊アパート 18棟 105号

(72)発明者 李 相 ミン

大韓民国 ソウル市 瑞草区 盤浦洞 旧盤浦アパート 97棟 509号

(72)発明者 ジャン 志 プェン

大韓民国 京畿道 龍仁市 器興区 農書洞 三星電子株式会社 器興工場 男子寄宿舎 常緑樹
 棟 101

(72)発明者 朴 聖 日

大韓民国 ソウル市 冠岳区 奉天3洞 7番地 信元ビルラ 1棟 109号

F ターム(参考) 2H093 NC04 NC09 NC11 NC22 NC26 NC34 NC35 ND49 ND55

5C006 BB16 BC20 BF34 BF37 BF42 BF46 FA41 FA47 FA51

5C080 AA10 BB05 DD22 DD26 DD28 FF11 FF12 JJ02 JJ03 JJ04

JJ05

专利名称(译)	GATE-ON电压发生电路，关闭电压发生器电路，以及具有它们的液晶显示装置		
公开(公告)号	JP2008040499A	公开(公告)日	2008-02-21
申请号	JP2007200833	申请日	2007-08-01
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	禹斗馨 朴基燦 金治宇 李相ミン ジャン志プエン 朴聖日		
发明人	禹斗馨 朴基燦 金治宇 李相ミン ジャン志プエン 朴聖日		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3696 G09G3/3674 G09G2330/02 G09G2330/021 H02M3/073		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.612.J G09G3/20.612.D G09G3/20.622.G G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H093/NC04 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND49 2H093/ND55 5C006/BB16 5C006/BC20 5C006/BF34 5C006/BF37 5C006/BF42 5C006/BF46 5C006/FA41 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/DD28 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZF03		
优先权	1020060072611 2006-08-01 KR		
其他公开文献	JP2008040499A5		
外部链接	Espacenet		

摘要(译)

解决的问题：通过在液晶面板中使用多晶硅薄膜晶体管在小面积上集成栅极导通/栅极截止电压产生电路来提供一种高效率和高产量的液晶显示装置。栅极导通电压产生电路，其结合有n型薄膜晶体管和p型薄膜晶体管，以通过从电源单元提供的第一参考电压和从时序控制器提供的第一控制信号来产生升压的栅极导通电压，一种具有栅极截止电压产生电路的液晶显示器，该栅极截止电压产生电路基于从定时控制器提供的第一控制信号和从电源单元提供的第二参考电压，产生作为降压电压的栅极截止电压。提供设备。[选型图]图1

