

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-343609  
(P2006-343609A)

(43) 公開日 平成18年12月21日(2006.12.21)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 641E	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 641A	5C080
	G09G 3/20 641K	
	G09G 3/20 623G	

審査請求 未請求 請求項の数 3 O L (全 13 頁) 最終頁に続く

(21) 出願番号	特願2005-170308 (P2005-170308)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成17年6月10日 (2005.6.10)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	櫻井 洋介 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		F ターム (参考)	2H093 NA16 NA33 NA45 NA56 NA58 NC10 NC12 NC18 NC22 NC26 NC34 NC35 NC40 NC49 ND06 ND35 ND39 ND60 NH15 NH18 5C006 AA14 AA15 AA17 AF42 AF44 AF71 BB16 BC03 BC06 BC12 BF01 BF04 FA15 FA48

最終頁に続く

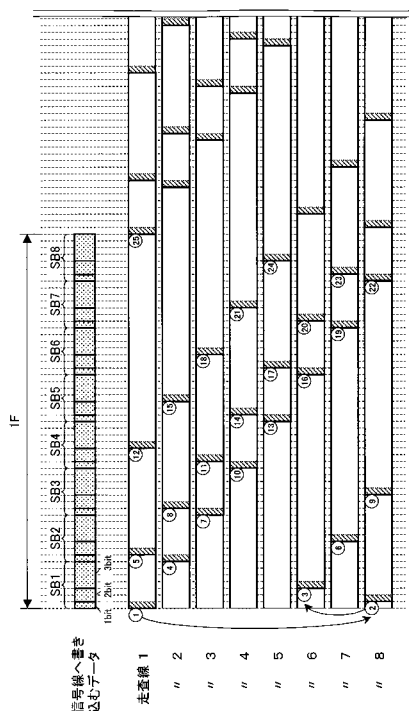
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】サブフィールドを奇数行と偶数行との2グループに分類した場合、表示データの転送速度を1/2に低減できるものの、それ以上の大幅な低減は見込めない。

【解決手段】パルス幅変調で階調表示を行うデジタル駆動の液晶表示装置において、デジタル映像データを1行ごと(1走査ラインごと)に、低階調サブフィールドから高階調サブフィールド(本例では、1ビットから3ビット)を1ブロック単位とするサブブロック構成にし、当該デジタル映像データの転送速度を均一化して液晶パネル14に転送する一方、画素への書き込みを順次走査ではなく、サブブロックSB1~SB8の各データを、走査線1~8の各々に接続された各画素に対して行単位で順番に書き込むように飛び越し走査で行う。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

電気光学素子を含むメモリ内蔵の画素が行列状に配置され、当該行列状の画素配列に対して行ごとに走査線が配線され、列ごとに信号線が配線されてなる画素アレイ部と、

前記画素の階調を規定する表示データの各ビットに対応しかつ当該対応ビットの重みに応じた期間のサブフィールドについて、1走査ラインごとに低階調サブフィールドから高階調サブフィールドを1ブロック単位とする表示データを入力とし、当該表示データをサンプリングラッチしかつ複数段のロードラッチ回路で前記サブフィールドの期間長に応じて順次転送して前記信号線の各々に供給する水平駆動手段と、

前記画素アレイ部の各画素を行単位で選択走査するとともに、前記水平駆動手段から前記1ブロック単位で供給される前記表示データを、前記画素アレイ部の各画素に行単位で順番に書き込むように行を飛び越して走査する垂直駆動手段と

を具備することを特徴とする表示装置。

10

## 【請求項 2】

前記水平駆動手段は、前記ロードラッチ回路を前記サブフィールドの数だけ有することを特徴とする請求項 1 記載の表示装置。

## 【請求項 3】

電気光学素子を含むメモリ内蔵の画素が行列状に配置され、当該行列状の画素配列に対して行ごとに走査線が配線され、列ごとに信号線が配線されてなる画素アレイ部を有する表示装置の駆動方法であって、

20

前記画素の階調を規定する表示データの各ビットに対応しかつ当該対応ビットの重みに応じた期間のサブフィールドについて、1走査ラインごとに低階調サブフィールドから高階調サブフィールドを1ブロック単位とする表示データを入力する第1ステップと、

前記第1ステップで入力される前記表示データをサンプリングラッチしかつ複数段のロードラッチ回路で前記サブフィールドの期間長に応じて順次転送して前記信号線の各々に供給する第2ステップと、

前記1ブロック単位で供給される前記表示データを、前記画素アレイ部の各画素に行単位で順番に書き込むように行を飛び越して走査する第3ステップと

を有することを特徴とする表示装置の駆動方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表示装置および表示装置の駆動方法に関し、特にパルス幅変調で階調表示を行うデジタル駆動の表示装置および当該表示装置の駆動方法に関する。

## 【背景技術】

## 【0002】

パルス幅変調(PWM)で階調表示を行うデジタル駆動の表示装置では、例えば3ビット(8階調)の場合を例に採ると、図9に示すように、例えば2.4ms幅の1ビットのデータを単位として、当該単位データを1階調乃至7階調の各々に対応させて組み合わせる8階調を表示する階調表示法が理想的である。

40

## 【0003】

ただし、この理想的な階調表示法では、データ数が7個と多すぎる。そのため、実際には、図10に示すように、期間長の比が1(1bit目):2(2bit目):4(3bit目)の3個のデータを用意し、これら3個のデータの組み合わせによって8階調を表示する階調表示法が用いられる。

## 【0004】

ここで、後者の階調表示法を用いたデジタル駆動の表示装置について、図11を用いて説明する。図11は、従来の一般的なデジタル駆動における順次走査の信号線出力と、データが書き込まれる画素との関係を時間スケールで示したタイミングチャートである。ここでは、説明の都合上、走査線が8本の場合を示している。

50

## 【0005】

図11から明らかなように、従来の一般的なデジタル駆動の表示装置では、画素の階調を規定する階調データの各ビット（本例では、1bit、2bit、3bit）に対応し、かつ、対応ビットの重みに応じた期間長となるサブフィールドSF1、SF2、SF3で1フレーム（1F）期間を分割し、各サブフィールドSF1、SF2、SF3において対応するビットにしたがって画素の電気光学素子をオンまたはオフさせることで、1フレームに占める駆動するオン期間またはオフ期間の割合を段階的に制御するサブフィールド駆動法が用いられている。そして、画素へのデータの書き込みは、サブフィールドSF1、SF2、SF3ごとに線順次走査で行われる。

## 【0006】

図12に、表示装置に転送される表示データがサンプリングラッチされ、次いでロードラッチされ、信号線に書き込まれるまでの流れを時間スケールで示している。このように、サブフィールド駆動法を用いたデジタル駆動の表示装置では、画素へのデータの書き込みが各サブフィールドごとに線順次走査で行われることから、表示装置に転送される表示データの転送速度（サンプリング時間）は、低階調側が最も高速となっており、最小ビット（1bit）の転送速度で階調数が律束されるために、階調数を増加させることが困難となり、低階調側を十分に表現することができない。

## 【0007】

そのため、従来は、画素を奇数行と偶数行との2グループに分類する一方、1フレーム期間を、4ビットの階調データのうち、最下位ビットの重みに対応する期間である15個のサブフレームに分割し、電気光学素子をオンまたはオフさせる期間の単位であるサブフィールドを、奇数行および偶数行グループの各々に対応させ、かつ、階調データの各ビットに対して割り当てるとともに、その期間長を、割り当てたビットの重みに相当するようにサブフレームを単位として規定し、さらに、奇数行および偶数行グループの各々に割り当てたサブフィールドの先頭期間同士が、互いに異なるサブフレームに属するように配置させていた（例えば、特許文献1参照）。

## 【0008】

【特許文献1】特開2003-216106号公報

## 【発明の開示】

【発明が解決しようとする課題】

## 【0009】

しかしながら、上記従来技術では、サブフィールドを奇数行と偶数行との2グループに分類しているため、表示装置に転送される表示データの転送速度を1/2に低減できるものの、それ以上の大幅な転送速度の低減は見込めない。

## 【0010】

そこで、本発明は、表示データの転送速度を大幅に低減可能とした表示装置および表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

## 【0011】

上記目的を達成するために、本発明では、電気光学素子を含むメモリ内蔵の画素が行列状に配置され、当該行列状の画素配列に対して行ごとに走査線が配線され、列ごとに信号線が配線されてなる画素アレイ部を有する表示装置において、前記画素の階調を規定する表示データの各ビットに対応しかつ当該対応ビットの重みに応じた期間のサブフィールドについて、1走査ラインごとに低階調サブフィールドから高階調サブフィールドを1ブロック単位とする表示データを入力する。そして、この入力された表示データをサンプリングラッチしかつ複数段のロードラッチ回路で前記サブフィールドの期間長に応じて順次転送して前記信号線の各々に供給する一方、前記1ブロック単位で供給される前記表示データを、前記画素アレイ部の各画素に行単位で順番に書き込むように行を飛び越して走査する飛び越し走査を行う。

## 【0012】

10

20

30

40

50

パルス幅変調で階調表示を行うデジタル駆動の表示装置において、画素の階調を規定する表示データを、1走査ラインごとに低階調サブフィールドから高階調サブフィールドを1ブロック単位とすることで、当該表示データの転送速度を均一化して転送することができる。そして、当該表示データをサンプリングラッチしかつ複数段のロードラッチ回路でサブフィールドの期間長に応じて順次転送しつつ、飛び込み走査によって各画素に書き込むことで、サブブロックを単位としてデータの書き込みが行われるために、サンプリング時間はビットに依存せず一定となる。

【発明の効果】

【0013】

本発明によれば、表示データの転送速度を均一化して転送することができるために、表示データの転送速度を大幅に低減することができ、またサンプリング時間がビットに依存せず一定となるために、最小ビットの転送速度で階調数が律束されることがない。

10

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0015】

図1は、本発明の一実施形態に係る表示装置の構成の概略を示すブロック図である。ここでは、表示装置として、例えば、画素の電気光学素子として液晶セルを用い、パルス幅変調(PWM)で階調表示を行うデジタル駆動のアクティブマトリクス型液晶表示装置を例に挙げて説明するものとする。

20

【0016】

本実施形態に係るアクティブマトリクス型液晶表示装置10は、画素アレイ部11とその周辺駆動回路、即ち垂直駆動回路12および水平駆動回路13を有し、これら周辺駆動回路が画素アレイ部11と同一の基板(以下、「液晶パネル」と記述する)14上に集積された構成となっている。

【0017】

画素アレイ部11は、電気光学素子である液晶セルを含むメモリ内蔵の画素20が、透明絶縁基板、例えば第1のガラス基板(図示せず)上に行列状に2次元配置され、当該行列状の画素配列に対して画素行ごとに走査線31が配線され、画素列ごとに信号線32が配線された構成となっている。第1のガラス基板に対して、第2のガラス基板が所定の間隙を持って対向配置され、これら2枚のガラス基板間の間隙に液晶材料が封止されること

30

【0018】

(画素回路)

ここで、メモリ内蔵の画素20の具体的な回路構成について説明する。

【0019】

図2は、SRAM(Static Random Access Memory)構成の画素20Aの構成を示す回路図である。本例に係る画素20Aは、液晶セル21、SRAM22、極性セクタ23およびバッファ24を有する構成となっている。

【0020】

SRAM22は、走査線31に各制御電極が共通に接続され、信号線32A, 32Bに各一方の主電極が接続された例えばNchの画素トランジスタ221, 222と、これら画素トランジスタ221, 222の各他方の主電極間に互いに逆向きに並列に接続されてラッチ回路を形成するインバータ223, 224とから構成されている。

40

【0021】

極性セクタ23は、SRAM22の一方の出力端に一方の主電極が接続されたNchの選択トランジスタ231と、SRAM22の他方の出力端に一方の主電極が接続され、他方の主電極が選択トランジスタ231の他方の主電極と共通に接続されたPchの選択トランジスタ232から構成されている。選択トランジスタ231, 232の各制御電極には極性選択信号Selectが与えられる。

50

## 【0022】

バッファ24は、その入力端が極性セクタ23の出力端、即ち選択トランジスタ231, 232の各他方の主電極の共通接続ノードに接続され、その出力端が液晶セル21の一方の電極、即ち画素電極に接続されている。液晶セル21の他方の電極、即ち対向電極にはコモン電位Vcomが各画素共通に与えられる。

## 【0023】

図3は、DRAM(Dynamic Random Access Memory)構成の画素20Bの構成を示す回路図であり、図中、図2と同等部分には同一符号を付して示している。本例に係る画素20Bは、液晶セル21、DRAM25、極性セクタ26およびバッファ24を有する構成となっている。

10

## 【0024】

DRAM25は、走査線31に制御電極が接続され、信号線32に一方の主電極が接続された例えばNchの画素トランジスタ251と、この画素トランジスタ251の他方の主電極と接地間に接続されたメモリ容量252とから構成されている。

## 【0025】

極性セクタ26は、DRAM22の出力端に一方の主電極が接続されたNchの選択トランジスタ261と、SRAM22の出力端に一方の主電極が接続されたインバータ262と、このインバータ262の出力端に一方の主電極が接続され、他方の主電極が選択トランジスタ261の他方の主電極と共通に接続されたPchの選択トランジスタ263とから構成されている。選択トランジスタ261, 263の各制御電極には極性選択信号Selectが与えられる。

20

## 【0026】

バッファ24は、その入力端が極性セクタ26の出力端、即ち選択トランジスタ261, 263の各他方の主電極の共通接続ノードに接続され、その出力端が液晶セル21の画素電極に接続されている。液晶セル21の対向電極にはコモン電位Vcomが各画素共通に与えられる。

## 【0027】

上記構成のSRAM画素20AまたはDRAM画素20Bをメモリ内蔵の画素20として用いる本実施形態に係る液晶表示装置10では、液晶セル21の駆動法として、例えばコモン電位Vcomの極性を1フィールドごとに反転するいわゆるコモン反転駆動法が採られるものとする。

30

## 【0028】

図4に、コモン反転駆動法を採る場合の各部の信号波形を示す。ここでは、コモン電位Vcom、映像信号(黒)、極性選択信号Select、走査線31の電位、画素20の電位および液晶セル21への実効印加電圧の各波形を示している。この波形図から明らかなように、メモリ内蔵の画素20であるために、コモン電位Vcomの極性が反転する際には画素電位の極性も反転する。

## 【0029】

図1に説明を戻す。垂直駆動回路12は、例えばロウデコーダ121およびバッファ122によって構成されている。この垂直駆動回路12において、ロウデコーダ121は、液晶パネル14の外部から入力されるアドレスデータに基づいて、画素アレイ部11の各画素20を行単位で選択するための走査パルスを出力する。

40

## 【0030】

本発明では、ロウデコーダ121による選択行の選択順を特徴の一つとしている。その詳細については後述する。バッファ122は、ロウデコーダ121から出力される走査パルスに基づいて、画素アレイ部11の選択行の走査線31を介して当該選択行の各画素20を選択駆動する。

## 【0031】

水平駆動回路13は、シフトレジスタ131、サンプリングラッチ回路132、例えば3段の第1, 第2, 第3ロードラッチ回路133, 134, 135およびバッファ136

50

を有する構成となっている。ここで、ロードラッチ回路 133, 134, 135 は、1 行 (1 ライン) 分の画素データを一時的に格納するラインメモリとして機能する。ロードラッチ回路の段数は、液晶パネル 14 の外部から水平駆動回路 13 に入力されるデジタル映像データ (表示データ) のサブフィールドの数によって決まる。

#### 【0032】

ここで、サブフィールドとは、画素 20 の階調を規定する表示データの各ビットに対応しかつ当該対応ビットの重みに応じた期間の単位を言うものとする。本例では、表示データとして、ビット数、即ちサブフィールド数が例えば 3 (8 階調) のデジタル映像データを用いており、したがってロードラッチ回路の段数が 3 段となっている。

#### 【0033】

なお、図 1 では、説明の都合上、画素アレイ部 11 のサイズに対して水平駆動回路 13 のサイズが非常に大きく描かれているが、上述したように、第 1, 第 2, 第 3 ロードラッチ回路 133, 134, 135 の各々はラインメモリであり、その一つがメモリ内蔵の画素 20 の 1 行分に相当することから、実際には、水平駆動回路 13 は上下方向のサイズが画素アレイ部 11 に対して非常に小さなものとなる。

#### 【0034】

デジタル映像データは、3 個のサブフィールド (1 ビット、2 ビット、3 ビット) の期間長の比が 1 : 2 : 4 に設定されており、これらサブフィールドの組み合わせによって 8 階調を表示する。このデジタル映像データはサブフィールドについて、1 行ごと、即ち 1 走査ラインごとに、低階調サブフィールドから高階調サブフィールド (本例では、1 ビットから 3 ビット) を表示データの 1 ブロック単位 (以下、「サブブロック」と記述する) とする構成となっている。これにより、サブブロックの表示データは、信号線の本数 (水平方向の画素数) を H とすると、1 ビット目の H 個のシリアルデータと、2 ビット目の H 個のシリアルデータと、3 ビット目の H 個のシリアルデータの集合からなる。

#### 【0035】

そして、本発明においては、このサブブロック構成のデジタル映像データを、行 (走査線 31) を順次走査するのではなく、行を飛び越して走査する飛び越し走査によって各画素 20 に書き込むことを特徴としている。図 5 に、飛び越し走査の信号出力と書き込まれる画素との関係を時間スケールで示している。ここでは、理解を容易にするために、走査線 31 の本数を 8 本としている。したがって、デジタル映像データは、8 本の走査線 1 ~ 8 に対応して 8 個のサブブロック SB1 ~ SB8 を単位として構成され、サブブロック SB1 ~ SB8 の期間が 1 フィールド期間となる。

#### 【0036】

そして、サブブロック SB1 ~ SB8 の各データを、走査線 1 ~ 8 の各々に接続された各画素 20 に行単位で順番に書き込むように、具体的には、図 5 において、走査線 1 ~ 8 上の で囲んだ数字 1, 4, 7, 10, 13, 16, 19, 22 の各タイミング位置にサブブロック SB1 ~ SB8 の各低階調サブフィールド (1 ビット目) のデータが並ぶように、サブブロック SB1 ~ SB8 の各データを走査線 1 ~ 8 の各々に接続された各画素 20 に書き込むことによって 1 画面を構築することができる。

#### 【0037】

このように、デジタル映像データをサブブロック構成とし、当該サブブロック構成のデータを用いて画像表示を実現するために、本発明では、行を飛び越して走査する飛び越し走査によってサブブロック SB1 ~ SB8 の各データを、走査線 1 ~ 8 の各々に接続された各画素 20 に行単位で順番に書き込むようにしている。図 5 において、 で囲んだ数字が、行を飛び越して各画素 20 に書き込むデータの順番を示している。

#### 【0038】

具体的には、先ずサブブロック SB1 について、1 ビット目のデータ群を走査線 1 に、2 ビット目のデータ群を走査線 8 に、3 ビット目のデータ群を走査線 6 にそれぞれ飛び越し走査によって書き込む (図中、 で囲んだ数字 1, 2, 3 の順番)。次いで、サブブロック SB2 について、1 ビット目のデータ群を走査線 2 に、2 ビット目のデータ群を走査


10

20



30

40



50

線 1 に、3 ビット目のデータ群を走査線 7 にそれぞれ飛び越し走査によって書き込む（図中、 で囲んだ数字 4, 5, 6 の順番）。



【0039】

次いで、サブブロック S B 3 について、1 ビット目のデータ群を走査線 3 に、2 ビット目のデータ群を走査線 2 に、3 ビット目のデータ群を走査線 8 にそれぞれ飛び越し走査によって書き込む（図中、 で囲んだ数字 7, 8, 9 の順番）。次いで、サブブロック S B 4 について、1 ビット目のデータ群を走査線 4 に、2 ビット目のデータ群を走査線 3 に、3 ビット目のデータ群を走査線 1 にそれぞれ飛び越し走査によって書き込む（図中、 で囲んだ数字 10, 11, 12 の順番）。

【0040】

次いで、サブブロック S B 5 について、1 ビット目のデータ群を走査線 5 に、2 ビット目のデータ群を走査線 4 に、3 ビット目のデータ群を走査線 2 にそれぞれ飛び越し走査によって書き込む（図中、 で囲んだ数字 13, 14, 15 の順番）。次いで、サブブロック S B 6 について、1 ビット目のデータ群を走査線 6 に、2 ビット目のデータ群を走査線 5 に、3 ビット目のデータ群を走査線 3 にそれぞれ飛び越し走査によって書き込む（図中、 で囲んだ数字 16, 17, 18 の順番）。

【0041】

次いで、サブブロック S B 7 について、1 ビット目のデータ群を走査線 7 に、2 ビット目のデータ群を走査線 6 に、3 ビット目のデータ群を走査線 4 にそれぞれ飛び越し走査によって書き込む（図中、 で囲んだ数字 19, 20, 21 の順番）。次いで、サブブロック S B 8 について、1 ビット目のデータ群を走査線 8 に、2 ビット目のデータ群を走査線 7 に、3 ビット目のデータ群を走査線 5 にそれぞれ飛び越し走査によって書き込む（図中、 で囲んだ数字 22, 23, 24 の順番）。

【0042】

上述した一連の飛び越し走査により、サブブロック S B 1 ~ S B 8 の各データを、走査線 1 ~ 8 の各々に接続された各画素 20 に行単位で順番に書き込むことによって 1 画面が構築される。この飛び越し走査は、垂直駆動回路 12 のロウデコーダ 121 による制御の下に実行される。

【0043】

続いて、水平駆動回路 13 の動作について、図 6 のタイミングチャートを用いて説明する。ここでは、サブブロック S B 5 の場合のタイミング関係を例に挙げて示している。

【0044】

水平駆動回路 13 において、シフトレジスタ 131 は、液晶パネル 14 の外部から水平スタートパルス H S T が入力されると、同じく液晶パネル 14 の外部から与えられる水平クロック H C K に同期してシフト動作を開始し、各転送段（シフト段）からサンプリングパルスを順に出力する。

【0045】

サンプリングラッチ回路 132 は、1 走査ラインごとに 3 ビットのデータを 1 ブロックとするサブブロック構成のデジタル映像データを、シフトレジスタ 131 から順に出力されるサンプリングパルスに同期してサンプリングすることで、サブブロック S B 5 内における 1 ビット目の H 個のシリアルデータを H 個の平行データに変換する。ここで、シリアルデータを 1 個サンプリングするのに要する時間が最小サンプリング時間となる。なお、ここでは、理解を容易にするために、信号線 32 の本数 H を 6 本としている。

【0046】

1 ビット目の H 個の平行データは、1 ビット目についてのサンプリング終了のタイミングでシフトレジスタ 131 から出力されるロード信号 L O A D 1 に同期して第 1 ロードラッチ回路 133 にロードされる。この第 1 ロードラッチ回路 133 にラッチされた 1 ビット目の H 個の平行データは、以降、液晶パネル 14 の外部から入力されるロード信号 L O A D 2, 3 に同期して第 2, 第 3 ロードラッチ回路 134, 135 に順にロードされ、バッファ 136 を介して画素アレイ部 11 の信号線 32 の各々に書き込まれる。

10

20

30

40

50

## 【 0 0 4 7 】

サンプリングラッチ回路 1 3 2 は、1 ビット目の H 個のシリアルデータについてのシリアル - パラレル変換が終了したら、1 ビット目と同様にして、2 ビット目、3 ビット目の H 個のシリアルデータについてシリアル - パラレル変換を行う。第 1 ~ 第 3 ロードラッチ回路 1 3 3 ~ 1 3 5 およびバッファ 1 3 6 についても、1 ビット目と同様の回路動作が行われる。この 1 つのサブブロックについての一連の処理に要する時間がサブブロック時間となる。

## 【 0 0 4 8 】

上述したように、パルス幅変調で階調表示を行うデジタル駆動の表示装置、例えば液晶表示装置 1 0 において、デジタル映像データのサブフィールドについて、1 走査ラインごと ( 1 行ごと ) に、低階調サブフィールドから高階調サブフィールド ( 本例では、1 ビットから 3 ビット ) を 1 ブロック単位とするサブブロック構成にし、当該デジタル映像データの転送速度を均一化して液晶パネル 1 4 に転送する一方、画素 2 0 への書き込みを順次走査ではなく、サブブロック S B 1 ~ S B 8 の各データを、走査線 1 ~ 8 の各々に接続された各画素に行単位で順番に書き込むように飛び越し走査で行うことで、最小ビットの転送速度で階調数が律束されることがないために、低階調側を十分に表現することができるようになる。

10

## 【 0 0 4 9 】

より具体的には、水平駆動回路 1 3 の構成が、デジタル映像データのサブフィールド数に対応した段数 ( 本例では、3 段 ) のロードラッチ回路 1 3 3 ~ 1 3 5 を有する構成となっており、液晶パネル 1 4 に転送された表示データであるデジタル映像データをサブフィールドの期間長に応じて順次ロードラッチ回路 1 3 3 ~ 1 3 5 に転送させつつ、飛び込み走査によって各画素 2 0 に書き込むことで、サブブロックを単位としてデータの書き込みが行われるために、サンプリング時間 ( 表示データの転送時間 ) はビットに依存せず一定となる。したがって、最小ビットの転送速度で階調数が律束されることはなく、階調数を容易に増加させることができるために、低階調側を十分に表現することが可能になる。

20

## 【 0 0 5 0 】

図 7 は、液晶パネル 1 4 に入力される表示データの転送速度について、順次走査の場合 ( A ) と飛び越し走査の場合 ( B ) とを比較した結果を示す図である。

## 【 0 0 5 1 】

走査線 3 1 の本数 ( = サブブロック数 ) を  $V$  [ 本 ]、信号線 3 2 の本数を  $H$  [ 本 ]、ビット数 ( = サブフィールド数 ) を  $B$  [ b i t ]、フレーム周波数を  $F$  [ H z ]、並列映像データ数を  $N$  [ 個 ]、サブフィールド時間 ( 最小 ) を  $( 1 / F ) \times 1 / ( 2^B - 1 )$  [ s e c ]、サブブロック時間を  $( 1 / F ) \times ( 1 / V )$  [ s e c ] とすると、順次走査の場合 ( A ) の最小サンプリング時間  $T_a$  は、

$$T_a = ( N / H ) \times ( 1 / V ) \times ( 1 / F ) \times 1 / ( 2^B - 1 ) [ s e c ]$$

となり、飛び越し走査の場合 ( B ) の最小サンプリング時間  $T_b$  は、

$$T_b = ( N / H ) \times ( 1 / V ) \times ( 1 / F ) \times ( 1 / B ) [ s e c ]$$

となる。

30

## 【 0 0 5 2 】

すなわち、順次走査 ( A ) では、高ビットでサブフィールド数を分割する場合、データ数は増加するが、最小サンプリング時間  $T_a$  は同じである。一方、飛び越し走査 ( B ) では、高ビットでサブフィールド数を分割する場合、最小サンプリング時間  $T_b$  の式で  $B$  (  $B$  + 増加分 ) となる。

40

## 【 0 0 5 3 】

この比較結果から明らかなように、順次走査 ( A ) に対して飛び越し走査 ( B ) では、表示データの転送速度を大幅に低減させることができる。また、液晶パネル 1 4 に入力される表示データを並列化する、並列映像データ数  $N$  を増加することで、表示データの転送速度を低減できる。

## 【 0 0 5 4 】

50

図 8 に、信号線数 1366 × 走査線数 768、即ち W X G A ( W i d e X G A ) の解像度における順次走査 ( A ) と飛び越し走査 ( B ) の並列化数と転送速度の関係を示す。

【 0 0 5 5 】

図 8 から、順次走査 ( A ) でも、液晶パネル 14 に入力される表示データを並列化することで、飛び越し走査 ( B ) と同等の転送速度を実現することが可能であることが判る。ただし、図 8 から明らかなように、同等の転送速度を実現しようとする、並列映像データ数が順次走査 ( A ) では 2300 本必要であるのに対して、飛び越し走査 ( B ) では 32 本で良いために、接続点数を大幅に削減できる利点がある。

【 0 0 5 6 】

なお、上記実施形態では、画素の電気光学素子として液晶セルを用いた液晶表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、D L P (Digital Light Processing) や E L (electro luminescence) 等のパルス幅変調で階調表示を行うデジタル駆動の表示装置全般に適用可能である。

【 0 0 5 7 】

また、上記実施形態では、低階調サブフィールドから高階調サブフィールドを表示データの 1 ブロックとしたが、本発明は必ずしもこのサブブロック構成に限定されるものではなく、例えば複数の低階調サブフィールドから高階調サブフィールドを表示データの 1 ブロックとするサブブロック構成でも良い。

【 0 0 5 8 】

さらに、上記実施形態では、低階調側から高階調側までを順次転送する場合を例に挙げて説明したが、必ずしも低階調側から高階調側に順次転送する必要はなく、サブブロックの中で任意にデータを並び替えて転送することも可能である。このように、サブブロックの中で任意にデータを並び替えて転送する構成を採ることで、ロードラッチ回路 ( ラインメモリ ) の数を低減できる利点がある。

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】 本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の構成の概略を示すブロック図である。

【 図 2 】 S R A M 構成の画素の構成を示す回路図である。

【 図 3 】 D R A M 構成の画素の構成を示す回路図である。

【 図 4 】 コモン反転駆動法を採る場合の各部の信号波形を示す波形図である。

【 図 5 】 飛び越し走査の信号出力と書き込まれる画素との関係を時間スケールで示したタイミングチャートである。

【 図 6 】 水平駆動回路の動作説明のためのタイミングチャートである。

【 図 7 】 入力される表示データの転送速度について、順次走査の場合 ( A ) と飛び越し走査の場合 ( B ) とを比較した結果を示す図である。

【 図 8 】 W X G A の解像度における順次走査 ( A ) と飛び越し走査 ( B ) の並列化数と転送速度の関係を示す図である。

【 図 9 】 デジタル駆動での理想的な階調表示法の説明図である。

【 図 10 】 デジタル駆動での実際的な階調表示法の説明図である。

【 図 11 】 従来一般的なデジタル駆動における順次走査の信号線出力と、データが書き込まれる画素との関係を時間スケールで示したタイミングチャートである。

【 図 12 】 表示装置に転送される表示データがサンプリングラッチされ、次いでロードラッチされ、信号線に書き込まれるまでの流れを時間スケールで示したタイミングチャートである。

【 符号の説明 】

【 0 0 6 0 】

10 ... アクティブマトリクス型液晶表示装置、11 ... 画素アレイ部、12 ... 垂直駆動回路、13 ... 水平駆動回路、14 ... 液晶パネル、20, 20A, 20B ... 画素、21 ... 液晶セル、22 ... S R A M、23, 26 ... 極性セレクタ、25 ... D R A M、31 ... 走査線、3

10

20

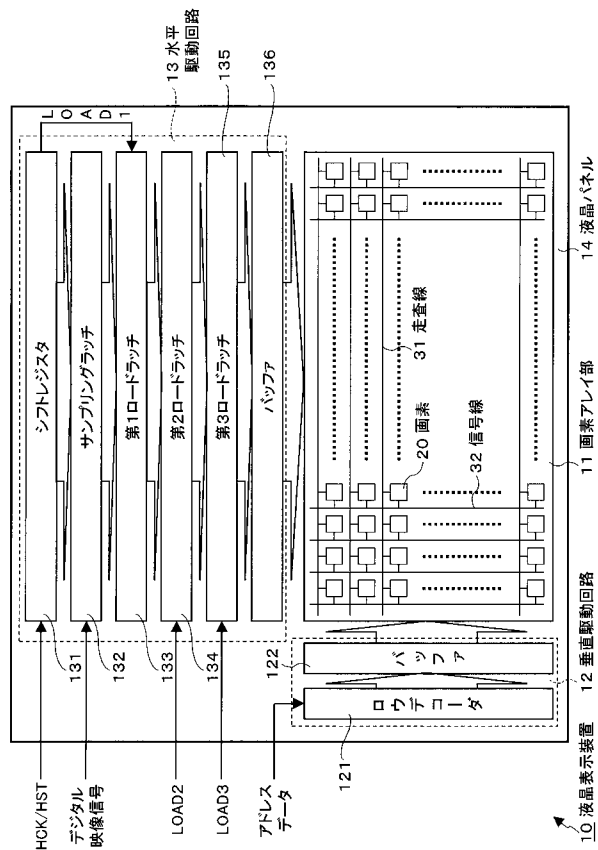
30

40

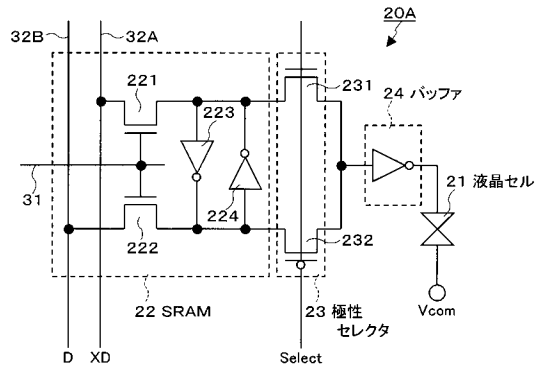
50

2, 3 2 A, 3 2 B ... 信号線

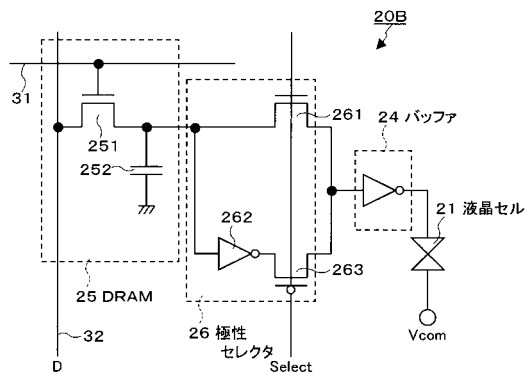
【図1】



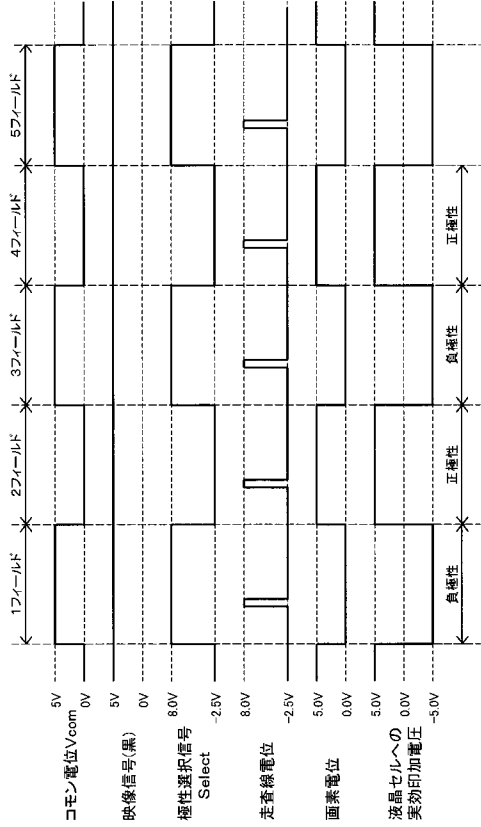
【図2】



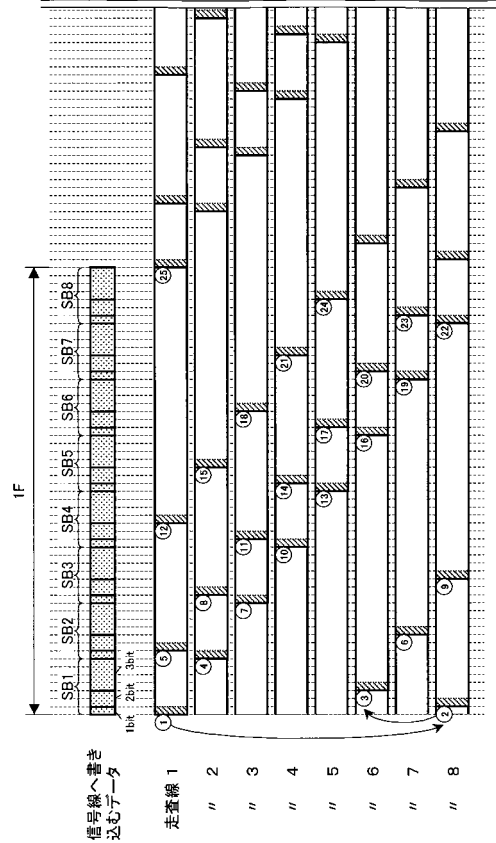
【図3】



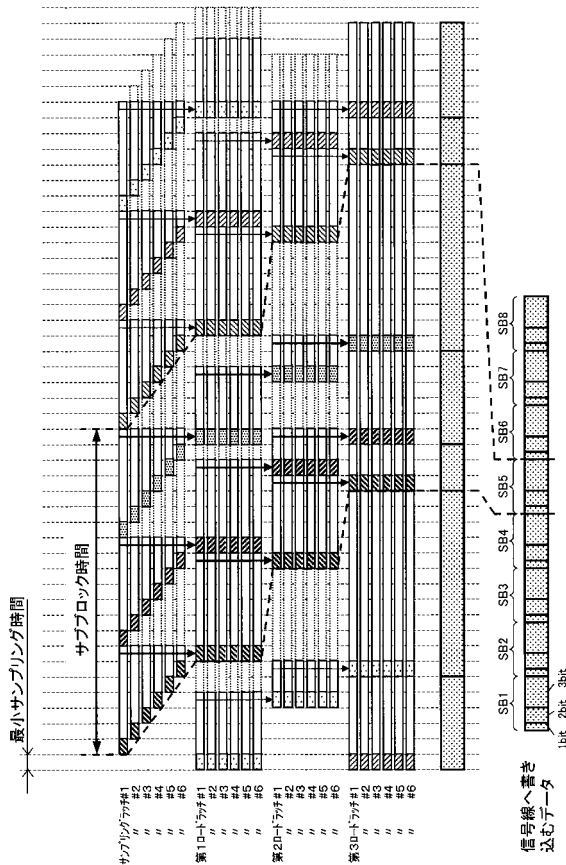
【 図 4 】



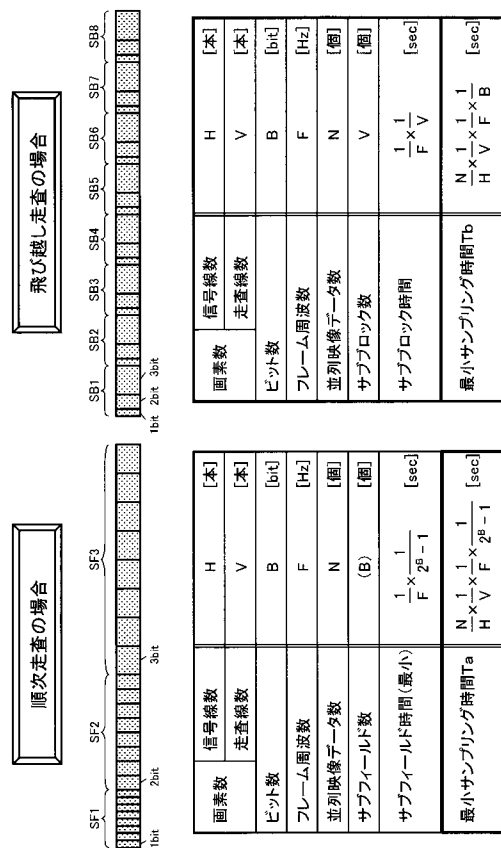
【 図 5 】



【 図 6 】



【 図 7 】

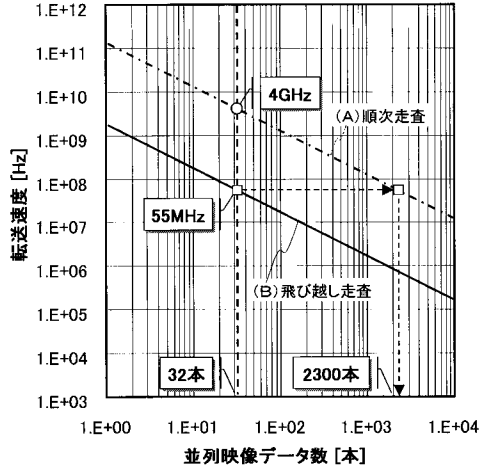


画素数	信号線数	H	[本]
	走査線数	V	[本]
	ビット数	B	[bit]
	フレーム周波数	F	[Hz]
	並列映像データ数	N	[個]
	サブプロック数	V	[個]
	サブプロック時間	$\frac{1}{F} \times \frac{1}{V}$	[sec]
	最小サンプリング時間Tb	$\frac{N}{H} \times \frac{1}{V} \times \frac{1}{F} \times \frac{1}{B}$	[sec]

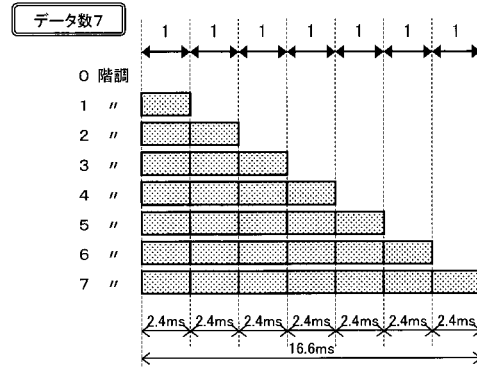
画素数	信号線数	H	[本]
	走査線数	V	[本]
	ビット数	B	[bit]
	フレーム周波数	F	[Hz]
	並列映像データ数	N	[個]
	サブフィールド数	(B)	[個]
	サブフィールド時間(最小)	$\frac{1}{F} \times \frac{1}{2^B - 1}$	[sec]
	最小サンプリング時間Ta	$\frac{N}{H} \times \frac{1}{V} \times \frac{1}{F} \times \frac{1}{2^B - 1}$	[sec]

【 図 8 】

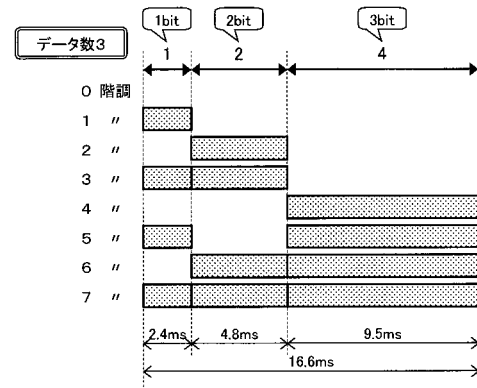
画素数	信号線数	1366 [本]
	走査線数	768 [本]
フレーム周波数		120 [Hz]
ビット数		10 [bit]
サブフィールド数		14 [個]



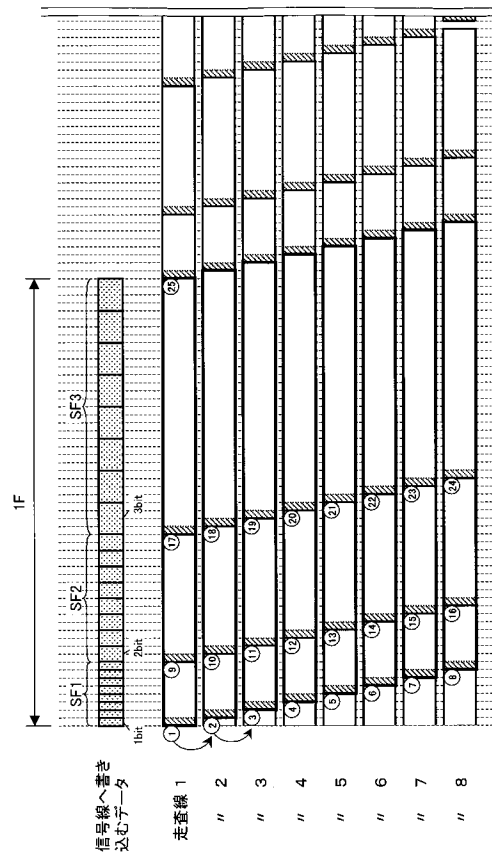
【 図 9 】



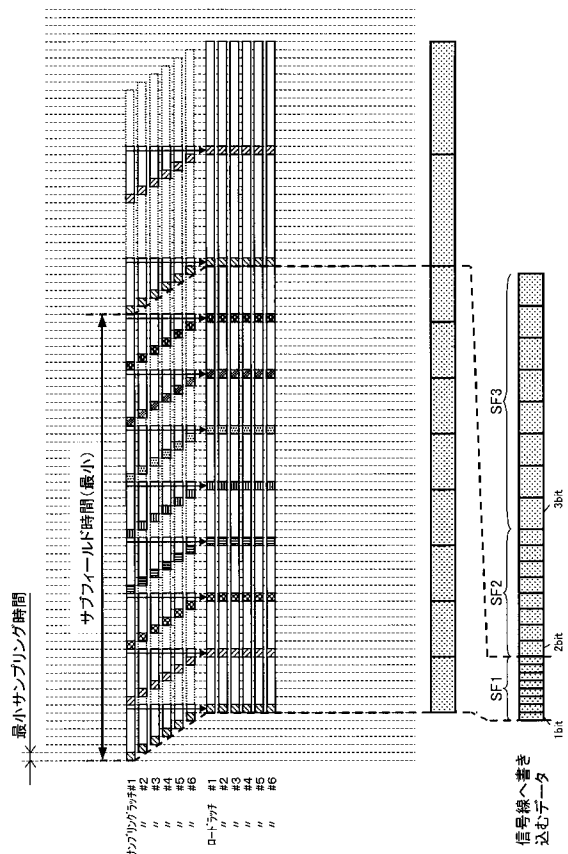
【 図 10 】



【 図 11 】



【 図 12 】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 0 5

Fターム(参考) 5C080 AA10 BB05 DD30 EE29 FF11 GG12 JJ02 JJ03 JJ04 JJ05

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	<a href="#">JP2006343609A</a>	公开(公告)日	2006-12-21
申请号	JP2005170308	申请日	2005-06-10
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	櫻井洋介		
发明人	櫻井 洋介		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/2014 G09G3/3688 G09G2300/0809 G09G2300/0842 G09G2300/0857 G09G2310/0227		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.641.A G09G3/20.641.K G09G3/20.623.G G09G3/20.624.B G02F1/133.550 G02F1/133.575 G02F1/133.505 G09G3/20.611.G G09G3/20.622.P G09G3/20.623.D G09G3/20.623.M G09G3/20.633.G		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA45 2H093/NA56 2H093/NA58 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC49 2H093/ND06 2H093/ND35 2H093/ND39 2H093/ND60 2H093/NH15 2H093/NH18 5C006/AA14 5C006/AA15 5C006/AA17 5C006/AF42 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BF01 5C006/BF04 5C006/FA15 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD30 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZC15 2H193/ZC26 2H193/ZD26 2H193/ZD29 2H193/ZF22 2H193/ZF36 2H193/ZF59		
代理人(译)	船桥 国则		
其他公开文献	JP5002914B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：为了解决这样的问题，即当子场被分类为奇数行和偶数行时，显示数据的传输速度可以减少到一半，但不会出现超出相同范围的急剧减少。  
 ŽSOLUTION：在通过脉冲宽度调制执行灰度显示的数字驱动液晶显示设备中，一种子块配置，用于将数字视频数据从低灰度级子场生成到高灰度级子场（在本例中，从一个作为每一行的一个块单元（对于每一条扫描线）采用一位块单元，并且通过使其传输速度均匀，将数字视频数据传送到液晶面板14。另一方面，对像素的写入不是通过顺序扫描而是通过隔行扫描进行，以便以行为单位顺序地将子块SB1至SB8的每个数据写入连接到每条扫描线1至8的每个像素中。

