

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-208995

(P2006-208995A)

(43) 公開日 平成18年8月10日(2006.8.10)

(51) Int.Cl.

G02F 1/1334 (2006.01)

F I

G02F 1/1334

テーマコード (参考)

2H089

審査請求 未請求 請求項の数 5 O L (全 23 頁)

(21) 出願番号 特願2005-23869 (P2005-23869)
 (22) 出願日 平成17年1月31日 (2005.1.31)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 花岡 一孝
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内
 (72) 発明者 仲西 洋平
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内

最終頁に続く

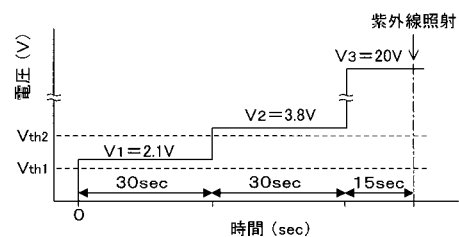
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 実質的な開口率が高く、ノート型パソコンに適用可能であるとともに、ポリマー形成時における液晶分子の配向の乱れを防止でき、表示品質がより一層良好なMVAモードの液晶表示装置の製造方法を提供する。

【解決手段】 1つの画素内に透過率-印加電圧特性のしきい値電圧が V_{th1} の第1の副画素領域と透過率-印加電圧特性のしきい値電圧が V_{th2} の第2の副画素領域とを有する液晶表示装置の製造方法において、第1及び第2の基板間に重合成分を添加した液晶を封入した後、液晶層にしきい値電圧 V_{th1} よりも若干高い電圧 V_1 を印加して一定時間保持し、その後しきい値電圧 V_{th2} よりも若干高い電圧 V_2 を印加して一定時間保持し、更に通常使用時における白表示電圧よりも高い電圧 V_3 を印加して一定時間保持する。その後、紫外線を照射して重合成分を重合させ、液晶層中にポリマーを形成する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

1つの画素内に透過率－印加電圧特性が相互に異なる複数の副画素領域を有する液晶表示装置の製造方法において、

第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、

前記複数の副画素領域の透過率－印加電圧特性のしきい値電圧よりも若干高い電圧を低い電圧から順に前記液晶に段階的に印加し、その後更に高い電圧を印加した状態で前記重合成分を重合させる工程と

を有することを特徴とする液晶表示装置の製造方法。

【請求項 2】

前記第1の基板には、各画素毎にスイッチング素子と前記副画素領域毎に配置された副画素電極とが設けられ、前記副画素電極のうちの少なくとも1つは前記スイッチング素子に直接接続され、その他の副画素電極は容量結合を介して前記スイッチング素子に接続されていることを特徴とする請求項1に記載の液晶表示装置の製造方法。

【請求項 3】

1つの画素内に透過率－印加電圧特性のしきい値電圧が V_{th1} の第1の副画素領域と透過率－印加電圧特性のしきい値電圧が V_{th2} （但し、 $V_{th2} > V_{th1}$ ）の第2の副画素領域とを有する液晶装置の製造方法において、

第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、

前記液晶に前記しきい値電圧 V_{th1} よりも高い電圧 V_1 （但し、 $V_{th1} < V_1 < V_{th2}$ ）を印加して保持する工程と、

前記液晶に前記しきい値電圧 V_{th2} よりも高い電圧 V_2 を印加して保持する工程と、

前記液晶に前記電圧 V_2 よりも高い電圧 V_3 を印加しつつ前記液晶中の重合成分を重合させてポリマーを形成する工程と

を有することを特徴とする液晶表示装置の製造方法。

【請求項 4】

1つの画素内に透過率－印加電圧特性のしきい値電圧が V_{th1} の第1の副画素領域と透過率－印加電圧特性のしきい値電圧が V_{th2} （但し、 $V_{th2} > V_{th1}$ ）の第2の副画素領域とを有する液晶装置の製造方法において、

第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、

前記液晶に前記しきい値電圧 V_{th1} よりも低い第1の電圧 V_1 を印加して保持する工程と、

前記液晶に前記しきい値電圧 V_{th1} よりも高く、前記しきい値電圧 V_{th2} よりも低い第2の電圧 V_2 を印加して保持する工程と、

前記液晶に前記第2の電圧 V_2 よりも高く、前記しきい値電圧 V_{th2} よりも低い第3の電圧 V_3 を印加して保持する工程と、

前記液晶に前記しきい値電圧 V_{th2} よりも高い第4の電圧 V_4 を印加して保持する工程と、

前記液晶に前記第4の電圧 V_4 又はそれよりも高い第5の電圧 V_5 を印加しつつ、前記液晶中の重合成分を重合させてポリマーを形成する工程と

を有することを特徴とする液晶表示装置の製造方法。

【請求項 5】

1つの画素内に透過率－印加電圧特性が相互に異なる複数の副画素領域を有する液晶装置において、

相互に対向して配置された第1及び第2の基板と、

前記第1及び第2の基板間に封入された液晶からなる液晶層と、

前記液晶層中に形成されて電圧印加時における液晶分子の配向方向を決めるポリマーと

、
前記副画素領域のうち前記透過率－印加電圧特性のしきい値電圧が最も低い副画素領域又はそれに隣接する領域に配置されて前記液晶層の厚さを決定するスペーサと

10

20

30

40

50

を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はMVA（Multi-domain Vertical Alignment）モードの液晶表示装置及びその製造方法に関し、特に液晶分子の倒れる方向を決定するポリマーが液晶層中に形成された液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、2枚の基板の間に液晶を封入してなる液晶パネルと、液晶パネルの両側にそれぞれ配置された偏光板とにより構成されている。液晶パネルの一方の基板には画素毎に画素電極が形成されており、他方の基板には各画素共通のコモン電極が形成されている。画素電極とコモン電極との間に電圧を印加すると、電圧に応じて液晶分子の配向方向が変化し、その結果液晶パネル及びその両側の偏光板を透過する光の量に変化する。画素毎に印加電圧を制御することにより、液晶表示装置に所望の画像を表示することができる。

【0003】

従来から広く使用されているTN（Twisted Nematic）モードの液晶表示装置では、誘電率異方性が正の液晶を使用し、2枚の基板の間に液晶分子をツイスト配向させている。しかし、TNモードの液晶表示装置には視野角特性が十分でないという欠点がある。つまり、TNモードの液晶表示装置では、液晶パネルを斜め方向から見たときに色調やコントラストが著しく劣化し、極端な場合には明暗が反転してしまう。

【0004】

視野角特性が優れた液晶表示装置として、IPS（In-Plane Switching）モードの液晶表示装置や、MVA（Multi-domain Vertical Alignment）モードの液晶表示装置が知られている。IPSモードの液晶表示装置では、一方の基板上に線状の画素電極とコモン電極とが交互に並んで配置されており、これらの画素電極とコモン電極との間に電圧を印加すると、電圧に応じて基板面に平行な面内で液晶分子の向きが変化する。

【0005】

しかし、IPSモードの液晶表示装置は、視野角特性は優れているものの、基板面に対し平行な方向に電圧を印加するので、画素電極及びコモン電極の上方の液晶分子の向きを制御することができない。そのため、IPSモードの液晶表示装置では実質的な開口率が低く、強力なバックライトを使用しないと画面が暗くなってしまうという欠点がある。

【0006】

MVAモードの液晶表示装置では、一方の基板の上に画素電極が形成されており、他方の基板の上にコモン電極が形成されている。また、一般的なMVAモードの液晶表示装置では、コモン電極の上に斜め方向に伸びる誘電体からなる土手状の突起物が形成されており、画素電極には突起物に並行するスリットが設けられている。

【0007】

MVAモードの液晶表示装置では、電圧を印加していない状態では液晶分子が基板面に垂直な方向に配向しており、画素電極とコモン電極との間に電圧を印加すると、液晶分子は電圧に応じた角度で傾斜して配向する。このとき、画素電極に設けられたスリットや土手状の突起物により、1画素内に液晶分子の倒れる方向が相互に異なる複数の領域（ドメイン）が形成される。このように、1画素内に液晶分子の倒れる方向が相互に異なる複数の領域を形成することにより、良好な視野角特性を得ることができる。

【0008】

しかし、上述したMVAモードの液晶表示装置では、スリットや突起物により実質的な開口率が低下するため、IPSモードの液晶表示装置ほどではないものの、TNモードの液晶表示装置に比べて実質的な開口率が低く、強力なバックライトが必要である。そのため、この種のMVAモードの液晶表示装置は、低消費電力が要求されるノート型パソコン

には殆ど採用されていない。

【0009】

特開2003-149647号公報には、上記の欠点を解消すべく開発されたMVAモードの液晶表示装置が開示されている。図1は、そのMVAモードの液晶表示装置を示す平面図である。なお、図1では2画素分の領域を示している。

【0010】

液晶パネルを構成する一方の基板の上には、水平方向（X軸方向）に伸びる複数のゲートバスライン11と、垂直方向（Y軸方向）に伸びる複数のデータバスライン12とが形成されている。これらのゲートバスライン11とデータバスライン12との間には絶縁膜（ゲート絶縁膜）が形成されており、ゲートバスライン11とデータバスライン12との間を電氣的に分離している。これらのゲートバスライン11及びデータバスライン12により区画される矩形の領域がそれぞれ画素領域となる。

【0011】

各画素領域には、TFT（薄膜トランジスタ）14と画素電極15とが形成されている。TFT14は、図1に示すように、ゲートバスライン11の一部をゲート電極としており、ゲート電極の上方にTFT14の活性層となる半導体膜（図示せず）が形成されている。また、この半導体膜のY軸方向の両側には、ドレイン電極14a及びソース電極14bが接続されている。TFT14のソース電極14bはデータバスライン12と電氣的に接続され、ドレイン電極14aは画素電極15と電氣的に接続されている。

【0012】

なお、本願では、TFTの活性層となる半導体膜に接続された2つの電極のうち、データバスラインに接続される電極をソース電極と呼び、画素電極に接続される電極をドレイン電極と呼んでいる。

【0013】

画素電極15は、例えばITO（Indium-Tin Oxide）等の透明導電体により形成されている。この画素電極15には、電圧印加時の液晶分子の配向方向が4方向となるように、スリット15aが形成されている。すなわち、画素電極15はX軸に平行な中心線及びY軸に平行な中心線を境界として4つのドメイン制御領域に分割されている。第1の領域（右上の領域）にはX軸に対しほぼ45°の方向に伸びる複数のスリット15aが形成されており、第2の領域（左上の領域）にはX軸に対しほぼ135°の方向に伸びる複数のスリット15aが形成されており、第3の領域（左下の領域）にはX軸に対しほぼ225°の方向に伸びる複数のスリット15aが形成されており、第4の領域（右下の領域）にはX軸に対しほぼ315°の方向に伸びる複数のスリット15aが形成されている。この画素電極15の上には、ポリイミドからなる垂直配向膜（図示せず）が形成されている。

【0014】

他方の基板には、ブラックマトリクス、カラーフィルタ及びコモン電極が形成されている。ブラックマトリクスは、例えばCr（クロム）等の金属又は黒色樹脂からなり、ゲートバスライン11、データバスライン12及びTFT14に対向する位置に配置されている。カラーフィルタには赤色、緑色及び青色の3種類があり、各画素毎にいずれか1色のカラーフィルタが配置されている。コモン電極はITO等の透明導電体からなり、カラーフィルタの上に形成されている。このコモン電極の上には、ポリイミドからなる垂直配向膜が形成されている。

【0015】

これらの2枚の基板はスペーサ（図示せず）を挟んで相互に対向して配置されており、両者の間に誘電率異方性が負の液晶が封入されて液晶パネルを構成している。以下、液晶パネルを構成する2枚の基板のうち、TFTが形成された基板をTFT基板と呼び、TFT基板に対向して配置される基板を対向基板と呼ぶ。

【0016】

図1に示すMVAモードの液晶表示装置では、画素電極15に電圧を印加していないときには液晶分子は基板面にほぼ垂直に配向する。そして、画素電極15に電圧を印加する

10

20

30

40

50

と、図1中に模式的に示すように、液晶分子10はスリット15aの伸びる方向に傾斜し、1画素内に液晶分子10の傾斜方向が相互に異なる4つの領域(ドメイン)が形成される。これにより、良好な視野角特性が確保される。

【0017】

ところで、図1に示すMVAモードの液晶表示装置において、画素電極15に電圧を印加した直後は、液晶分子10が内側(画素の中心に向う方向)に倒れるのか、外側(画素の外側に向う方向)に倒れるのかは決まっていない。初めに画素電極15の縁部(データバスライン12側)の液晶分子10の倒れる方向が画素電極15の縁部から発生する電界によって内側に決まり、その後液晶分子10の倒れる方向が画素の中央に向かって伝播していく。このため、1画素内の全ての液晶分子10が所定の方法に倒れるまでに時間がかかり、応答時間が長くなるという欠点がある。 10

【0018】

前述の特開2003-149647号公報には、一对の基板間に重合成分(モノマー)を添加した液晶を封入し、画素電極とコモン電極との間に電圧を印加して液晶を所定の方法に配向させた後、紫外線を照射して重合成分を重合させて液晶層中にポリマーを形成することが記載されている。このようにして製造された液晶表示装置では、液晶層中のポリマーにより液晶分子の倒れる方向が決定されるので、画素電極とコモン電極との間に電圧を印加すると同時に画素内の全ての液晶分子が所定の方法に倒れ初め、応答時間が著しく短縮される。

【特許文献1】特開2003-149647号公報 20

【特許文献2】特開2004-279904号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

従来、図1に示す液晶表示装置の製造工程において、液晶中に添加した重合成分を重合させる際に、画素電極とコモン電極との間に実使用時に印加する電圧(通常、4~6V程度)よりも高い電圧(例えば20V)を印加していた。これは、液晶分子が所定の方法に倒れるまでの時間を短くして、作業効率を向上させるためである。しかしながら、本願発明者等の実験・研究により、液晶に高い電圧を急激に印加すると、一つのドメイン制御領域内に異なる方向に倒れようとする液晶分子が混在し、配向の乱れ(いわゆるディスクリネーション)が発生することが判明した。この状態で紫外線を照射してポリマーを形成すると、実使用時においても液晶分子の配向の乱れが発生し、表示品質を劣化させる原因となる。 30

【0020】

また、近年、液晶表示装置にはより一層の表示品質の向上が要望されている。一般的に、垂直配向(VA)モードの液晶表示装置では、正面から見たときのT-V特性(透過率-印加電圧特性)が斜め方向から見たときのT-V特性と異なることが知られており、上述したMVAモードの液晶表示装置においても同様の欠点を有している。図2は、MVAモードの液晶表示装置における正面から見たときのT-V特性と方位角90°、極角60°の方向(斜め上側の方向)から見たときのT-V特性とを示す図である。なお、図2では、横軸を、黒から白までの間を256に分割した階調で示している。各階調は画素電極に印加する電圧に対応しており、階調の値が大きいほど画素電極に印加される電圧が高くなる。また、図2では、透過率を、白表示時の透過率(T_{white})を1としたときの相対値(T/T_{white})で示している。 40

【0021】

図2からわかるように、従来のMVAモードの液晶表示装置では、正面から見たときのT-V特性と斜め方向から見たときのT-V特性とが大きく異なるので、正面から見たときには良好な表示品質を得ることができるものの、斜め方向から見たときには表示品質が劣化するという欠点がある。特に、図2からわかるように従来のMVAモードの液晶表示装置では、正面から見たときのT-V特性に比べて斜め方向から見たときのT-V特性が 50

大きくうねっており、中間階調表示のときに輝度差が小さくなる。このため、斜め方向から見たときには、正面から見たときに比べて画像が白っぽく見える現象（白茶け：Wash out）が発生し、表示品質が劣化する。また、液晶の屈折率異方性には波長依存性があるため、正面から見たときと斜め方向から見たときとで色が変わってしまうこともある。

【0022】

以上から、本発明の目的は、実質的な開口率が高く、ノート型パソコンに適用可能であるとともに、ポリマー形成時における液晶分子の配向の乱れを防止できて、表示品質がより一層良好なMVAモードの液晶表示装置の製造方法を提供することである。

【0023】

また、本発明の他の目的は、実質的な開口率が高く、ノート型パソコンに適用可能であるとともに、表示品質がより一層良好なMVAモードの液晶表示装置を提供することである。

【課題を解決するための手段】

【0024】

上記した課題は、1つの画素内に透過率－印加電圧特性が相互に異なる複数の副画素領域を有する液晶表示装置の製造方法において、第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、前記複数の副画素領域の透過率－印加電圧特性のしきい値電圧よりも若干高い電圧を低い電圧から順に前記液晶に段階的に印加し、その後更に高い電圧を印加した状態で前記重合成分を重合させる工程とを有することを特徴とする液晶表示装置の製造方法により解決する。

【0025】

例えば、1つの画素内に透過率－印加電圧特性のしきい値電圧が V_{th1} の第1の副画素領域と透過率－印加電圧特性のしきい値電圧が V_{th2} （但し、 $V_{th2} > V_{th1}$ ）の第2の副画素領域とを有する液晶表示装置の製造方法において、第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、前記液晶に前記しきい値電圧 V_{th1} よりも高い電圧 V_1 （但し、 $V_{th1} < V_1 < V_{th2}$ ）を印加して保持する工程と、前記液晶に前記しきい値電圧 V_{th2} よりも高い電圧 V_2 を印加して保持する工程と、前記液晶に前記電圧 V_2 よりも高い電圧 V_3 を印加しつつ前記液晶中の重合成分を重合させてポリマーを形成する工程とを経て液晶表示装置を製造する。

【0026】

本発明においては、ポリマーを形成する際に、複数の副画素領域の透過率－印加電圧特性におけるそれぞれのしきい値電圧よりも若干高い電圧を、低い電圧から順に液晶に段階的に印加していく。これにより、液晶分子の配向の乱れが抑制された状態でモノマーを形成することが可能になり、表示品質が良好な液晶表示装置を製造することができる。

【0027】

1つの画素内の複数の副画素領域のうちの少なくとも1つの副画素領域に配置された副画素電極は、TFT等のスイッチング素子に直接（すなわち、容量結合を介することなく）接続され、その他の副画素電極は容量結合を介して前記スイッチング素子に接続されていることが好ましい。

【0028】

上記した課題は、1つの画素内に透過率－印加電圧特性のしきい値電圧が V_{th1} の第1の副画素領域と透過率－印加電圧特性のしきい値電圧が V_{th2} （但し、 $V_{th2} > V_{th1}$ ）の第2の副画素領域とを有する液晶表示装置の製造方法において、第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、前記液晶に前記しきい値電圧 V_{th1} よりも低い第1の電圧 V_1 を印加して保持する工程と、前記液晶に前記しきい値電圧 V_{th1} よりも高く、前記しきい値電圧 V_{th2} よりも低い第2の電圧 V_2 を印加して保持する工程と、前記液晶に前記第2の電圧 V_2 よりも高く、前記しきい値電圧 V_{th2} よりも低い第3の電圧 V_3 を印加して保持する工程と、前記液晶に前記しきい値電圧 V_{th2} よりも高い第4の電圧 V_4 を印加して保持する工程と、前記液晶に前記第4の電圧 V_4 又はそれよりも高い第5の電圧 V_5 を印加しつつ、前記液晶中の重合成分を重合させてポリマーを形成する工

10

20

30

40

50

程とを有することを特徴とする液晶表示装置の製造方法により解決する。

【0029】

本発明においては、しきい値電圧 V_{th1} よりも低い第1の電圧 V_1 、しきい値電圧 V_{th1} としきい値電圧 V_{th2} との間の第2の電圧 V_2 、第2の電圧 V_2 としきい値電圧 V_{th2} との間の第3の電圧 V_3 及びしきい値電圧 V_{th2} よりも高い電圧 V_4 を順次液晶層に印加する。これにより、液晶分子の配向の乱れが抑制された状態でモノマーを形成することが可能になり、表示品質が良好な液晶表示装置を製造することができる。

【0030】

上記した課題は、1つの画素内に透過率－印加電圧特性が相互に異なる複数の副画素領域を有する液晶表示装置において、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶からなる液晶層と、前記液晶層中に形成されて電圧印加時における液晶分子の配向方向を決めるポリマーと、前記副画素領域のうち前記透過率－印加電圧特性のしきい値電圧が最も低い副画素領域又はそれに隣接する領域に配置されて前記液晶層の厚さを決定するスペーサとを有することを特徴とする液晶表示装置により解決する。 10

【0031】

透過率－印加電圧特性におけるしきい値電圧が高い副画素領域は、しきい値電圧が低い副画素領域に比べて配向規制力が弱くなる。このため、スペーサをしきい値電圧が高い副画素領域又はその近傍に配置すると、スペーサによる液晶分子の配向不良の影響が副画素領域にまで及んでしまい、実質的な開口率の低下を招いてしまう。一方、本発明においては、スペーサをしきい値電圧が最も低い副画素領域又はそれに隣接する領域に配置するので、スペーサによる液晶分子の配向不良の影響が小さく、実質的な開口率の低下を防止することができる。 20

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施形態について、添付の図面を参照して説明する。

【0033】

(第1の実施形態)

図3は本発明の第1の実施形態の製造方法により製造される液晶表示装置の平面図、図4は同じくその液晶表示装置の模式断面図である。なお、図3では、2画素分の領域を示している。 30

【0034】

液晶パネル100は、図4に示すように、TFT基板110と、対向基板130と、それらの間に封入された誘電率異方性が負の液晶からなる液晶層140とにより構成されている。この液晶パネル100の厚さ方向の両側には、それぞれ偏光板141a、141bが配置されている。液晶層140中には、液晶中に添加した重合成分（モノマー又はオリゴマー）を紫外線照射により重合させて形成したポリマーが含まれている。

【0035】

TFT基板110には、図3に示すように、水平方向（X軸方向）に伸びる複数のゲートバスライン112と、垂直方向（Y軸方向）に伸びる複数のデータバスライン117とが形成されている。これらのゲートバスライン112及びデータバスライン117により区画される矩形の領域がそれぞれ画素領域である。また、TFT基板110には、ゲートバスライン112と平行に配置されて画素領域の中央を横断する補助容量バスライン113が形成されている。本実施形態では、偏光板141a、141bのうちの一方はその吸収軸をゲートバスライン112に平行にして配置され、他方はその吸収軸をデータバスライン117に平行にして配置される。 40

【0036】

各画素領域毎に、TFT（スイッチング素子）118と、3つの副画素電極121a～121cと、制御電極119a、119cと、補助容量電極119bとが形成されている。副画素電極121a～121cはITO等の透明導電体からなり、それぞれ液晶分子の 50

配向方向を規定するスリット 1 2 2 が設けられている。

【0037】

以下、図 3 の平面図及び図 4 の模式断面図を参照して、T F T 基板 1 1 0 及び対向基板 1 3 0 の構造をより詳細に説明する。

【0038】

T F T 基板 1 1 0 のベースとなるガラス基板 1 1 1 の上には、ゲートバスライン 1 1 2 及び補助容量バスライン 1 1 3 が形成されている。

【0039】

ゲートバスライン 1 1 2 及び補助容量バスライン 1 1 3 の上には、例えば SiO_2 又は SiN 等からなる第 1 の絶縁膜（ゲート絶縁膜）1 1 4 が形成されている。この第 1 の絶縁膜 1 1 4 の上の所定の領域には、T F T 1 1 8 の活性層となる半導体膜（例えば、アモルファスシリコン膜又はポリシリコン膜）1 1 5 が形成されている。この半導体膜 1 1 5 の上には、 SiN 等からなるチャネル保護膜 1 1 6 が形成されており、このチャネル保護膜 1 1 6 の Y 軸方向の両側には T F T 1 1 8 のドレイン電極 1 1 8 a 及びソース電極 1 1 8 b が形成されている。 10

【0040】

また、第 1 の絶縁膜 1 1 4 の上には、T F T 1 1 8 のソース電極 1 1 8 b に接続されたデータバスライン 1 1 7 と、ドレイン電極 1 1 8 a に接続された制御電極 1 1 9 a, 1 1 9 c と、補助容量電極 1 1 9 b とが形成されている。図 4 に示すように、補助容量電極 1 1 9 b は第 1 の絶縁膜 1 1 4 を挟んで補助容量バスライン 1 1 3 に対向する位置に形成されている。補助容量バスライン 1 1 3、補助容量電極 1 1 9 b 及びそれらの間の第 1 の絶縁膜 1 1 4 により、補助容量が構成される。また、制御電極 1 1 9 a, 1 1 9 c は、Y 軸に平行な画素領域の中心線に沿って配置されており、補助容量電極 1 1 9 b は X 軸に平行な画素領域の中心線に沿って配置されている。 20

【0041】

これらのデータバスライン 1 1 7、ドレイン電極 1 1 8 a、ソース電極 1 1 8 b、制御電極 1 1 9 a, 1 1 9 c 及び補助容量電極 1 1 9 b の上には、例えば SiN からなる第 2 の絶縁膜 1 2 0 が形成されている。この第 2 の絶縁膜 1 2 0 の上には、3 つの副画素電極 1 2 1 a ~ 1 2 1 c が形成されている。図 4 に示すように、副画素電極 1 2 1 a は第 2 の絶縁膜 1 2 0 を介して制御電極 1 1 9 a と容量結合しており、副画素電極 1 2 1 c は第 2 の絶縁膜 1 2 0 を介して制御電極 1 1 9 c と容量結合している。また、副画素電極 1 2 1 b は、第 2 の絶縁膜 1 2 0 に設けられたコンタクトホール 1 2 0 a を介して補助容量電極 1 1 9 b と電氣的に接続されている。 30

【0042】

図 3 に示すように、副画素電極 1 2 1 a は画素領域の上側に配置されており、Y 軸に平行な中心線を境界として左右対称形の 2 つのドメイン制御領域に分割されている。そして、右側の領域には X 軸に対しほぼ 45° 方向に伸びる複数のスリット 1 2 2 が形成されており、左側の領域には X 軸に対しほぼ 135° 方向に伸びる複数のスリット 1 2 2 が形成されている。 40

【0043】

副画素電極 1 2 1 b は画素領域の中央に配置されており、X 軸に平行な中心線及び Y 軸に平行な中心線により 4 つのドメイン制御領域に分割されている。右上の第 1 の領域には X 軸に対しほぼ 45° の方向に伸びる複数のスリット 1 2 2 が形成されており、左上の第 2 の領域には X 軸に対しほぼ 135° の方向に伸びる複数のスリット 1 2 2 が形成されており、左下の第 3 の領域には X 軸に対しほぼ 225° の方向に伸びる複数のスリット 1 2 2 が形成されており、右下の第 4 の領域には X 軸に対しほぼ 315° の方向に伸びる複数のスリット 1 2 2 が形成されている。 40

【0044】

副画素電極 1 2 1 c は画素領域の下側に配置されており、Y 軸に平行な中心線を境界として左右対称形の 2 つのドメイン制御領域に分割されている。そして、左側の領域には X 50

軸に対しほぼ 22.5° の方向に伸びる複数のスリット 122 が形成されており、右側の領域には X 軸に対しほぼ 31.5° の方向に伸びる複数のスリット 122 が形成されている。各副画素電極 121a ~ 121c のスリット 122 の幅は例えば $3.5\ \mu\text{m}$ であり、スリット間の導体部分（以下、微細電極部という）の幅は例えば $6\ \mu\text{m}$ である。

【0045】

これらの副画素電極 121a ~ 121c の上には、ポリイミド等からなる垂直配向膜（図示せず）が形成されている。

【0046】

一方、対向基板 130 のベースとなるガラス基板 131 の一方の面側（図 4 では下側）には、ブラックマトリクス（遮光膜）132 と、カラーフィルタ 133 と、コモン電極 134 とが形成されている。 10

【0047】

ブラックマトリクス 132 は Cr（クロム）等の金属又は黑色樹脂により形成され、TFT 基板 110 側のゲートバスライン 112、データバスライン 117 及び TFT 118 に対向する位置に配置されている。カラーフィルタ 133 には、赤色（R）、緑色（G）及び青色（B）の 3 種類があり、画素毎にいずれか 1 色のカラーフィルタが配置されている。隣接する赤色画素、緑色画素及び青色画素の 3 つの画素により 1 つのピクセルが構成され、種々の色の表示を可能としている。

【0048】

コモン電極 134 は ITO 等の透明導電体により形成され、カラーフィルタ 133 の上（図 4 では下側）に配置されている。このコモン電極 134 の上（図 4 では下側）には、ポリイミド等の垂直配向膜（図示せず）が形成されている。 20

【0049】

このように構成された本実施形態の液晶表示装置において、データバスライン 117 に表示信号を印加し、ゲートバスライン 112 に所定の電圧（走査信号）を印加すると、TFT 118 がオンになって制御電極 119a、119c 及び補助容量電極 119b に表示信号が伝達される。副画素電極 121b はコンタクトホール 120a を介して補助容量電極 119b と接続されているため、副画素電極 121b の電圧は表示信号の電圧と同じになる。

【0050】

一方、副画素電極 121a、121c には、制御電極 119a、119c との間の容量値に応じた電圧が印加される。ここで、表示信号の電圧を V_D とし、副画素電極 121a、121c とコモン電極 134 との間の容量値を C_1 、副画素電極 121a、121c と制御電極 119a、119c との間の容量値を C_2 とすると、副画素電極 121a、121c に印加される電圧 V_1 は、 $V_1 = V_D \cdot C_2 / (C_1 + C_2)$ となる。 30

【0051】

つまり、副画素電極 121a、121c には、画素電極 121b よりも低い電圧が印加され、1 画素内に T-V 特性（透過率-印加電圧特性）が異なる 2 つの領域が存在することになる。そして、各領域の T-V 特性を合成したものが全体の T-V 特性となる。このように、1 画素内に T-V 特性が異なる複数の副画素領域を形成することにより、画面を斜めから見たときの表示品質の劣化が回避されることが知られている（例えば、特開 2004-279904 号公報）。また、このように、T-V 特性が異なる複数の副画素領域により白茶け（Wash out）を防止する方法は、HT（ハーフトーン・グレースケール）法と呼ばれている。 40

【0052】

本実施形態では、副画素電極 121b（すなわち、容量結合を介さずに TFT に接続された副画素電極：以下、直結画素電極という）が配置された領域における T-V 特性のしきい値電圧と、副画素電極 121a、121c（すなわち、容量結合を介して TFT に接続された副画素電極：以下、容量結合画素電極という）が配置された領域における T-V 特性のしきい値電圧との差がほぼ 1.5 V となるように各容量値 C_1 、 C_2 を設定してい 50

る。

【0053】

図5は、横軸に印加電圧をとり、縦軸に透過率をとって、直結画素電極が配置された領域（以下、直結画素領域という）におけるT-V特性と、容量結合画素電極が配置された領域（以下、容量結合画素領域という）におけるT-V特性とを示す図である。この図5に示すように、本実施形態では、直結画素領域におけるT-V特性のしきい値電圧 V_{th1} は約1.8V、容量結合画素領域におけるT-V特性のしきい値電圧 V_{th2} は約3.3Vである。

【0054】

なお、本願発明者等の実験・研究により、全副画素領域（直結画素領域＋容量結合画素領域）に対する容量結合画素領域の面積の割合が20%未満の場合及び80%を超える場合は、いずれもHT法により白茶け（Wash out）を防止する効果を十分に得ることができないことが判明している。このため、全副画素領域（直結画素領域＋容量結合画素領域）に対する容量結合画素領域の面積の割合は、20～80%とすることが好ましい。

【0055】

本実施形態においては、スリット122の伸びる方向が相互に異なる各ドメイン制御領域の境界部分、すなわちX軸に平行な画素領域の中心線に沿った領域及びY軸に平行な画素領域の中心線に沿った領域では、電圧印加時に液晶分子がX軸又はY軸に平行な方向（すなわち、偏光板141a, 141bの吸収軸と平行又は直交する方向）に配向するので、光が透過しない。本実施形態では、制御電極119a, 119c及び補助容量電極119bを、この境界部分に設けているので、制御電極119a, 119c及び補助容量電極119bを設けることによる開口率の低下を最小限にすることができる。

【0056】

以下、図3及び図4を参照して、本実施形態の液晶表示装置の製造方法について説明する。

【0057】

まず、TFT基板110のベースとなるガラス基板111を用意する。そして、このガラス基板111の上に例えばAl（アルミニウム）／Ti（チタン）を積層してなる金属膜を形成し、この金属膜をフォトリソグラフィ法によりパターンニングして、ゲートバスライン112と、補助容量バスライン113とを形成する。この場合、例えばゲートバスライン112は、Y軸方向に約300μmのピッチで形成する。

【0058】

次に、ガラス基板111の上側全面に例えばSiO₂又はSiN等の絶縁物からなる第1の絶縁膜（ゲート絶縁膜）114を形成する。そして、この第1の絶縁膜114の上の所定の領域に、TFT118の活性層となる半導体膜（アモルファスシリコン膜又はポリシリコン膜）115を形成する。

【0059】

次に、ガラス基板111の上側全面にSiN膜を形成し、フォトリソグラフィ法によりSiN膜をパターンニングして、半導体膜115のチャンネルとなる領域の上にチャンネル保護膜116を形成する。

【0060】

次に、ガラス基板111の上側全面に不純物を高濃度に導入した半導体膜からなるオーミックコンタクト層（図示せず）を形成する。その後、ガラス基板111の上に例えばTi／Al／Tiをこの順で積層してなる金属膜を形成し、この金属膜及びオーミックコンタクト層をフォトリソグラフィ法によりパターンニングして、データバスライン117、ドレイン電極118a、ソース電極118b、制御電極119a, 119c及び補助容量電極119bを形成する。この場合、例えばデータバスライン117は、X軸方向に約100μmのピッチで形成する。

【0061】

次に、ガラス基板111の上側全面に例えばSiO₂又はSiN等の絶縁物からなる第

10

20

30

40

50

2の絶縁膜120を形成する。そして、この第2の絶縁膜120に、補助容量電極119bに到達するコンタクトホール120aを形成する。

【0062】

次に、ガラス基板111の上側全面にITOをスパッタリングして、ITO膜を形成する。このITO膜は、コンタクトホール120aを介して補助容量電極119bと電氣的に接続される。その後、ITO膜をフォトリソグラフィ法によりパターンニングして、副画素電極121a～121cを形成する。これらの副画素電極121a～121cには、前述したように斜め方向に伸びるスリット122を形成する。

【0063】

次いで、ガラス基板111の上側全面にポリイミドを塗布して配向膜を形成する。このようにして、TFT基板110が完成する。 10

【0064】

次に、対向基板130の製造方法について説明する。

【0065】

まず、対向基板130のベースとなるガラス基板131を用意する。そして、このガラス基板131の所定の領域上に、Cr等の金属又は黒色樹脂によりブラックマトリクス132を形成する。このブラックマトリクス132は、例えばTFT基板110側のゲートバスライン112、データバスライン117及びTFT118に対向する位置に形成する。

【0066】

次に、赤色感光性樹脂、緑色感光性樹脂及び青色感光性樹脂を使用して、ガラス基板131の上に赤色、緑色及び青色のカラーフィルタ133を形成する。 20

【0067】

次いで、ガラス基板131の上側全面にITOをスパッタリングしてコモン電極134を形成した後、コモン電極134の上にポリイミドを塗布して配向膜を形成する。このようにして、対向基板130が完成する。

【0068】

このようにして製造したTFT基板110と対向基板130とをスペーサ（図示せず）を挟んで相互に対向させて配置し、両者の間に誘電率異方性が負の液晶を封入して液晶パネル100とする。液晶には、予め重合成分として例えばジアクリレートを、液晶に対し 30 0.3wt%の割合で添加しておく。また、TFT基板110と対向基板130との間隔（セルギャップ）は例えば3.5～4μmとする。

【0069】

次いで、ゲートバスライン112に所定の信号を印加して各画素のTFT118をオン状態にし、更にデータバスライン117に電圧を印加して液晶分子を所定の方向に配向させた後、紫外線を照射して液晶層中にポリマーを形成する。

【0070】

図6は、ポリマー形成時におけるデータバスライン117への印加電圧の変化を示す模式図である。但し、ここではTFT110による電圧降下は無視できるものとしている。この図6に示すように、直結画素領域のしきい値電圧（ $T-V$ 特性のしきい値電圧：以下 40 同じ） V_{th1} （1.8V）よりも若干高い交流電圧 V_1 （この例では周波数100Hz、電圧2.1V）をデータバスライン117に印加し、30秒間保持して液晶分子の配向が安定するのを待つ。なお、このときの電圧 V_1 は、液晶分子の配向の乱れをより確実に低減するために、 $V_{th1} < V_1 \leq V_{th1} + 1$ （V）とすることが好ましい。

【0071】

次に、容量結合画素領域のしきい値電圧 V_{th2} （3.3V）よりも若干高い交流電圧 V_2 （この例では周波数100Hz、電圧3.8V）をデータバスライン117に印加し、30秒間保持して液晶分子の配向が安定するのを待つ。なお、このときの電圧 V_2 は、液晶分子の配向の乱れをより確実に低減するために、 $V_{th2} < V_2 \leq V_{th2} + 1$ （V）とすることが好ましい。 50

【0072】

次いで、通常使用時における最大印加電圧（白表示電圧：通常、4～6 V程度）よりも高い交流電圧V3（この例では周波数100 Hz、電圧20 V）をデータバスライン117に印加して15秒間保持し、その後紫外線（UV）を照射して液晶中の重合成分を重合させ、ポリマーを形成する。このようにして、ポリマーの形成が完了する。

【0073】

図7は、紫外線照射前及び照射後における液晶分子の状態を模式的に示す図である。この図7において、150は液晶分子を示している。また、151aはTFT基板側に形成された配向膜であり、151bは対向基板側に形成された配向膜である。更に、152は液晶中に添加されたモノマーであり、153は紫外線照射によって形成されたポリマーである。

10

【0074】

このようにして電圧印加時に液晶分子の倒れる方向を決定するポリマーを液晶層中に形成した後、図4に示すように、液晶パネル100の厚さ方向の両側にそれぞれ偏光板141a、141bを配置し、更に駆動回路及びバックライトを取り付ける。これにより、液晶表示装置が完成する。

【0075】

上述したように、本実施形態においては、液晶中に添加した重合成分を重合する際に、まず直結画素領域のしきい値電圧Vth1よりも若干高い電圧V1を印加して一定の時間保持し、その後の容量結合画素領域のしきい値電圧Vth2よりも若干高い電圧V2を印加して一定の時間保持した後、所定の高電圧V3を印加するので、液晶分子の配向の乱れが抑制された状態でポリマーが形成される。これにより、液晶表示装置の表示品質が向上するという効果を奏する。

20

【0076】

図8（a）は本実施形態により実際に製造した液晶表示装置の透過状態を示す図であり、図8（b）は比較例の液晶表示装置の透過状態を示す図である。なお、比較例の液晶表示装置は、TFTのオンと同時にデータバスラインに20 Vの交流電圧を印加して一定の時間保持し、その後紫外線を照射して液晶層中にポリマーを形成している。これらの図8（a）と図8（b）との比較から、本実施形態により製造した液晶表示装置は、比較例に比べて液晶分子の配向の乱れによる暗部の発生が極めて少ないことがわかる。

30

【0077】

（第2の実施形態）

以下、本発明の第2の実施形態について説明する。

【0078】

図9は、第2の実施形態のポリマー形成時におけるデータバスラインへの印加電圧の変化を示す模式図である。なお、本実施形態において、TFT基板及び対向基板の構造は第1の実施形態と基本的に同じであるので、ここではそれらの説明を省略する。

【0079】

図9に示すように、本実施形態においては、まず、直結画素領域のしきい値電圧Vth1よりも若干低い電圧V1をデータバスラインに印加し、一定時間保持する。

40

【0080】

次に、直結画素領域のしきい値電圧Vth1よりも若干高い電圧V2をデータバスラインに印加し、一定時間保持する。その後、容量結合画素領域のしきい値電圧Vth2よりも若干低い電圧V3（但し、 $V3 > V2$ ）をデータバスラインに印加し、一定時間保持する。

【0081】

次いで、容量結合画素領域のしきい値電圧Vth2よりも若干高い電圧V4をデータバスラインに印加して一定時間保持した後、紫外線を照射して液晶層中の重合成分を重合させ、ポリマーを形成する。

【0082】

図10に示すように、データバスラインに電圧V4を印加して一定時間保持した後、更

50

に実使用時にデータバスラインに印加される白表示電圧（4～6 V程度）よりも高い電圧 V5（例えば17 V）を印加し、一定時間保持した後に紫外線を照射して液晶層中にポリマーを形成してもよい。これにより、液晶分子が所定の方に配向するまでの時間を短縮することができる。

【0083】

本実施形態においては、第1の実施形態と同様の効果を得ることができる。また、滴下注入法によりTFT基板と対向基板との間に液晶を封入した液晶表示装置では、液晶を滴下したところに滴下痕と呼ばれる表示むらが発生することがあるが、本実施形態の方法によれば、滴下痕の発生が防止できるという効果もある。滴下痕が発生する理由や本実施形態の方法により滴下痕を防止できる理由は明確ではないが、以下のように考えることができる。 10

【0084】

真空注入法では、例えばTFT基板の表示領域（画素がマトリクス状に配列された領域）の縁部に沿ってシール材を棒状に塗布した後、TFT基板上の数箇所に液晶を滴下する。そして、真空中でTFT基板と対向基板とを重ね合わせた後、紫外線照射又は熱処理によりシール材を硬化する。真空中において、液晶が滴下されていない部分では配向膜の表面に付着している水分が蒸発して除去されるのに対し、液晶を滴下した部分には配向膜の表面に水分が残ってしまう。この水分のために配向膜の表面の抵抗が部分的に異なって滴下痕が発生すると考えられる。本実施形態のように、液晶に交流の比較的高い電圧を印加することにより、ポリマー形成時に配向膜表面に部分的に残留した水分が液晶層中に分散 20

【0085】

以下、ポリマー形成時の条件を種々変えて液晶表示装置を製造し、液晶分子の配向性の良否を調べた結果について説明する。

【0086】

（実験1）

まず、データバスラインに印加する電圧の変化と液晶分子の配向性との関係を調べた結果について説明する。

【0087】

図3、図4に示すTFT基板と対向基板とを製造した。これらのTFT基板及び対向基板の表面には、それぞれJSR社製の配向膜材料を塗布して垂直配向膜を形成した。そして、これらのTFT基板及び対向基板の間に液晶を封入して液晶パネルとした。液晶にはメルク社製のN型液晶（誘電率異方性が負の液晶）を使用し、この液晶中に紫外線による重合可能なモノマー（ジアクリレート）を0.3 wt%の割合で添加した。 30

【0088】

次に、図11に示す各条件で液晶層に電圧を印加し、紫外線照射によりモノマーを重合して液晶層中にポリマーを形成した。その後、液晶パネルの両側にそれぞれ偏光板を配置し、バックライトを取り付けてサンプル1～5の液晶表示装置を完成した。

【0089】

次に、ゲートバスラインに所定の電圧を印加してTFTをオン状態とし、データバスラインに5 Vの交流電圧を印加してサンプル1～5の液晶表示装置の液晶の配向状態を観察した。但し、これらのサンプル1～5の液晶表示装置の直結画素領域におけるしきい値電圧 V_{th1} は2.2 Vであり、容量結合画素領域におけるしきい値電圧 V_{th2} は3.0 Vであった。 40

【0090】

その結果、図12に示すように、データバスラインにいきなり17 Vの電圧 V5 を印加したサンプル1、電圧 V1, V5 を順番に印加したものの電圧 V2, V3, V4 を印加していないサンプル2、及び電圧 V1, V2, V5 を順番に印加したものの電圧 V3, V4 を印加していないサンプル3の液晶表示装置は、いずれもディスクリネーションが発生しており、液晶分子の配向性が悪いことが確認された。電圧 V1, V2, V4, V5 を順番 50

に印加したものの電圧 V_3 を印加していないサンプル 4 は、サンプル 1 ～ 3 に比べてディスプレイネーションの発生が少なく、良好な配向性を示した。しかし、配向が乱れた画素がパネル全体で数箇所発生していた。

【0091】

一方、電圧 $V_1 \sim V_5$ を順番に印加して製造したサンプル 5 の液晶表示装置は、配向が乱れた画素がなく極めて良好な配向性を示した。この実験 1 の結果から、液晶層に電圧 V_1, V_2, V_3, V_4, V_5 を順番に印加することにより、液晶分子の配向性が良好な液晶表示装置を製造することがわかる。

【0092】

(実験 2)

次に、印加電圧保持時間と液晶の配向性との関係について調べた結果について説明する。

【0093】

図 13 に示すように、ポリマー形成時における電圧 $V_1 \sim V_5$ の印加時間を 0.5 秒から 60 秒の間で変化して液晶表示装置を製造し、それらの液晶表示装置の液晶分子の配向性の良否を評価した。その結果、図 13 に示すように、電圧印加時間が 2 秒から 30 秒の間であるサンプル 7 ～ 9 の液晶表示装置については、いずれも配向性が良好であることが確認された。しかし、電圧印加時間が 0.5 秒と短いサンプル 6 の液晶表示装置は、配向性が悪いものであった。これは、液晶分子の配向が安定していないうちにポリマーが形成されたため、ポリマーによって不安定な配向状態が記憶され、それに従って液晶分子が配向するためと考えられる。

【0094】

また、電圧印加時間が 60 秒と長いサンプル 10 の液晶表示装置は、配向性は良好であるものの、滴下痕が発生した。これは、電圧印加時間が長くなると液晶を滴下した部分に残留 DC が蓄積されたためと考えられる。

【0095】

この実験 2 から、電圧 $V_1 \sim V_5$ を印加する時間は、2 ～ 30 秒間とすることが好ましいことがわかる。

【0096】

なお、本実施形態においては、第 1 の実施形態に比べて液晶層に印加する電圧の変化量を小さくしているので、各電圧 $V_1 \sim V_4$ を印加して保持する時間が、電圧印加により形成される液晶のドメインが安定する時間よりも短くてもよい。

【0097】

(実験 3)

次に、ポリマー形成時におけるデータバスラインへの印加電圧を直流とし、液晶分子の配向性の良否を調べた結果について説明する。

【0098】

データバスラインに印加する電圧を直流とした以外は実験 2 と同様にして、液晶層中にポリマーを形成した。そして、これらの液晶表示装置の液晶分子の配向性を調べた。その結果を図 14 に示す。

【0099】

この図 14 に示すように、電圧印加時間を 2 秒としたサンプル 12 及び電圧印加時間を 10 秒としたサンプル 13 の液晶表示装置は、いずれも配向性が良好であった。一方、電圧印加時間を 30 秒としたサンプル 14、及び電圧印加時間を 60 秒としたサンプル 15 の液晶表示装置では、いずれも配向性は良好であるものの、滴下痕が発生していた。また、電圧印加時間を 0.5 秒としたサンプル 11 の液晶表示装置は、配向性が悪いものであった。

【0100】

この実験 3 から、直流電圧を印加した場合は交流電圧を印加した場合に比べてプロセスマージンが狭くなることがわかる。

10

20

30

40

50

【0101】

これらの実験1～3の結果から、ポリマー形成時には、直結画素領域のしきい値電圧 V_{th1} よりも若干低い電圧 V_1 、直結画素領域のしきい値電圧 V_{th1} と容量結合画素領域のしきい値電圧 V_{th2} との間の電圧 V_2 、 V_3 （但し、 $V_2 < V_3$ ）、容量結合画素領域のしきい値電圧 V_{th2} よりも若干高い電圧 V_4 、通常使用時における白表示電圧よりも高い電圧 V_5 を順番に印加することが好ましく、その場合の電圧印加時間は2～30秒とすることが好ましく、直流電圧よりも交流電圧を印加することが好ましいことがわかる。

【0102】

（第3の実施形態）

以下、本発明の第3の実施形態について説明する。

10

【0103】

滴下注入法によりTFT基板と対向基板との間に液晶を封入する場合は、ビーズ状のスペーサを使用すると、液晶が広がるときにスペーサが移動してしまうのでパネル全体にスペーサを均一に分布させることができない。このため、滴下注入法によりTFT基板と対向基板との間に液晶を封入する場合は、TFT基板及び対向基板のいずれか一方に予めフォトリソットにより柱状のスペーサ（以下、フォトスペーサという）を形成している。通常、フォトスペーサは、ゲートバスラインとデータバスラインとの交差部に配置される。この交差部はブラックマトリクスにより遮光される部分であり、フォトスペーサによる開口率の低下を回避することができる。

【0104】

20

しかしながら、図3に示すように容量結合画素電極を有する液晶表示装置の場合は、容量結合画素電極は直結画素電極に比べて印加電圧が低い分だけ液晶分子に対する配向規制力が弱いので、スペーサによる液晶分子の配向不良の影響が容量画素領域にまで及んでしまうことが判明した。

【0105】

図15(a)は図1に示す液晶表示装置（容量結合画素電極を有しない液晶表示装置）の透過状態を示す図であり、図15(b)は図3に示す液晶表示装置（容量結合画素電極を有する液晶表示装置）の透過状態を示す図である。但し、いずれもゲートバスラインとデータバスラインとの交差部（図中丸で示す部分）にフォトスペーサを配置している。

【0106】

30

この図15(a)と図15(b)との比較から、容量結合画素電極を有する液晶表示装置では、フォトスペーサによる配向異常の影響がブラックマトリクスの外側（すなわち、容量結合画素領域）にまで及んでいることがわかる。

【0107】

そこで、本実施形態においては、フォトスペーサを容量結合画素領域から離れた位置に形成する。以下、図を参照して具体的に説明する。

【0108】

図16は、本発明の第3の実施形態に係る液晶表示装置を示す平面図である。この図16において、図3と同一物には同一符号を付して、重複する部分の説明を省略する。

【0109】

40

本実施形態においては、補助容量バスライン113とデータバスライン117とが交差する部分（直結画素領域に隣接する領域）にフォトスペーサ161を配置している。このフォトスペーサ161は対向基板側に形成されており、先端がTFT基板に接触してTFT基板と対向基板との間隔（セルギャップ）を一定に維持している。

【0110】

フォトスペーサ161は、コモン電極の上にフォトリソットを塗布した後、露光及び現像工程を経て形成される。このフォトスペーサ161を形成した後、コモン電極及びフォトスペーサ161の表面に垂直配向膜が塗布される。

【0111】

本実施形態に係る液晶表示装置を実際に製造し、フォトスペーサの周囲における配向状

50

態を調べた。但し、液晶層中にポリマーを形成する際には、第2の実施形態のサンプル5に示す条件で液晶層に電圧を印加した。その結果、フォトスペーサによる液晶分子の配向の乱れはなく、配向性が良好であることが確認された。

【0112】

なお、上記実施形態ではフォトスペーサを対向基板側に形成しているが、フォトスペーサをTFT基板側に形成してもよい。また、上記実施形態ではフォトスペーサを直結画素領域に隣接する領域に形成した場合について説明したが、直結画素領域内にフォトスペーサを形成してもよい。例えば、フォトスペーサを、補助容量バスライン113と重なる位置に形成することができる。

【0113】

10

以下、本発明の諸態様を、付記としてまとめて記載する。

【0114】

(付記1) 1つの画素内に透過率－印加電圧特性が相互に異なる複数の副画素領域を有する液晶表示装置の製造方法において、

第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、

前記複数の副画素領域の透過率－印加電圧特性のしきい値電圧よりも若干高い電圧を低い電圧から順に前記液晶に段階的に印加し、その後更に高い電圧を印加した状態で前記重合成分を重合させる工程と

を有することを特徴とする液晶表示装置の製造方法。

【0115】

20

(付記2) 前記第1の基板には、各画素毎にスイッチング素子と前記副画素領域毎に配置された副画素電極とが設けられ、前記副画素電極のうちの少なくとも1つは前記スイッチング素子に直接接続され、その他の副画素電極は容量結合を介して前記スイッチング素子に接続されていることを特徴とする付記1に記載の液晶表示装置の製造方法。

【0116】

(付記3) 前記容量結合を介して前記スイッチング素子に接続された副画素電極が配置された副画素領域の面積が、全副画素領域の面積の20乃至80%であることを特徴とする付記2に記載の液晶表示装置の製造方法。

【0117】

(付記4) 前記透過率－印加電圧のしきい値電圧を V_{th} としたときに、前記透過率－印加電圧のしきい値電圧よりも若干高い電圧が、 $V_{th}+1$ (V) 以下の電圧であることを特徴とする付記1に記載の液晶表示装置の製造方法。

30

【0118】

(付記5) 各印加電圧における電圧保持時間が、2乃至60秒であることを特徴とする付記1に記載の液晶表示装置の製造方法。

【0119】

(付記6) 前記副画素電極はいずれも液晶分子の配向方向が相互に異なる2以上のドメイン制御領域に分割され、各ドメイン制御領域には相互に平行に配置された複数の帯状の微細電極部が設けられていることを特徴とする付記1に記載の液晶表示装置の製造方法。

【0120】

40

(付記7) 1つの画素内に透過率－印加電圧特性のしきい値電圧が V_{th1} の第1の副画素領域と透過率－印加電圧特性のしきい値電圧が V_{th2} (但し、 $V_{th2} > V_{th1}$) の第2の副画素領域とを有する液晶表示装置の製造方法において、

第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、

前記液晶に前記しきい値電圧 V_{th1} よりも高い電圧 V_1 (但し、 $V_{th1} < V_1 < V_{th2}$) を印加して保持する工程と、

前記液晶に前記しきい値電圧 V_{th2} よりも高い電圧 V_2 を印加して保持する工程と、

前記液晶に前記電圧 V_2 よりも高い電圧 V_3 を印加しつつ前記液晶中の重合成分を重合させてポリマーを形成する工程と

を有することを特徴とする液晶表示装置の製造方法。

50

【0121】

(付記8) 1つの画素内に透過率－印加電圧特性のしきい値電圧が V_{th1} の第1の副画素領域と透過率－印加電圧特性のしきい値電圧が V_{th2} （但し、 $V_{th2} > V_{th1}$ ）の第2の副画素領域とを有する液晶表示装置の製造方法において、

第1及び第2の基板間に重合成分を添加した液晶を封入する工程と、

前記液晶に前記しきい値電圧 V_{th1} よりも低い第1の電圧 V_1 を印加して保持する工程と、

前記液晶に前記しきい値電圧 V_{th1} よりも高く、前記しきい値電圧 V_{th2} よりも低い第2の電圧 V_2 を印加して保持する工程と、

前記液晶に前記第2の電圧 V_2 よりも高く、前記しきい値電圧 V_{th2} よりも低い第3の電圧 V_3 を印加して保持する工程と、 10

前記液晶に前記しきい値電圧 V_{th2} よりも高い第4の電圧 V_4 を印加して保持する工程と、

前記液晶に前記第4の電圧 V_4 又はそれよりも高い第5の電圧 V_5 を印加しつつ、前記液晶中の重合成分を重合させてポリマーを形成する工程と

を有することを特徴とする液晶表示装置の製造方法。

【0122】

(付記9) 前記第1乃至第4の電圧 $V_1 \sim V_4$ を印加して保持する時間が、電圧印加により形成される液晶のドメインが安定する時間よりも短いことを特徴とする付記8に記載の液晶表示装置の製造方法。 20

【0123】

(付記10) 前記第1及び第2の基板間に、滴下注入法により液晶を封入することを特徴とする付記8に記載の液晶表示装置の製造方法。

【0124】

(付記11) 前記液晶に印加する電圧が、いずれも交流電圧であることを特徴とする付記8に記載の液晶表示装置の製造方法。

【0125】

(付記12) 前記第1の副画素領域又はそれに隣接する領域に、前記第1及び第2の基板間の間隔を決定するスペーサが配置されていることを特徴とする付記8に記載の液晶表示装置の製造方法。 30

【0126】

(付記13) 1つの画素内に透過率－印加電圧特性が相互に異なる複数の副画素領域を有する液晶表示装置において、

相互に対向して配置された第1及び第2の基板と、

前記第1及び第2の基板間に封入された液晶からなる液晶層と、

前記液晶層中に形成されて電圧印加時における液晶分子の配向方向を決めるポリマーと、

前記副画素領域のうち前記透過率－印加電圧特性のしきい値電圧が最も低い副画素領域又はそれに隣接する領域に配置されて前記液晶層の厚さを決定するスペーサと

を有することを特徴とする液晶表示装置。 40

【0127】

(付記14) 前記透過率－印加電圧特性のしきい値電圧が最も低い副画素領域に配置された副画素電極がスイッチング素子に直結しており、他の副画素領域に配置された副画素電極が容量結合を介して前記スイッチング素子に接続されていることを特徴とする付記13に記載の液晶表示装置。

【0128】

(付記15) 前記副画素電極はいずれも液晶分子の配向方向が相互に異なる2以上のドメイン制御領域に分割され、各ドメイン制御領域には相互に平行に配置された複数の帯状の微細電極部が設けられていることを特徴とする付記14に記載の液晶表示装置。

【図面の簡単な説明】 50

【0129】

【図1】図1は、従来のMVAモードの液晶表示装置を示す平面図である。

【図2】図2は、MVAモードの液晶表示装置における正面から見たときのT-V特性と斜め上側の方向から見たときのT-V特性とを示す図である

【図3】図3は、本発明の第1の実施形態の製造方法により製造される液晶表示装置の平面図である。

【図4】図4は、同じくその液晶表示装置の模式断面図である。

【図5】図5は、直結画素領域におけるT-V特性と容量結合画素領域におけるT-V特性とを示す図である。

【図6】図6は、ポリマー形成時におけるデータバスラインへの印加電圧の変化を示す模式図である。 10

【図7】図7は、紫外線照射前及び照射後における液晶分子の状態を模式的に示す図である。

【図8】図8(a)は第1の実施形態により実際に製造した液晶表示装置の透過状態を示す図であり、図8(b)は比較例の液晶表示装置の透過状態を示す図である。

【図9】図9は、本発明の第2の実施形態のポリマー形成時におけるデータバスラインへの印加電圧の変化を示す模式図である。

【図10】図10は、第2の実施形態のポリマー形成時におけるデータバスラインへの印加電圧の変化の他の例を示す模式図である。

【図11】図11は、サンプル1～5の電圧印加状態を示す図である。 20

【図12】図12は、サンプル1～5の配向状態の評価結果を示す図である。

【図13】図13は、サンプル6～10の電圧印加状態と配向状態の評価結果とを示す図である。

【図14】図14は、サンプル11～15の電圧印加状態と配向状態の評価結果とを示す図である。

【図15】図15(a)は図1に示す液晶表示装置の透過状態を示す図であり、図15(b)は図3に示す液晶表示装置の透過状態を示す図である。

【図16】図16は、本発明の第3の実施形態に係る液晶表示装置を示す平面図である。

【符号の説明】

【0130】

30

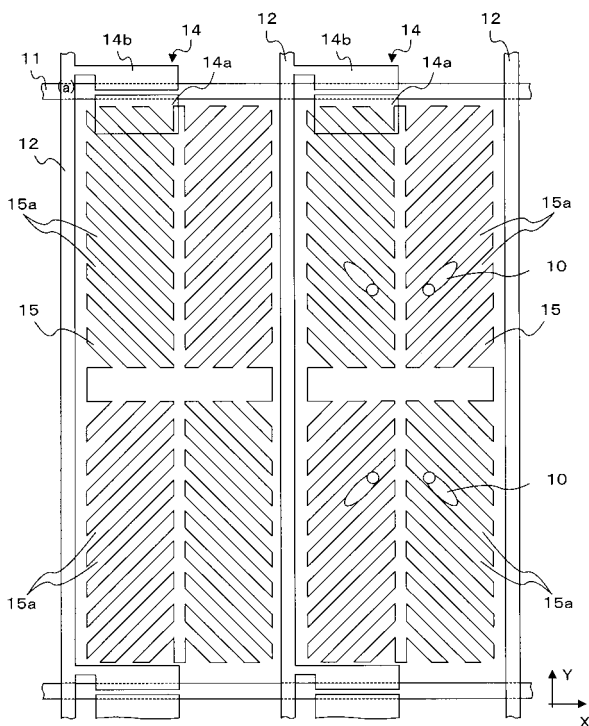
- 10, 150…液晶分子、
- 11, 112…ゲートバスライン、
- 12…データバスライン、
- 14, 118…TF T、
- 15…画素電極、
- 15a, 122…スリット、
- 100…液晶パネル、
- 110…TF T基板、
- 111, 131…ガラス基板、
- 113…補助容量バスライン、
- 114, 120…絶縁膜、
- 115…半導体膜、
- 116…チャネル保護膜、
- 119a, 119c…制御電極、
- 119b…補助容量電極、
- 121a～121c…副画素電極、
- 130…対向基板、
- 132…ブラックマトリクス、
- 133…カラーフィルタ、
- 134…コモン電極、

40

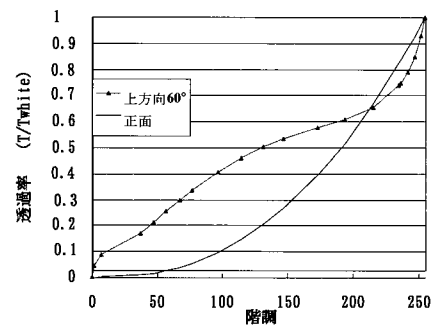
50

1 4 0 … 液晶層、
 1 4 1 a, 1 4 1 b … 偏光板、
 1 5 1 a, 1 5 1 b … 配向膜、
 1 5 2 … モノマー、
 1 5 3 … ポリマー、
 1 6 1 … スペース。

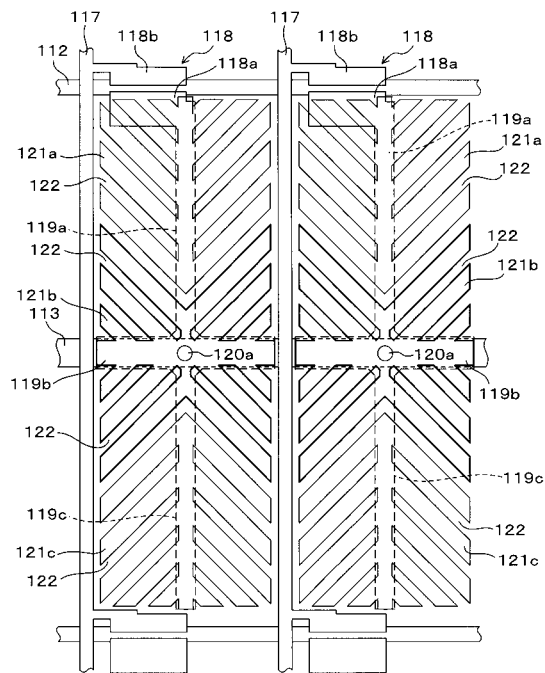
【図 1】



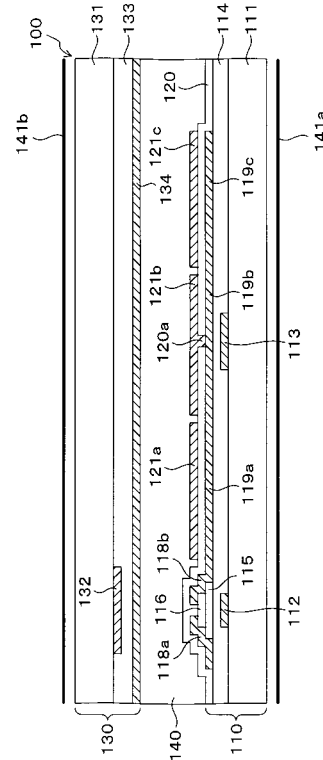
【図 2】



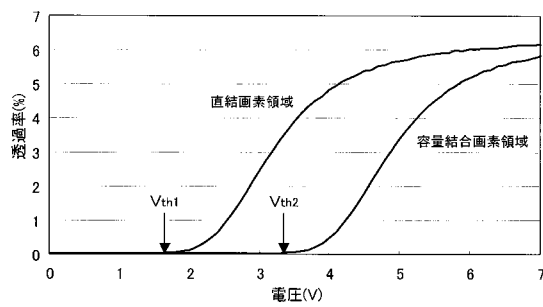
【図 3】



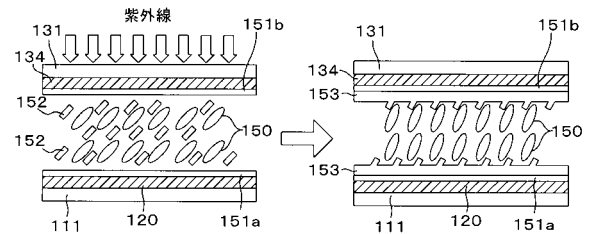
【図 4】



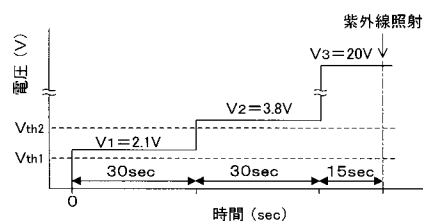
【図 5】



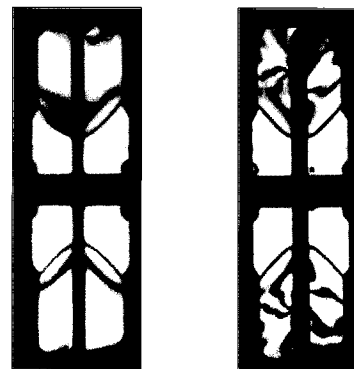
【図 7】



【図 6】



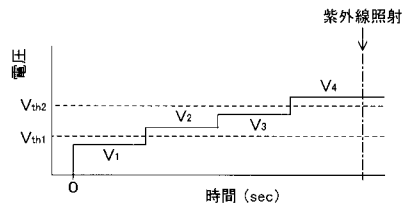
【図 8】



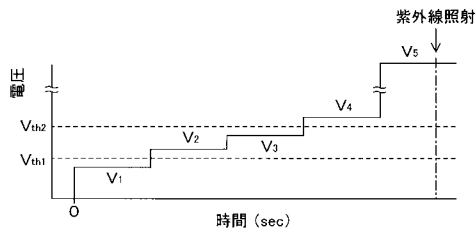
(a)

(b)

【図 9】



【図 10】



【図 11】

サンプル1

ステップ	電圧	保持時間	UV照射
1	V5 AC17V	30sec	—
2	V5 AC17V	—	ON

サンプル2

ステップ	電圧	保持時間	UV照射
1	V1 AC2V	30sec	—
2	V5 AC17V	30sec	—
3	V5 AC17V	—	ON

サンプル3

ステップ	電圧	保持時間	UV照射
1	V1 AC2V	30sec	—
2	V2 AC2.5V	30sec	—
3	V5 AC17V	30sec	—
4	V5 AC17V	—	ON

サンプル4

ステップ	電圧	保持時間	UV照射
1	V1 AC2V	30sec	—
2	V2 AC2.5V	30sec	—
3	V4 AC3.2V	30sec	—
4	V5 AC17V	30sec	—
5	V5 AC17V	—	ON

サンプル5

ステップ	電圧	保持時間	UV照射
1	V1 AC2V	30sec	—
2	V2 AC2.5V	30sec	—
3	V3 AC2.8V	30sec	—
4	V4 AC3.2V	30sec	—
5	V5 AC17V	30sec	—
6	V5 AC17V	—	ON

【図 12】

	評価
サンプル1	×
サンプル2	×
サンプル3	×
サンプル4	△
サンプル5	○

【図 15】

(a)



(b)



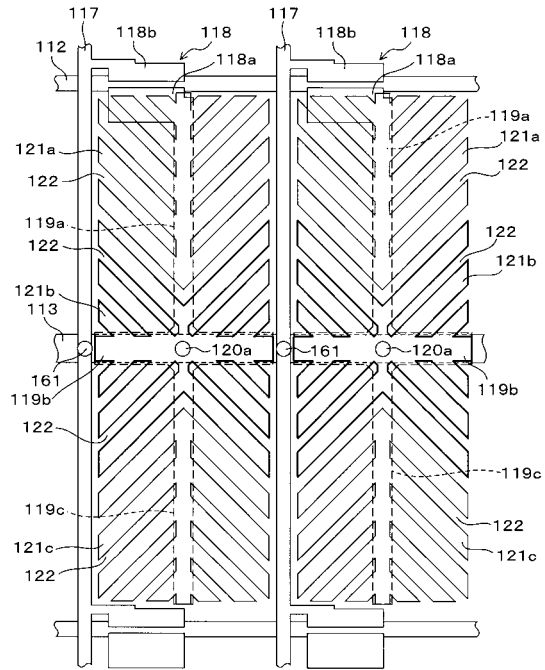
【図 13】

ステップ	電圧	サンプル6	サンプル7	サンプル8	サンプル9	サンプル10	UV照射
1	V1 AC2V	0.5sec	2sec	10sec	30sec	60sec	—
2	V2 AC2.5V	0.5sec	2sec	10sec	30sec	60sec	—
3	V3 AC2.8V	0.5sec	2sec	10sec	30sec	60sec	—
4	V4 AC3.2V	0.5sec	2sec	10sec	30sec	60sec	—
5	V5 AC17V	0.5sec	2sec	10sec	30sec	60sec	—
6	V5 AC17V	—	—	—	—	—	ON
評価		×	○	○	○	△	—

【図 14】

ステップ	電圧	サンプル11	サンプル12	サンプル13	サンプル14	サンプル15	UV照射
1	V1 DC2V	0.5sec	2sec	10sec	30sec	60sec	—
2	V2 DC2.5V	0.5sec	2sec	10sec	30sec	60sec	—
3	V3 DC2.8V	0.5sec	2sec	10sec	30sec	60sec	—
4	V4 DC3.2V	0.5sec	2sec	10sec	30sec	60sec	—
5	V5 DC17V	0.5sec	2sec	10sec	30sec	60sec	—
6	V5 DC17V	—	—	—	—	—	ON
評価		×	○	○	△	△	—

【図 16】



フロントページの続き

- (72)発明者 大室 克文
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 田代 国広
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 杉浦 規生
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 蟹井 健吾
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- Fターム(参考) 2H089 HA04 JA04 KA04 KA07 LA09 QA16 SA17 TA04 TA09 TA11
TA12

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2006208995A	公开(公告)日	2006-08-10
申请号	JP2005023869	申请日	2005-01-31
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	花岡一孝 仲西洋平 大室克文 田代国広 杉浦規生 蟹井健吾		
发明人	花岡 一孝 仲西 洋平 大室 克文 田代 国広 杉浦 規生 蟹井 健吾		
IPC分类号	G02F1/1334		
CPC分类号	G02F1/1393 G02F1/133351 G02F1/1339 G02F1/1341 G02F2001/13775 G02F2203/30		
FI分类号	G02F1/1334 G02F1/1337.520		
F-TERM分类号	2H089/HA04 2H089/JA04 2H089/KA04 2H089/KA07 2H089/LA09 2H089/QA16 2H089/SA17 2H089/TA04 2H089/TA09 2H089/TA11 2H089/TA12 2H090/HA16 2H090/HC19 2H090/LA02 2H090/MA01 2H090/MA15 2H189/AA04 2H189/BA04 2H189/CA04 2H189/CA07 2H189/HA16 2H189/KA18 2H189/LA05 2H189/LA10 2H189/LA13 2H189/LA14 2H290/AA34 2H290/BB46 2H290/BB49 2H290/BB73 2H290/BC01 2H290/BF54 2H290/CA46 2H290/DA01		
代理人(译)	冈本圭造		
其他公开文献	JP4551230B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有高实际孔径率的MVA模式的液晶显示装置的制造方法，并且适用于笔记本型个人计算机，该装置可以防止聚合物形成中的液晶分子的排列。显示：在具有透射率施加电压特性的阈值电压为 V_{th1} 的第一子像素区域和第二子像素区域的液晶显示装置的制造方法中，存在无序化的现象。透射率施加电压特性的阈值电压在一个像素中为 V_{th2} ，稍高于阈值电压 V_{th1} 的电压 V_1 施加到液晶层并在可聚合组分为的液晶之后保持一定时间。在第一和第二基板之间充电，施加略高于阈值电压 V_{th2} 的电压 V_2 然后再保持一定时间，并且施加正常使用期间高于白色显示电压的电压 V_3 并保持一定时间。然后通过紫外线照射使可聚合组分聚合，在液晶层中形成聚合物。

