

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-3889
(P2006-3889A)

(43) 公開日 平成18年1月5日(2006.1.5)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H089
G02F 1/1339 (2006.01)	G02F 1/1339 505	2H092
G09F 9/30 (2006.01)	G09F 9/30 309	5C094
G11C 19/00 (2006.01)	G11C 19/00 J	
G11C 19/28 (2006.01)	G11C 19/28 B	

審査請求 有 請求項の数 20 O L (全 12 頁)

(21) 出願番号 特願2005-159334 (P2005-159334)
 (22) 出願日 平成17年5月31日 (2005.5.31)
 (31) 優先権主張番号 2004-038887
 (32) 優先日 平成16年5月31日 (2004.5.31)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー・フィリップス エルシーデー
 カンパニー, リミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一

最終頁に続く

(54) 【発明の名称】 駆動回路が内蔵された液晶表示パネル

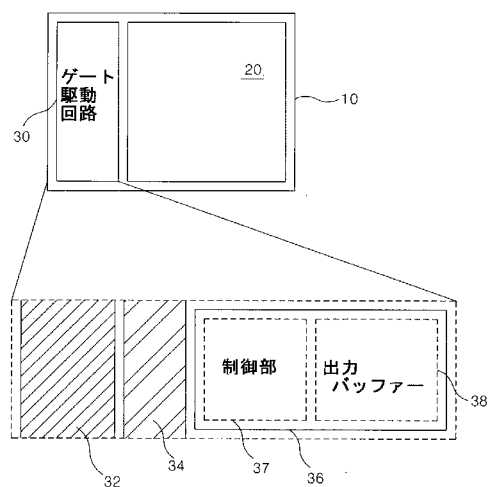
(57) 【要約】

【課題】 本発明の目的は、シーリング材との重畳によって、内蔵された駆動回路の面積が拡張させられる駆動回路の内蔵型の液晶パネルを提供することである。

【解決手段】 このために、本発明の駆動回路の内蔵型の液晶パネルは、シーリング材を通じて合着された第1及び第2基板の表示領域に形成された液晶セル・マトリックスと、前記液晶セル・マトリックスを駆動するために前記表示領域の外郭の非表示領域の中の回路領域に形成された駆動回路と、前記非表示領域の中、ライン・オン・ガラス領域に形成され、前記駆動回路に必要な複数の信号を供給するライン・オン・ガラス型の信号ラインとを備えて、前記駆動回路領域及びライン・オン・ガラス領域の中、いずれか一つの領域が前記シーリング材と重畳されたことを特徴とする。

【選択図】 図5

関連技術



【特許請求の範囲】

【請求項 1】

シーリング材を通じて合着された第 1 及び第 2 基板の表示領域に形成された液晶セル・マトリックスと、前記液晶セル・マトリックスを駆動するために前記表示領域の外郭の非表示領域の中、回路領域に形成された駆動回路と、前記非表示領域の中、ライン・オン・ガラス（以下、LOG）領域に形成されて前記駆動回路に必要な複数の信号を供給する LOG 型の信号ラインとを備えて、前記駆動回路領域及び LOG 領域の中、いずれか一つの領域が前記シーリング材と重畳されたことを特徴とする駆動回路の内蔵型の液晶パネル。

【請求項 2】

前記駆動回路は、前記液晶セル・マトリックスのゲートラインを駆動するゲート駆動回路を含めることを特徴とする請求項 1 に記載の駆動回路の内蔵型の液晶パネル。 10

【請求項 3】

前記駆動回路は前記ゲートラインの各々を駆動するための複数のステージで構成されたシフト・レジスターを含めることを特徴とする請求項 2 に記載の駆動回路の内蔵型の液晶パネル。

【請求項 4】

前記シフト・レジスターの各ステージは、該当ゲートラインにスキャン・パルスを供給する出力バッファと、その出力バッファを制御する制御部とを備えることを特徴とする請求項 3 に記載の駆動回路の内蔵型の液晶パネル。

【請求項 5】

前記各ステージの中、相互異なる金属層を連結するコンタクト電極が形成された部分を除いた残りの回路部分が前記シーリング材と重畳されるように形成されたことを特徴とする請求項 4 に記載の駆動回路の内蔵型の液晶パネル。 20

【請求項 6】

前記各ステージの中、出力バッファが前記シーリング材と重畳されるように形成されたことを特徴とする請求項 4 に記載の駆動回路の内蔵型の液晶パネル。

【請求項 7】

前記 LOG 領域は、前記各ステージの制御部と前記表示領域の間に位置することを特徴とする請求項 6 に記載の駆動回路の内蔵型の液晶パネル。

【請求項 8】

前記 LOG 領域は、前記各ステージの出力バッファと制御部の間に位置することを特徴とする請求項 6 に記載の駆動回路の内蔵型の液晶パネル。 30

【請求項 9】

前記出力バッファの一部が前記シーリング材と重畳されたことを特徴とする請求項 6 に記載の駆動回路の内蔵型の液晶パネル。

【請求項 10】

前記 LOG 領域の中、一部分が前記シーリング材と重畳されたことを特徴とする請求項 1 に記載の駆動回路の内蔵型の液晶パネル。

【請求項 11】

前記 LOG 信号ラインの中、低電位電圧の供給ラインが前記シーリング材と重畳されて、その低電位の電圧供給ラインはコンタクト電極と前記シーリング材の外側で接続されたことを特徴とする請求項 10 に記載の駆動内蔵型の液晶パネル。 40

【請求項 12】

前記低電位の電圧供給ラインの幅は、前記シーリング材が塗布された領域以上に外れるほど広いことを特徴とする請求項 11 に記載の駆動内蔵型の液晶パネル。

【請求項 13】

ゲートラインを含める表示領域と、前記ゲートラインにスキャンパルスを供給するゲート駆動回路と、LOG 領域に位置して前記ゲート駆動回路と接続された LOG 信号ラインらが含まれた非表示領域と、前記液晶パネルの基板の合着のためのシーリング材とを備えて、前記シーリング材は前記非表示領域で前記ゲート駆動回路と重畳されたことを特徴と 50

する液晶パネル。

【請求項 14】

前記ゲート駆動回路は、前記ゲートラインの各々に前記スキャン・パルスを供給するための複数のステージを含めて、前記ステージの各々は前記ゲートラインに前記スキャン・パルスを出力する出力バッファと、前記出力バッファを制御する制御部とを備えて、前記シーリング材は前記出力バッファの一部と重畳されたことを特徴とする請求項 13 に記載の液晶パネル。

【請求項 15】

前記制御部は、前記シーリング材と重畳された出力バッファの一部が位置する一側と対向し位置することを特徴とする請求項 14 に記載の液晶パネル。

10

【請求項 16】

前記制御部は、前記出力バッファの他の側と隣接して前記 LOG 領域と隣接したことを特徴とする請求項 15 に記載の液晶パネル。

【請求項 17】

前記 LOG 領域は、前記出力バッファと制御部の間に位置することを特徴とする請求項 15 に記載の液晶パネル。

【請求項 18】

前記 LOG 領域の一部が前記シーリング材と重畳されて、前記 LOG 信号ラインは前記ゲート駆動回路と少なくとも一つのコンタクト電極を通じて接続された低電位の電圧を供給するための低電位電圧供給ラインを含めることを特徴とする請求項 13 に記載の液晶パネル。

20

【請求項 19】

前記低電位の電圧供給ラインは、前記シーリング材の一側と重畳されて前記シーリング材の外に伸長されたことを特徴とする請求項 18 に記載の液晶パネル。

【請求項 20】

前記ゲート駆動回路は、前記 LOG 領域の一側と隣接して、前記シーリング材は前記 LOG 領域の他の側と重畳されたことを特徴とする請求項 18 に記載の液晶パネル。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は液晶表示装置に関し、特に駆動回路が内蔵された液晶表示パネルに関する。

【背景技術】

【0002】

最近の情報化の社会において、テレビ及びコンピューターの表示装置として使用される液晶表示装置は、電界を利用して液晶の光透過率を調節することによって画像を表示するようになる。このために、液晶表示装置は液晶セルがマトリクス形態に配列された液晶表示パネル（以下、液晶パネル）と、液晶パネルを駆動するための駆動回路とを備える。

【0003】

図 1 を参照すると、一般的な液晶表示装置は $m \times n$ 個の液晶セル C_{1c} がマトリクスタイプに配列されて m 個のデータライン D_1 乃至 D_m と n 個のゲートライン G_1 乃至 G_n が交差し、その交差部に薄膜トランジスタ TFT が接続された液晶パネル 13 と、液晶パネル 13 のデータライン D_1 乃至 D_m にデータを供給するデータ駆動回路 11 と、ゲートライン G_1 乃至 G_n にスキャンパルスを提供するゲート駆動回路 12 とを備える。

40

【0004】

液晶パネル 13 は、薄膜トランジスタ・アレイが形成された薄膜トランジスタ基板とカラー・フィルター・アレイが形成されたカラー・フィルター基板が液晶層を間に置いて合着し形成される。この液晶パネル 13 の薄膜トランジスタ基板に形成されたデータライン D_1 乃至 D_m とゲートライン G_1 乃至 G_n は相互直交される。データライン D_1 乃至 D_m とゲートライン G_1 乃至 G_n の交差部と接続された薄膜トランジスタ TFT は、ゲートラインら G_1 乃至 G_n のスキャン・パルスに応じて、データライン D_1 乃至 D_m を

50

通じて供給されたデータ電圧を液晶セル C l c の画素電極に供給するようになる。カラー・フィルター基板には、ブラック・マトリックス、カラー・フィルター及び共通電極などが形成される。これに従って、液晶セル C l c は画素電極に供給されたデータ電圧と、共通電極に供給された共通電圧との電位差によって誘電異方性を有する液晶が回転して光透過率を調節するようになる。そして、液晶パネル 1 3 の薄膜トランジスタ基板とカラー・フィルター基板の上には光軸が直交する偏光板が取り付けられて、液晶層と接する内側面の上には液晶のフリーチルト角を決定する背向膜がさらに形成される。また、液晶セル C l c の各々にはストリッジ・キャパシター C s t がさらに形成される。ストリッジ・キャパシター C s t は画素電極と前段ゲートラインの間に形成されたり、画素電極と図示していない共通ラインの間に形成されたりして、液晶セル C l c に充電されたデータ電圧を一

10

【 0 0 0 5 】

データ駆動回路 1 1 は、入力されたデジタル・ビデオ・データをガンマ電圧を利用してアナログ・データ電圧に変換してデータラインら D 1 乃至 D m に供給する。

【 0 0 0 6 】

ゲート駆動回路 1 2 は、スキャン・パルスをゲートラインら G 1 乃至 G n に順次に供給して、データが供給される液晶セル C l c の水平ラインを選択する。

【 0 0 0 7 】

具体的に、ゲート駆動回路 1 2 は図 2 に示したように、ゲートライン G 1 乃至 G n に順次にスキャン・パルスを供給するためにスタート・パルス V s t 入力ラインに従属的に接続された第 1 乃至第 n ステージ 3 6 を備えるシフト・レジスタ 1 2 を含める。図 2 に示した第 1 乃至第 n ステージ 3 6 には、高電位及び低電位駆動電圧 V D D , V S S と共にクロック信号 C L K が共通に供給されて、スタート・パルス V s t または前段ステージの出力信号が供給される。第 1 ステージ 3 6 は、スタート・パルス V s t とクロック信号 C L K に応じて第 1 ゲートライン G 1 にスキャン・パルスを出力する。そして、第 2 乃至第 n ステージ 3 6 は、以前段ステージの出力信号とクロック信号 C L K に応じて第 2 乃至第 n ゲートライン G 2 乃至 G n の各々にスキャン・パルスを順次に出力する。改めて言うと、第 1 乃至第 n ステージ 3 6 は同一の回路構成を有し、クロック信号 C L K としては位相が相互異なる少なくとも二つのクロック信号が供給される。

20

【 0 0 0 8 】

図 3 は、図 2 に示したシフト・レジスタ 1 2 の中、第 1 ステージ 3 6 の詳細な回路構成を示したことである。

30

【 0 0 0 9 】

図 3 に示した第 1 ステージ 3 6 は、Q ノードの制御によって第 1 クロック信号 C 1 を出力ラインに出力するプル・アップ N M O S トランジスタ N T 6 と、Q B ノードの制御によって低電位の駆動電圧 V S S を出力ラインに出力するプル・ダウン N M O S トランジスタ N T 7 に構成された出力バッファ 3 8 と、Q ノードと Q B ノードを制御する第 1 乃至第 5 N M O S トランジスタ N T 1 乃至 N T 5 に構成された制御部 3 7 とを備える。このような第 1 ステージ 3 6 には、高電位及び低電位電圧 V D D , V S S とスタート・パルス V s t が供給されて、図 4 のように位相が相互異なる第 1 乃至第 4 クロック信号 C L K 1 乃至 C L K 4 の中、第 2 クロック信号 C L K 2 を除いた残りの三つのクロック信号 C L K 1 , C L K 3 , C L K 4 が供給される。以下、ステージ 3 6 の動作過程を図 4 に示された駆動波形を参照して説明する。

40

【 0 0 1 0 】

A 期間でスタート・パルス V s t 及び第 4 クロック信号 C L K 4 のハイ電圧によって第 1 及び第 2 N M O S トランジスタ N T 1 , N T 2 がターン・オンされて、スタート・パルス V s t のハイ電圧が Q ノードにフリー・チャージされる。Q ノードにフリー・チャージされたハイ電圧によってプル・アップ N M O S トランジスタ N T 6 がターン・オンされて、第 1 クロック信号 C L K 1 のロー電圧が出力ライン、即ち第 1 ゲートライン G 1 に供給される。この際、スタート・パルス V s t によってターン・オンされた第 5 N M O S

50

トランジスタ NT5 によって、QB ノードはロー状態になり、第3B 及びプル・ダウン NMOS トランジスタ NT3A、NT7 はターン・オフ、ロー電圧の第3クロック信号 CLK3 によって第3A 及び第4 NMOS トランジスタ NT3A、NT4 もターン・オフされる。

【0011】

B 期間でスタート・パルス V_{st} と第4クロック信号 CLK4 のロー電圧によって第1 及び第2 NMOS トランジスタ NT1、NT2 がターン・オフされるので、Q ノードはハイ状態にフローティングされて、プル・アップ NMOS トランジスタ NT6 はターン・オン状態を維持する。この際、第1クロック信号 CLK1 のハイ電圧によって、Q ノードはプル・アップ NMOS トランジスタ NT6 のゲート電極とドレイン電極の重畳に形成された寄生キャパシタ CGD の影響によってブートストラップされる。これによって、Q ノードの電圧がさらに上昇してプル・アップ NMOS トランジスタ NT6 が確実にターン・オンされることによって、第1クロック信号 CLK1 のハイ電圧が第1ゲートライン G1 に迅速に供給される。

10

【0012】

C 期間でスタート・パルス V_{st} と第4クロック信号 CLK4 のロー電圧によって第1 及び第2 NMOS トランジスタ NT1、NT2 がターン・オフされるので、Q ノードはハイ状態にフローティングされて、プル・アップ NMOS トランジスタ NT6 はターン・オン状態を維持する。これによって、プル・アップ NMOS トランジスタ NT6 はターン・オン状態を維持して第1クロック信号 CLK1 のロー電圧が第1ゲートライン G1 に供給される。

20

【0013】

D 期間で第3クロック信号 CLK3 のハイ電圧によって、第3A 及び第4 NMOS トランジスタ NT3A、NT4 がターン・オンされて Q ノードはロー電圧が放電され、QB ノードはハイ電圧が充電される。QB ノードのハイ電圧によって第3B NMOS トランジスタ NT3B がターン・オンされて、Q ノードはより迅速に放電されて、プル・ダウン NMOS トランジスタ NT7 がターン・オンされてロー電圧が第1ゲートライン G1 に供給される。

【0014】

E 期間で第3クロック信号 CLK3 のロー電圧に第4 及び第5 NMOS トランジスタ NT4、NT5 がターン・オフされ、QB ノードはハイ状態にフローティングされることによってプル・ダウン NMOS トランジスタ NT7 がターン・オン状態を維持するので第1ゲートライン G1 に供給される。

30

【0015】

そして、スタート・パルス V_{st} のハイ電圧が供給される以前までプル・ダウン NMOS トランジスタ NT7 は続いてターン・オン状態を維持して第1ゲートライン G1 に続いてロー電圧を出力する。

【0016】

このような構成を有するゲート駆動回路をアモルファス・シリコン薄膜トランジスタを利用して図5のように液晶パネル10に内蔵しようとする場合、低い移動度によって各ステージ36の出力バッファ38、即ち、プル・アップ及びプル・ダウン NMOS トランジスタ NT6、NT7 の大きさが非常に大きく形成されるはずである。これは前述のように、スキャン・パルスが出力バッファ36を通じて直接供給されるのから起因したのであり、出力バッファ38のチャンネル幅は液晶パネル10の寿命に非常に大きい影響を与えるためである。設計値によると、出力バッファ38は千数 μm 以上のチャンネルの幅を維持すべきである。これによって、内蔵されたゲート駆動回路30が占める面積が大きくなるはずであるが、製品の規格上の非表示領域の内で回路面積を大きくするには限界がある。

40

【0017】

図5を参照すると、ゲート駆動回路30は表示領域10の外郭に位置した非表示領域に

50

形成される。そして、非表示領域には、薄膜トランジスタ基板とカラー・フィルター基板の合着のためのシーリング材 32 が周辺部、即ち、ゲート駆動回路 30 が形成された回路領域の外郭部に沿って塗布される。図 5 で一つのステージ 36 とその周辺部を拡大した図面を参照すると、一つのステージ 36 の左側には複数のクロック信号及び電源信号を供給するための複数のライン・オン・ガラス (Line On Glass、以下、LOG) 型の信号ラインが形成された LOG 領域 34 が位置して、その LOG 領域 34 の左側にシーリング材 32 が過ぎて行くようになる。ここで、一つのステージ 36 は図 3 のように、プル・アップ及びプル・ダウン・トランジスタ NT6, NT7 を含める出力バッファ 38 と、出力バッファ 38 を制御するための第 1 乃至第 5 トランジスタ NT1 乃至 NT5 を含める制御部 37 とを備える。

10

【0018】

この場合、シーリング材 32 に含まれたガラス・ファイバーが金属と接触する場合、損傷を加えてオープン不良をもたらすので、ゲート駆動回路 30 をシーリング材 32 と重畳し形成させられない。これはゲート駆動回路 30 に含まれる各ステージ 36 には図 6 のように、基板 40 の上でゲート絶縁膜 44 を間に置いて相互異なる層に形成されたゲート金属層 42 とソース・ドレイン金属層 46 と接続させるためのコンタクト電極 50 とが露出された構造を有するためである。

【0019】

図 6 を参照すると、コンタクト電極 50 は保護膜 48 及びゲート絶縁膜 44 を貫通する第 1 コンタクトホール 52 を通じて露出されたゲート金属層 42 と、保護膜 46 を貫通する第 2 コンタクトホール 54 を通じて露出されたソース・ドレイン金属層 46 と接続させる。例えば、図 3 に示された一のステージの詳細回路で、高電位及び低電位電圧 VDD, VSS 供給ライン、第 1 乃至第 4 クロック信号 CLK1 乃至 CLK4 供給ライン、スタート・パルス Vst 供給ラインの各々と接続された第 1 乃至第 6 ノード N1 乃至 N6 と、第 1 トランジスタ NT1 のゲート電極とソース電極の接続ノード N7, Q ノード、QB ノード等は図 6 のようにコンタクト電極 50 を通じて接続される。このようなコンタクト電極 50 がシーリング材 32 に含まれたガラス・ファイバー 56 と接続する場合、腐食等で損傷されて非接続の不良が発生する。

20

【0020】

これによって、ゲート駆動回路 30 をシーリング材 32 と重畳させられないので、回路面積はさらに減るしかない。例えば、2.2" QVGA である場合、画素領域 20 から薄膜トランジスタ基板のスクライブ・ライン (Scribe Line) までの非表示領域の線幅は約 2.2 mm であり、このような非表示領域でシーリング材 32 は 0.6 mm の線幅を占める。これによって、LOG 領域 34 とマージン等を顧慮すると、実際に使用できるゲート駆動回路 30 が形成できる回路面積の線幅は約 0.8 ~ 0.9 mm 以内になるべきである。このように制限された回路面積内では出力バッファ 38 の大きさを大きく形成させられないので、回路面積を広げる方案が必要である。

30

【発明の開示】

【発明が解決しようとする課題】

【0021】

従って、本発明の目的はシーリング材との重畳によって内蔵された駆動回路の面積を拡張させられる駆動回路内蔵型の液晶パネルを提供することである。

40

【課題を解決するための手段】

【0022】

前記目的を達成するために、本発明の実施形態の駆動回路の内蔵型の液晶パネルは、シーリング材を通じて合着された第 1 及び第 2 基板の表示領域に形成された液晶セル・マトリックスと、前記液晶セル・マトリックスを駆動するために前記表示領域の外郭の非表示領域の中、回路領域に形成された駆動回路と、前記非表示領域の中、LOG 領域に形成されて前記駆動回路に必要な複数の信号を供給する LOG 型の信号ラインとを備えて、前記駆動回路領域及び LOG 領域の中、いずれか一つの領域が前記シーリング材と重畳された

50

ことを特徴とする。

【0023】

前記駆動回路は、前記液晶セル・マトリックスのゲートラインを駆動するゲート駆動回路を含める。

【0024】

前記駆動回路は、前記ゲートラインの各々を駆動するための複数のステージに構成されたシフト・レジスターを含める。

【0025】

前記シフト・レジスターの各ステージは、該当ゲートラインにスキャン・パルスを供給する出力バッファと、その出力バッファを制御する制御部とを備える。

10

【0026】

前記各ステージの中、相互異なる金属層を連結するコンタクト電極が形成された部分を除いた残りの回路部分が前記シーリング材と重畳されるように形成される。

【0027】

前記各ステージの中、出力バッファが前記シーリング材と重畳されるように形成される。

【0028】

前記LOG領域は、前記各ステージの制御部と前記表示領域の間に位置するようになる。

【0029】

前記LOG領域は、前記各ステージの出力バッファと制御部の間に位置するようになる。

20

【0030】

前記出力バッファの一部が前記シーリング材と重畳される。

【0031】

前記LOG領域の中、一部が前記シーリング材と重畳される。

【0032】

前記LOG信号ラインの中、相対的に広い線幅を有する低電位電圧の供給ラインが前記シーリング材と重畳されて、その低電位の電圧の供給ラインはコンタクト電極と前記シーリング材の外の側で接続される。

30

【発明の効果】

【0033】

本発明による駆動回路の内蔵型の液晶パネルは、駆動回路をシーリング材と重畳させて形成することによって、回路面積が拡張させられる。これによって、スキャン・パルスの波形と密接な関係を有して液晶パネルの寿命に直接的な影響を及ぼす出力バッファのチャンネル幅を大きくすることによって、スキャン・パルス波形の歪曲が減らせると共に寿命が延長させられる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の好ましい実施形態を図7乃至図9を参照して説明する。

40

【0035】

図7は、本発明の実施形態のゲート駆動回路80が内蔵された液晶パネル60を概略的に示した平面図である。

【0036】

図7に示された液晶パネル60は、ゲートライン及びデータラインの交差に定義された画素領域ごとに形成された液晶セルがマトリックス形態に配列された表示領域70と、ゲートラインを駆動するために非表示領域に内蔵されたゲート駆動回路80とを備える。

【0037】

液晶パネル60は、薄膜トランジスト・アレイが形成された薄膜トランジスター基板と、カラー・フィルタ・アレイが形成されたカラー・フィルタ基板が液晶層を間に置い

50

て合着し形成される。

【0038】

カラー・フィルター基板は、表示領域で画素領域ごとに形成されたカラー・フィルター、表示領域ではカラー・フィルターを区分して非表示領域にも形成されたブラック・マトリックス、液晶セルに共通電圧を供給するための共通電極等が形成される。

【0039】

薄膜トランジスタ基板の表示領域には、相互交差するゲートライン及びデータラインと、その交差部と接続された薄膜トランジスタと、薄膜トランジスタと接続された液晶セルの画素電極とが形成される。

【0040】

薄膜トランジスタ基板の非表示領域の中、回路領域には、ゲートラインを駆動するためのゲート駆動回路80が形成されて、そのゲート駆動回路80に必要なクロック信号及び電源信号を供給するLOG型の信号ラインがLOG領域84に形成される。ここで、ゲート駆動回路80に含まれる各ステージ38は、シーリング材82と重畳して形成される。この場合、出力バッファ88と、その出力バッファ88を制御する制御部87に構成された各ステージ38の中、出力バッファ88がシーリング材82と重畳されるようにする。これは出力バッファ88に含まれるプル・アップ及びプル・ダウン・トランジスタNT6、NT7は、図6に示されたコンタクト電極50を必要としないためである。これによって、出力バッファ88がシーリング材82と重畳されてもシーリング材82に含まれたガラス・ファイバーによる腐食問題が発生しないようになるので、出力バッファ88をシーリング材82が塗布されるシーリング領域に形成して出力バッファ88のチャンネル幅が既存の構造に比べて大きく増加させられる。例えば、約0.9mmの線幅を有する回路面積内では、出力バッファが約0.3mmぐらいの線幅が占められる反面、0.6mmの線幅を有するシーリング材82と出力バッファ88を重畳させる場合、その出力バッファ88が3倍以上に大きく形成させられる。

【0041】

このように、各ステージ86の出力バッファ88がシーリング材82と重畳されるようにする場合、LOG信号ラインが占めるLOG領域84は各ステージ86と表示領域70の間に位置する。これとは違って、LOG領域84は図8に示したのように、各ステージ86の出力バッファ88と制御部87の間に位置することもある。この際、出力バッファ88の一部が前記シーリング材82と重畳される。

【0042】

また、図9に示されたのように、LOG領域84がシーリング材82と重畳して形成されるようにして、LOG領域84が占める面積ほど、各ステージ86の回路面積が増加させられるので、出力バッファ88の大きさが増加させられる。この場合、LOG領域84はLOG型信号ラインが図3のように複数のノードN1乃至N6を含めるので、複数のコンタクト電極50を含める。このようなコンタクト電極50とシーリング材82との重畳を防ぐために、図9に拡大図示した部分のように、電流が最も多く流れるので、回路の安定性のために一番太く形成された低電位電圧VSS供給ラインVSSLだけをシーリング材82と重畳されるように形成する。そして、低電位電圧VSS供給ラインVSSLはシーリング材82の外の側でコンタクト電極50と接続させる。

【0043】

以上、説明した内容を通じて、当業者なら、本発明の技術思想を逸脱しない範囲で、多様な変更及び修正ができることがわかる。従って、本発明の技術的の範囲は明細書の詳細な説明に記載された内容に限られるのではなく、特許請求の範囲により定められるはずである。

【図面の簡単な説明】

【0044】

【図1】一般的な液晶表示装置を示したブロック図である。

【図2】図2に示されたゲート駆動回路の構成を示したブロック図である。

10

20

30

40

50

【図 3】図 2 に示された第 1 ステージの詳細な回路図である。

【図 4】図 3 に示された第 1 ステージの駆動波形図である。

【図 5】従来のゲート駆動回路が内蔵された液晶表示パネルを概略的に示した平面図である。

【図 6】図 5 に示されたゲート駆動回路に含まれるコンタクト部分を示した断面図である。

【図 7】本発明の第 1 実施形態のゲート駆動回路が内蔵された液晶表示パネルを概略的に示した平面図である。

【図 8】本発明の第 2 実施形態の液晶表示パネルの非表示領域を示した平面図である。

【図 9】本発明の第 3 実施形態の液晶表示パネルの非表示領域を示した平面図である。

10

【符号の説明】

【 0 0 4 5 】

1 0 , 1 3 , 6 0 : 液晶パネル

1 1 : データ駆動回路

1 2 , 3 0 , 8 0 : ゲート駆動回路

2 0 , 7 0 : 表示領域

3 2 , 8 2 : シーリング材

3 4 , 8 4 : ライン・オン・ガラス領域

3 6 , 8 6 : ステージ

3 7 , 8 7 : 制御部

3 8 , 8 8 : 出力バッファ

4 0 : 基板

4 2 : ゲート金属層

4 4 : ゲート絶縁膜

4 6 : ゲート/ドレイン金属層

4 8 : 保護膜

5 0 : コンタクト電極

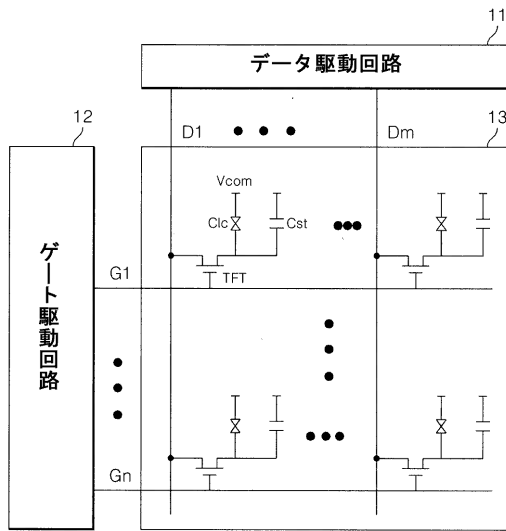
5 2 , 5 4 : コンタクトホール

5 6 : ガラス・ファイバー

20

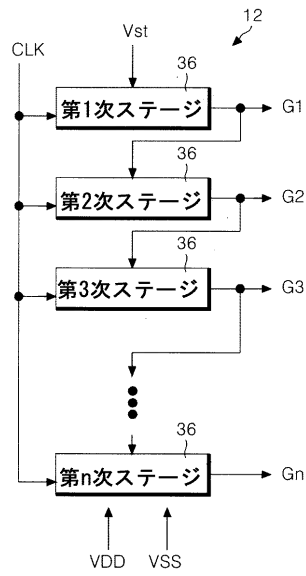
【 図 1 】

関連技術



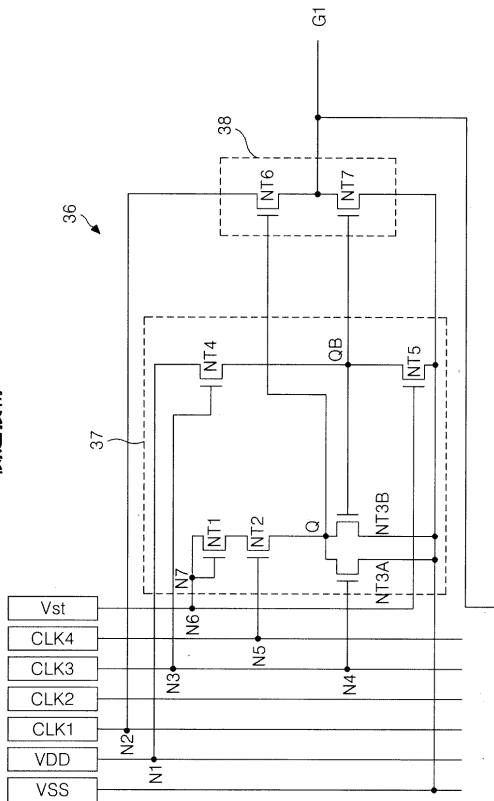
【 図 2 】

関連技術



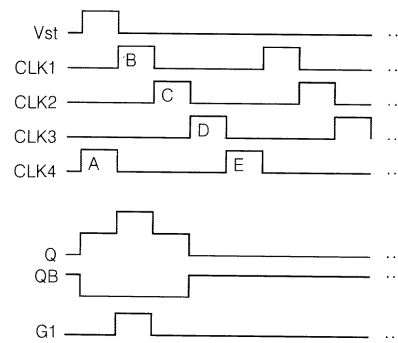
【 図 3 】

関連技術



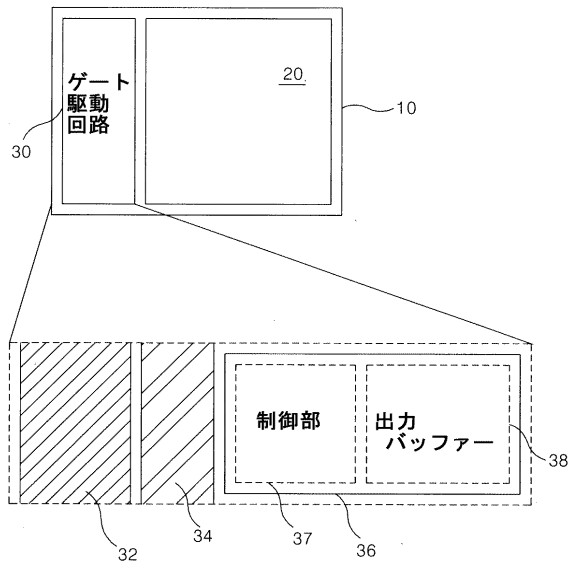
【 図 4 】

関連技術



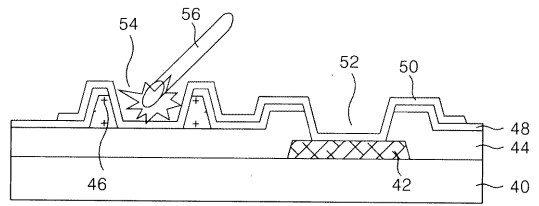
【図5】

関連技術

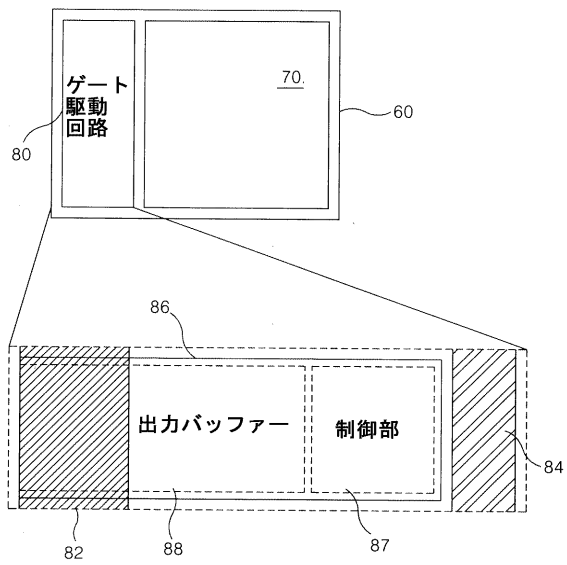


【図6】

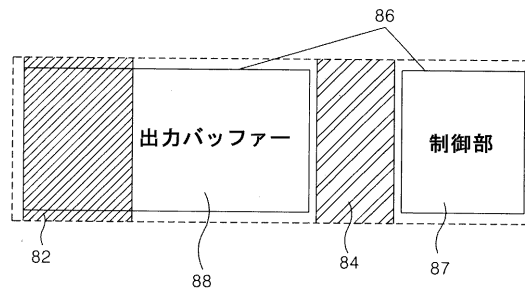
関連技術



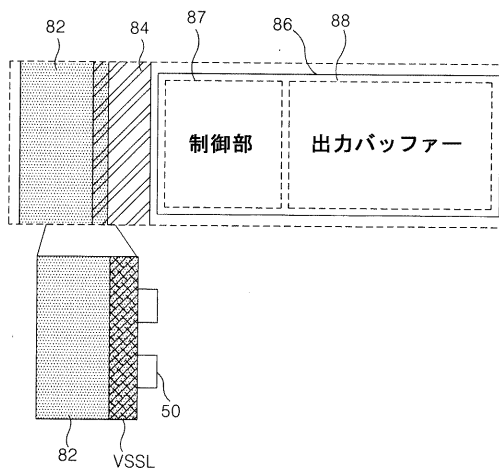
【図7】



【図8】



【図9】



フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 張 容 豪

大韓民国 京畿道 城南市 盆唐區 セトビョルメウル サムプ アパート 414-806号

(72)発明者 金 彬

大韓民国 ソウル特別市 陽川區 木5洞 モクドン 4-ダンジ アパート 408-2003号

(72)発明者 尹 洙 榮

大韓民国 京畿道 高陽市 徳陽區 幸信2洞 ムウォン メウル 10-ダンジ ソクワン アパート 1010-802号

Fターム(参考) 2H089 NA39 QA16 TA07 TA09 TA12

2H092 GA29 JA24 JA46 KA05 PA04 PA06

5C094 AA37 BA03 BA43 CA19 DA07

专利名称(译)	一种包含驱动电路的液晶显示板		
公开(公告)号	JP2006003889A	公开(公告)日	2006-01-05
申请号	JP2005159334	申请日	2005-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	張容豪 金彬 尹洙榮		
发明人	張容豪 金彬 尹洙榮		
IPC分类号	G02F1/1345 G02F1/1339 G09F9/30 G11C19/00 G11C19/28 G02F1/133 G02F1/13 G09G3/36		
CPC分类号	G02F1/1339 G02F1/13452		
FI分类号	G02F1/1345 G02F1/1339.505 G09F9/30.309 G11C19/00.J G11C19/28.B G11C19/00 G11C19/00.K G11C19/28.D G11C19/28.210 G11C19/28.230		
F-TERM分类号	2H089/NA39 2H089/QA16 2H089/TA07 2H089/TA09 2H089/TA12 2H092/GA29 2H092/JA24 2H092/JA46 2H092/KA05 2H092/PA04 2H092/PA06 5C094/AA37 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA07 2H189/HA11 2H189/HA16 2H189/LA08 2H189/LA14 2H189/LA15 5B074/AA03 5B074/CA01 5B074/DA01 5B074/DB02		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020040038887 2004-05-31 KR		
其他公开文献	JP4638282B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种具有内置驱动电路的液晶面板，其中，通过与密封材料重叠，可以扩大内置驱动电路的面积。为此，根据本发明的具有内置驱动电路的液晶面板包括形成在通过密封材料粘在一起的第一基板和第二基板的显示区域中的液晶单元矩阵和液晶单元。在显示区域之外的非显示区域中的电路区域中形成的用于驱动矩阵的驱动电路，以及在非显示区域中的玻璃上线区域中形成的驱动电路。用于提供多个必要信号的玻璃上线型信号线以及驱动电路区域和玻璃上线区域之一与密封材料重叠。的特点是。[选择图]图5

