

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-257757

(P2005-257757A)

(43) 公開日 平成17年9月22日(2005.9.22)

(51) Int.Cl.⁷

G09G 3/36

G09G 3/20

G09G 5/00

F I

G09G 3/36

G09G 3/20 612R

G09G 3/20 631B

G09G 3/20 631R

G09G 3/20 633Q

テーマコード(参考)

5C006

5C080

5C082

審査請求 未請求 請求項の数 6 O L (全 15 頁) 最終頁に続く

(21) 出願番号

特願2004-65651(P2004-65651)

(22) 出願日

平成16年3月9日(2004.3.9)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100105050

弁理士 鷲田 公一

(72) 発明者 綿田 和浩

大阪府門真市大字門真1006番地 松下
電器産業株式会社内

(72) 発明者 塚本 章人

大阪府門真市大字門真1006番地 松下
電器産業株式会社内

(72) 発明者 岩崎 俊文

大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

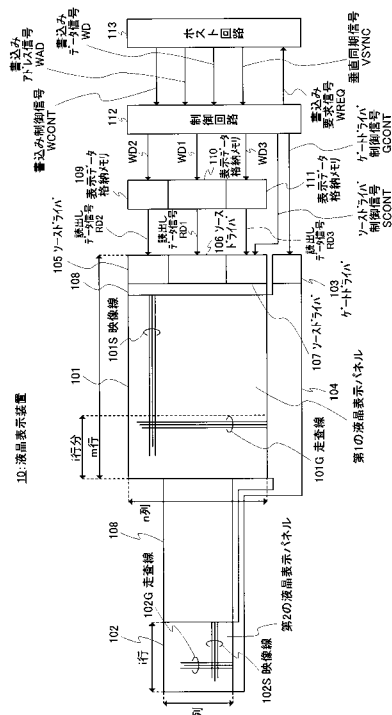
(54) 【発明の名称】 表示装置及び表示方法

(57) 【要約】

【課題】 ホスト回路の処理能力を軽減することができ、内蔵メモリの記憶容量を減少することができる表示装置及び表示方法を提供する。

【解決手段】 液晶表示装置10は、第1の液晶表示パネル101と、第1の液晶表示パネル101に比べて表示行数及び表示列数が少ない第2の液晶表示パネル102と、ゲートドライバ103と、ソースドライバ105～107と、表示データ格納メモリ109～111と、制御回路112とを備えている。表示データ格納メモリ109～111は、第1の液晶表示パネル101の走査線101G上の最大表示数と第2の液晶表示パネル102の映像線102S上の最大表示数とを乗算した記憶容量を有し、表示データの読出し速度に対して表示データの書き込み速度を速くすることができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の表示パネルと、
前記第 1 の表示パネルに比べて表示行数及び表示列数が少ない第 2 の表示パネルと、
前記第 1 及び第 2 の表示パネルの走査線を駆動するゲートドライバと、
前記第 1 及び第 2 の表示パネルの映像線に表示データを出力するソースドライバと、
前記第 1 の表示パネルの前記走査線上の最大表示数と前記第 2 の表示パネルの前記映像
線上の最大表示数とを乗算した記憶容量を有し、1 画面表示期間において前記ソースドラ
イバから第 1 及び第 2 の表示パネルに前記表示データを転送する速度に対して前記表示デ
ータの書き込み速度が速い表示データ格納メモリと、
前記ゲートドライバ、前記ソースドライバ及び前記表示データ格納メモリの動作を制御
し、前記表示データ格納メモリに前記表示データを書き込む制御回路と、
を備えたことを特徴とする表示装置。

10

【請求項 2】

前記制御回路に表示データを転送するホスト回路を更に備えたことを特徴とする請求項
1 記載の表示装置。

【請求項 3】

前記制御回路は、前記表示データ格納メモリに格納された表示データを前記ソースドラ
イバに読み出す読出しアドレス信号と、前記ホスト回路から表示データを前記表示データ
格納メモリに書き込む書き込みアドレス信号とを制御し、前記表示データ格納メモリを先入
れ先出し回路として動作させる機能を備えたことを特徴とする請求項 2 記載の表示装置。

20

【請求項 4】

前記制御回路は、前記表示データ格納メモリから読み出される表示データが空になる前
に、前記ホスト回路に表示データの転送を要求する機能を備えたことを特徴とする請求項
2 記載の表示装置。

【請求項 5】

前記制御回路は、前記第 2 の表示パネルのみを表示し、活性化する必要のない前記ソー
スドライバ及び表示データ格納メモリを停止させる機能を備えたことを特徴とする請求項
2 記載の表示装置。

【請求項 6】

第 1 の表示パネルの走査線上の最大表示数と前記第 1 の表示パネルに比べて表示行数及
び表示列数が少ない第 2 の表示パネルの映像線上の最大表示数とを乗算した容量において
、表示データを一定の周期毎に格納する段階と、
前記一定の周期毎に格納された表示データを前記第 1 及び第 2 の表示パネルの映像線に
連続的に転送する段階と、
を備えたことを特徴とする表示方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置及び表示方法に関し、特に複数の表示パネル（ディスプレイ）を有
するメモリ内蔵型表示装置及び表示方法に関する。

40

【背景技術】**【0002】**

最近、携帯電話機、ノート型パーソナルコンピュータ等においては、2 つの液晶表示パ
ネルを有する液晶表示装置が組み込まれている。例えば、携帯電話機において、液晶表示
装置は、携帯電話機の本来の機能に使用される画面サイズが大きいメイン液晶表示パネル
と、日時表示、着信お知らせ表示等の付随的機能に使用されるサブ液晶表示パネルとを備
えている。

【0003】

液晶表示装置においては、ホスト回路から液晶表示ドライバに表示タイミングを考慮し

50

て表示データが転送され、この転送された表示データに基づき液晶表示パネルが表示されている。図 6 に示す液晶表示装置は、メイン液晶表示パネル 1 と、サブ液晶表示パネル 2 と、ゲートドライバ 3 と、ゲート線 4 と、メイン液晶表示パネル用ソースドライバ 5 及び 7 と、メイン液晶表示パネル 1 とサブ液晶表示パネル 2 とに共通の共用ソースドライバ 6 と、ソース線 8 と、ホスト回路 9 とを備えている。

【0004】

ゲートドライバ 3 にはホスト回路 9 から出力されるゲートドライバ制御信号 (GCONT) が入力される。ゲートドライバ 3 は、ゲートドライバ制御信号の入力に対応したゲート線 4 を選択し、メイン液晶表示パネル 1 及びサブ液晶表示パネル 2 の走査線のオン/オフ制御を行う。また、ソースドライバ 5、6 及び 7 にはホスト回路 9 から出力される液晶表示データ、データ制御信号及びソースドライバ制御信号 (SCONT) が入力される。ソースドライバ 5、6 及び 7 は、液晶表示データ等の入力に基づき、ソース線を選択し、メイン液晶表示パネル 1 及びサブ液晶表示パネル 2 の映像線のオン/オフ制御を行う。走査線、映像線の各々のオン/オフ制御により、メイン液晶表示パネル 1、サブ液晶表示パネル 2 に液晶表示データに基づく映像が表示される。ここで、液晶表示データは書込みデータ信号 (WD) である。また、データ制御信号には、垂直同期信号 (VSYNC)、水平同期信号 (HSYNC) 及びデータ有効信号 (DE) が含まれる。

10

【0005】

次に、メイン液晶表示パネル 1 の有効表示行を m 行及び有効表示列を n 列、サブ液晶表示パネル 2 の有効表示行を i 行及び有効表示列を j 列とする、図 6 に示す液晶表示装置において、その液晶表示動作を説明する。

20

【0006】

メイン液晶表示パネル 1 及びサブ液晶表示パネル 2 の 2 つの液晶表示パネルの「1 画面処理期間」は、図 7 に示すように、「書込みデータ信号の転送期間」に「垂直同期信号のブランキング期間 (垂直同期信号のローレベル区間)」を加算した期間である。この 1 画面処理期間において、垂直同期信号、水平同期信号及びデータ有効信号を用いて書込みデータが転送される。書込みデータ信号は、垂直同期信号のハイレベル区間、水平同期信号のハイレベル区間かつデータ有効信号のハイレベル区間の時に転送される。合計、「 $m + i$ 行」分の書込みデータ信号が転送されると、一画面分のデータ転送が完了する。詳細には、図 7 の左下部分に拡大して示すように、サブ液晶表示パネル 2 においては、1 行分の列数に対応した j 個の書込みデータ $D_1 \sim D_j$ が、 i 行数分、一画面処理期間内に転送される。図 7 の右下部分に拡大して示すように、メイン液晶表示パネル 1 においては、1 行分の列数に対応した n 個の書き込みデータ $D_1 \sim D_n$ が、 m 行数分、1 画面処理期間内に転送される。

30

【0007】

垂直同期信号のローレベルからハイレベルへの信号立ち上がりから、メイン液晶表示パネル 1 及びサブ液晶表示パネル 2 の 2 つの液晶表示パネルの液晶表示動作が開始される。ゲートドライバ 3 を駆動してゲート線 4 を介して走査線を選択し、ソースドライバ 5 ~ 7 を駆動してソース線 8 を介して映像線を選択し、これらにより選択された画素 (ピクセル) に書込みデータ信号 (表示データ) が書き込まれる。この書込みデータ信号の書き込みにより、メイン液晶表示パネル 1、サブ液晶表示パネル 2 において、液晶表示が行われる。

40

【0008】

一方、下記特許文献 1 には、液晶表示データを記憶するメモリを内蔵したメモリ内蔵液晶ドライバ並びに液晶ディスプレイが開示されている。このメモリ内蔵液晶ドライバにおいては、メモリに記憶された液晶表示データを液晶印加電圧に変換して液晶表示パネルに出力し、表示するように構成されており、システム動作効率を改善することができる。

【特許文献 1】特開平 7 - 64514 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 9 】

しかしながら、前述のメイン液晶表示パネル 1 及びサブ液晶表示パネル 2 の 2 つの液晶表示パネルを備えた液晶表示装置においては、図 7 に示すように、1 画面処理期間のほとんどすべてを使用して液晶表示データを転送し、液晶表示を行っているので、ホスト回路 9 の駆動負荷が重い。このため、ホスト回路 9 の処理能力の大半が液晶表示動作に費やされてしまい、例えば携帯電話機においては通信処理、音声処理等の別の処理をホスト回路 9 で実行することができない。処理能力を向上するにはホスト回路 9 の回路規模を増大するなどの新たなシステム設計を余儀なくされるので、液晶表示装置の製作コストが増大する。

【 0 0 1 0 】

一方、前述の特許文献 1 に記載されたメモリ内蔵液晶ドライバ並びに液晶ディスプレイは 1 つの液晶表示パネルを備えたことを前提としている。前述の図 6 に示す 2 つの液晶表示パネルを有する液晶表示装置においてシステム動作効率を改善する場合には、メイン液晶表示パネル 1 に対応した記憶容量が、又はメイン液晶表示パネル 1、サブ液晶表示パネル 2 の各々に対応した記憶容量を有するメモリを内蔵させる必要がある。このため、液晶表示装置においては、内蔵メモリの記憶容量が増大する。大記憶容量のメモリの内蔵は液晶表示装置の製作コストの増大を招く。

【 0 0 1 1 】

本発明は、かかる点に鑑みてなされたものであり、ホスト回路の処理能力を軽減することができるとともに、内蔵メモリの記憶容量を減少することができる表示装置及び表示方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

本発明の表示装置は、第 1 の表示パネルと、前記第 1 の表示パネルに比べて表示行数及び表示列数が少ない第 2 の表示パネルと、前記第 1 及び第 2 の表示パネルの走査線を駆動するゲートドライバと、前記第 1 及び第 2 の表示パネルの映像線に表示データを出力するソースドライバと、前記第 1 の表示パネルの前記走査線上の最大表示数と前記第 2 の表示パネルの前記映像線上の最大表示数とを乗算した記憶容量を有し、1 画面表示期間において前記ソースドライバから第 1 及び第 2 の表示パネルに前記表示データを転送する速度に対して前記表示データの書き込み速度が速い表示データ格納メモリと、前記ゲートドライバ、前記ソースドライバ及び前記表示データ格納メモリの動作を制御し、前記表示データ格納メモリに前記表示データを書き込む制御回路とを備えた構成を採る。

【 0 0 1 3 】

この構成によれば、ソースドライバから第 1 及び第 2 の表示パネルに表示データを転送する速度に対して少なくとも書き込み速度が速い表示データ格納メモリを備え、表示データを高速動作で一時的に格納し、第 1 及び第 2 の表示パネルに転送することができる。この結果、1 画面表示期間のすべてに渡ってホスト回路から第 1 及び第 2 の表示パネルに表示データを転送することがなくなり、ホスト回路の処理能力を軽減することができる。更に、書き込み速度が速い表示データ格納メモリは、1 画面表示期間において繰り返し表示データの書き込み並びに読み出しができるので、第 1 の表示パネルの走査線上の最大表示数と第 2 の表示パネルの映像線上の最大表示数とを乗算した、第 1 の表示パネルの全表示数に対応する記憶容量に比べて少ない記憶容量に設定することができる。この結果、表示データ格納メモリの記憶容量を減少することができる。

【 0 0 1 4 】

本発明の表示装置は、前記制御回路に表示データを転送するホスト回路を更に備えた構成を採る。

【 0 0 1 5 】

この構成によれば、1 画面表示期間内のすべてにおいて制御回路に表示データを転送する必要がなくなるので、ホスト回路の処理能力を軽減することができる。

【 0 0 1 6 】

本発明の表示装置は、前記制御回路は、前記表示データ格納メモリに格納された表示データを前記ソースドライバに読み出す読出しアドレス信号と、前記ホスト回路から表示データを前記表示データ格納メモリに書き込む書込みアドレス信号とを制御し、前記表示データ格納メモリを先入れ先出し（FIFO）回路として動作させる機能を備えた構成を採る。

【0017】

この構成によれば、表示データ格納メモリを先入れ先出し回路として動作させることができるので、表示データの読出しアドレス信号が表示データの書込みアドレス信号を追い越すことを防止することができる。

【0018】

本発明の表示装置は、前記制御回路は、前記表示データ格納メモリから読み出される表示データが空になる前に、前記ホスト回路に表示データの転送を要求する機能を備えた構成を採る。

【0019】

この構成によれば、表示データ格納メモリから読み出される表示データが空になる前にホスト回路に表示データの転送を要求すればよいので、ホスト回路の処理能力を軽減することができる。

【0020】

本発明の表示装置は、前記制御回路は、前記第2の表示パネルのみを表示し、活性化する必要のない前記ソースドライバ及び表示データ格納メモリを停止させる機能を備えた構成を採る。

【0021】

この構成によれば、活性化する必要のないソースドライバ及び表示データ格納メモリを停止することができるので、ホスト回路の処理能力を軽減することができる。また、無駄な電力消費を無くすることができる。

【0022】

本発明の表示方法は、第1の表示パネルの走査線上の最大表示数と前記第1の表示パネルに比べて表示行数及び表示列数が少ない第2の表示パネルの映像線上の最大表示数とを乗算した容量において、表示データを一定の周期毎に格納する段階と、前記一定の周期毎に格納された表示データを前記第1及び第2の表示パネルの映像線に連続的に転送する段階とを備えた構成を採る。

【0023】

この方法によれば、1画面表示期間内において、表示データを一定の周期毎に格納することができるとともに、この格納された表示データを第1及び第2の表示パネルの映像線に連続的に転送することができるので、一定の周期毎に表示データを格納する間隔において、表示データの格納処理を停止することができる。すなわち、この表示データを格納する間隔において、ホスト回路の処理能力を軽減することができる。

【発明の効果】

【0024】

本発明によれば、ホスト回路の処理能力を軽減することができるとともに、内蔵メモリの記憶容量を減少することができる表示装置及び表示方法を提供することができる。

【発明を実施するための最良の形態】

【0025】

本発明の骨子は、メイン表示パネルの走査線上の最大表示数とサブ表示パネルの映像線上の最大表示数とを乗算した記憶容量を有し、格納された表示データをメイン表示パネル及びサブ表示パネルの映像線に転送する速度に対して、表示データを格納する速度が速い表示データ格納メモリを備え、表示データ格納メモリに一時的に表示データを格納し、この格納された表示データをメイン表示パネル及びサブ表示パネルの映像線に転送するようにしたことである。

【0026】

10

20

30

40

50

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、本実施の形態は、本発明を液晶表示装置に適用した例について説明するものである。

【0027】

[液晶表示装置の構成]

本発明の実施の形態に係る液晶表示装置10は、第1の液晶表示パネル(メイン液晶表示パネル)101と、第1の液晶表示パネル101に比べて表示行数及び表示列数が少ない第2の液晶表示パネル(サブ液晶表示パネル)102と、第1の液晶表示パネル101の走査線101G及び第2の液晶表示パネル102の走査線102Gを駆動するゲートドライバ103と、第1の液晶表示パネル101の映像線101S及び第2の液晶表示パネル102の映像線102Sに表示データを出力するソースドライバ105~107と、第1の液晶表示パネル101の走査線101G上の最大表示数と第2の液晶表示パネル102の映像線102S上の最大表示数とを乗算した記憶容量を有し、1画面表示期間においてソースドライバ105~107から第1の液晶表示パネル101及び第2の液晶表示パネル102に表示データを転送する速度に対して表示データの書き込み速度が速い表示データ格納メモリ109~111と、ソースドライバ105~107及び表示データ格納メモリ109~111の動作を制御し、表示データ格納メモリ109~111に表示データを書き込む制御回路112とを備えている。

【0028】

更に、液晶表示装置10はホスト回路113を備えている。なお、本実施の形態において、このホスト回路113は、液晶表示装置10の内部回路として説明しているが、液晶表示装置10の外部回路としてもよい。具体的には、例えば携帯電話機や無線通信機のメインプロセッサをホスト回路として、このホスト回路に液晶表示装置10が接続されるようにしてもよい。

【0029】

ホスト回路113は、書込みデータ信号WD、書込みアドレス信号WAD、書込み制御信号WCONT及び垂直同期信号VSYNCを制御回路112に出力する。書込みデータ信号WDは第1の液晶表示パネル101、第2の液晶表示パネル102のそれぞれにおいて液晶表示を行なう表示データである。一方、制御回路112は書込み要求信号WREQをホスト回路113に出力する。

【0030】

制御回路112は、書込みアドレス信号WADに基づき、表示データ格納メモリ109~111のいずれかを選別し、表示データ格納メモリ110には書込みデータ信号WD1を書き込み、表示データ格納メモリ109には書込みデータ信号WD2を書き込み、表示データ格納メモリ111には書込みデータ信号WD3を書き込む。表示データ格納メモリ110において、格納された書込みデータ信号WD1は読出しデータ信号RD1としてソースドライバ106に出力される。同様に、表示データ格納メモリ109において、格納された書込みデータ信号WD2は読出しデータ信号RD2としてソースドライバ105に出力される。表示データ格納メモリ111において、格納された書込みデータ信号WD3は読出しデータ信号RD3としてソースドライバ107に出力される。この表示データ格納メモリ109~111はFIFO回路として動作するようになっている。表示データ格納メモリ109~111の書込み動作を制御する書込み要求信号WREQは、制御回路112において生成され、制御回路112からホスト回路113に出力される。

【0031】

更に、制御回路112は、ソースドライバ制御信号SCONTをソースドライバ105~107に出力し、ゲートドライバ制御信号GCONTをゲートドライバ103に出力する。ゲートドライバ103においては、ゲートドライバ制御信号GCONTの入力に応じて、ゲート線104を通し、第1の液晶表示パネル101において図1中上下方向に延在する走査線101G、第2の液晶表示パネル102において上下方向に延在する走査線102Gの各々のオン/オフ制御を行う。ソースドライバ105~107においては、ソースドライバ制御信号SCONTの入力に応じた電圧の出力を行い、ソース線108を通し

、第1の液晶表示パネル101において図1中左右方向に延在する映像線101S、第2の液晶表示パネル102において左右方向に延在する映像線102Sの各々に表示データを転送する。

【0032】

図1においては詳細に図示していないが、第1の液晶表示パネル101においては、オン制御された走査線101Gと表示データが転送された映像線101Sとの交差部分に配設された1画素(ピクセル)において液晶表示が行われる。同様に、第2の液晶表示パネル102においては、オン制御された走査線102Gと表示データが転送された映像線102Sとの交差部分に配設された1画素において液晶表示が行われる。1画面処理期間内において、第1の液晶表示パネル101のすべての画素が表示されるとともに、第2の液晶表示パネル102の画素が表示され、液晶表示がなされる。

10

【0033】

また、第1の液晶表示パネル101及び第2の液晶表示パネル102の液晶表示を行う際、ゲートドライバ制御信号GCONT及びソースドライバ制御信号SCONTの出力タイミングと、読出しデータ信号RD1~RD3の出力タイミングとは垂直同期信号VSYNCにより制御されている。

【0034】

本実施の形態において、表示データ格納メモリ109~111にはスタチック型ランダムアクセスメモリ(SRAM)を実用的に使用することができる。SRAMは、1画面表示期間においてソースドライバ105~107から第1の液晶表示パネル101及び第2の液晶表示パネル102に表示データを転送する速度に対して、表示データの書込み速度が速い性能を備えている。なお、表示データ格納メモリ109~111は、SRAMに限定されるものではなく、表示データの書込み速度が速い性質を備えたダイナミック型ランダムアクセスメモリ(DRAM)を使用することができる。また、本実施の形態においては、第1の液晶表示パネル101及び第2の液晶表示パネル102に共通の表示データ格納メモリ110とその左右に配設された(図1中においてはその上下に配設された)表示データ格納メモリ109及び111の合計3個の表示データ格納メモリ109~111を備えた場合について説明しているが、この個数に限定されるものではなく、1つ、2つ又は3つ以上の表示データ格納メモリを備えることができる。

20

【0035】

[液晶表示装置の液晶表示動作]

次に、第1のメイン液晶表示パネル101の有効表示行をm行及び有効表示列をn列、第2の液晶表示パネル102の有効表示行をi行及び有効表示列をj列とする、図1に示す液晶表示装置10において、その液晶表示動作を図2を用いて説明する。

30

【0036】

第1の液晶表示パネル101及び第2の液晶表示パネル102の2つの液晶表示パネルの「1画面処理期間」は「表示データ(書込みデータ信号WD)の転送期間」に「垂直同期信号のブランキング期間(垂直同期信号のローレベル区間)」を加算した期間である。この1画面処理期間内において、垂直同期信号VSYNCと、書込みデータWDとを用いて表示データの転送が行われる。

40

【0037】

表示データ格納メモリ109~111は、第1の液晶表示パネル101の走査線101G上の最大表示数と第2の液晶表示パネル102の映像線102S上の最大表示数とを乗算した記憶容量を備えている。すなわち、表示データ格納メモリ109~111は第2の液晶表示パネル102のi行分の画素数と第1の液晶表示パネル101のn列分の画素数とを乗算した記憶容量(i行×n列)を備えており、この記憶容量に応じた表示データを書き込むことができる。書込みデータ信号WDは、第2の液晶表示パネル102の表示行数であるi行単位において、表示データ格納メモリ109~111への書き込みを行なう。

【0038】

50

本実施の形態において、ホスト回路 113 から制御回路 112 を通して表示データ格納メモリ 109 ~ 111 には、 i 行分の表示データ（書込みデータ信号 WD ）の転送を 3 回と $(m - 2i)$ 行分の表示データの転送を 1 回との合計 4 回の転送を行い、1 画面表示期間内の表示データの転送が完了するように設定されている。この 1 画面表示期間内において、表示データの転送（書込みデータ信号 WD の書き込み）は、制御回路 112 からホスト回路 113 に書込み要求信号 $WREQ$ が出力された際に、この書込み要求信号 $WREQ$ に基づいてホスト回路 113 から制御回路 112 を通して表示データ格納メモリ 109 ~ 111 に周期的に行われている。

【0039】

第 2 の液晶表示パネル 102 において、1 行分の表示データの転送は、図 2 中、左下部分に拡大して示すように、 j 個分の書込みデータ信号 WD ($D1 \sim D_j$) の転送である。第 1 の液晶表示パネル 101 において、1 行分の表示データの転送は、図 2 中、中央部分に拡大して示すように、 n 個分の書込みデータ信号 WD ($D1 \sim D_n$) の転送である。

【0040】

表示データ格納メモリ 109 ~ 111 に格納された表示データは垂直同期信号 $VSYNC$ が立ち上がってから読み出しを行い、ゲートドライバ 103 及びソースドライバ 105 ~ 107 が駆動されると、第 1 の液晶表示パネル 101 及び第 2 の液晶表示パネル 102 において液晶表示が行われる。表示データ格納メモリ 109 ~ 111 から表示データが読み出されると、表示データ格納メモリ 109 ~ 111 の表示データ格納領域がある程度空いた時点で制御回路 112 からホスト回路 113 に書込み要求信号 $WREQ$ が出力される。ホスト回路 113 においては、書込み要求信号 $WREQ$ に基づき、表示データ格納メモリ 109 ~ 111 に書込みデータ信号 WD を順次転送することができる。

【0041】

表示データの転送と次の表示データの転送との間は、ホスト回路 113 から表示データ格納メモリ 109 ~ 111 に表示データを転送していない。つまり、ホスト回路 113 は、表示データの転送間において、休止状態か又は別の処理を行なうことができる。

【0042】

なお、実施の形態において、1 画面表示期間内の表示データの転送回数は、この 4 回に限定されるものではなく、第 1 の液晶表示パネル 101 のサイズ（有効表示行数 × 有効表示列数）と第 2 の液晶表示パネル 102 のサイズ（有効表示行数 × 有効表示列数）との比により適宜変更することができる。

【0043】

[制御回路の構成]

次に、前述の液晶表示装置 10 の制御回路 112 の詳細な構成と、この制御回路 112 、表示データ格納メモリ 109 ~ 111 、ソースドライバ 105 ~ 107 、ゲートドライバ 103 のそれぞれの接続構成とを説明する。

【0044】

制御回路 112 は、図 3 に示すように、アドレス管理部 201 と、書込み制御部 202 と、読出し制御部 203 と、ドライバ制御部 204 と、書込み要求制御部 205 と、停止制御部 206 とを備えている。

【0045】

この制御回路 112 においては、ホスト回路 113 から書込み制御部 202 に、書込みアドレス信号 WAD 、書込み制御信号 $WCONT$ 及び書込みデータ信号 WD が入力される。書込み制御部 202 においては、表示データ格納メモリ 109 ~ 111 を 1 つのメモリと見なした書込みアドレス信号 WAD に基づき、いずれかの表示データ格納メモリ 109 ~ 111 に書込みデータ信号 WD の書き込みを行なうかを判断する。ここで、第 1 の液晶表示パネル 101 と第 2 の液晶表示パネル 102 とにおいて共用される表示データ格納メモリ 110 に書き込みを行なうと判断された場合、書込み制御部 202 から表示データ格納メモリ 110 に書込みアドレス信号 $WAD1$ 、書込み制御信号 $WCONT1$ 及び書込みデータ信号 $WD1$ が出力され、表示データ格納メモリ 110 において書込みデータ信号 W

10

20

30

40

50

D 1 が格納される。同様に、表示データ格納メモリ 1 0 9 に書込みを行なうと判断された場合、書込み制御部 2 0 2 から表示データ格納メモリ 1 0 9 に書込みアドレス信号 W A D 2、書込み制御信号 W C O N T 2 及び書込みデータ信号 W D 2 が出力され、表示データ格納メモリ 1 0 9 において書込みデータ信号 W D 2 が格納される。表示データ格納メモリ 1 1 1 に書き込みを行なうと判断された場合、書込み制御部 2 0 2 から表示データ格納メモリ 1 1 1 に書込みアドレス信号 W A D 3、書込み制御信号 W C O N T 3 及び書込みデータ信号 W D 3 が出力され、表示データ格納メモリ 1 1 1 において書込みデータ信号 W D 3 が格納される。

【 0 0 4 6 】

一方、制御回路 1 1 2 においては、読出し制御部 2 0 3 及びドライバ制御部 2 0 4 は垂直同期信号 V S Y N C の立ち上がりを検出する。この垂直同期信号 V S Y N C の検出に基づき、読出し制御部 2 0 3 は、表示データ格納メモリ 1 0 9 ~ 1 1 1 を 1 つのメモリと見なした読出しアドレス信号 R A D を生成する。表示データ格納メモリ 1 1 0 においては、読出し制御部 2 0 3 で生成された読出しアドレス信号 R A D 1 及び読出し制御信号 R C O N T 1 に基づき、格納されている表示データを読出しデータ信号 R D 1 としてソースドライバ 1 0 6 に出力する。同様に、表示データ格納メモリ 1 0 9 においては、読出し制御部 2 0 3 で生成された読出しアドレス信号 R A D 2 及び読出し制御信号 R C O N T 2 に基づき、格納されている表示データを読出しデータ信号 R D 2 としてソースドライバ 1 0 5 に出力する。表示データ格納メモリ 1 1 1 においては、読出し制御部 2 0 3 で生成された読出しアドレス信号 R A D 3 及び読出し制御信号 R C O N T 3 に基づき、格納されている表示データを読出しデータ信号 R D 3 としてソースドライバ 1 0 7 に出力する。

【 0 0 4 7 】

ドライバ制御部 2 0 4 は、読出し制御部 2 0 3 から出力される読出しアドレス信号 R A D を入力し、駆動対象となるソースドライバ 1 0 6 ~ 1 0 7 のいずれか及びゲートドライバ 1 0 3 の制御を行なう。

【 0 0 4 8 】

アドレス管理部 2 0 1 は書込みアドレス信号 W A D と読出し制御部 2 0 3 において生成された読出しアドレス信号 R A D との比較を行なう。アドレス管理部 2 0 1 において、読出しアドレス信号 R A D が書込みアドレス信号 W A D を追い越した場合には、読出し制御部 2 0 3 に対して読出しアドレス保持信号 R A D H を出力する。読出し制御部 2 0 3 は、アドレス保持信号 R A D H に基づき、読出しアドレス R A D を出力せずに保持することができる。

【 0 0 4 9 】

また、アドレス管理部 2 0 1 は、図示しないがホスト回路 1 1 3 から出力されるアドレス設定信号 A S E T により設定されたアドレスと読出し制御部 2 0 3 で生成された読出しアドレス信号 R A D とを比較する。アドレス管理部 2 0 1 においては、読出しアドレス信号 R A D がアドレス設定信号 A S E T に基づき設定されたアドレス信号より大きい場合、書込み通知信号 W R E P を書込み要求制御部 2 0 5 に出力する。書込み要求制御部 2 0 5 においては、この書込み通知信号 W R E P に基づき、ホスト回路 1 1 3 に書込み要求信号 W R E Q を出力する。

【 0 0 5 0 】

停止制御部 2 0 6 にはホスト回路 1 1 3 から出力される液晶選択信号 P S E L が入力される。液晶選択信号 P S E L に基づき、停止制御部 2 0 6 は、第 1 の液晶表示パネル 1 0 1 及び第 2 の液晶表示パネル 1 0 2 の双方を使用するか、若しくは第 2 の液晶表示パネル 1 0 2 を使用するかの制御を行なう。第 1 の液晶表示パネル 1 0 1 及び第 2 の液晶表示パネル 1 0 2 の双方を使用する場合、停止制御部 2 0 6 は停止制御を行わない。第 2 の液晶表示パネル 1 0 2 のみを使用する場合、停止制御部 2 0 6 は、液晶選択信号 P S E L に基づき液晶表示状態を検知し、停止信号 S T P を生成する。停止信号 S T P は書込み制御部 2 0 2、読出し制御部 2 0 3 及びドライバ制御部 2 0 4 に出力される。停止信号 S T P に基づき、書込み制御部 2 0 2 及び読出し制御部 2 0 3 は表示データ格納メモリ 1 0 9 ~ 1

11の動作を停止させる。更に、停止信号STPに基づき、ドライバ制御部204はソースドライバ105～107を停止させる。

【0051】

[アドレス管理部の構成]

次に、前述の制御回路112のアドレス管理部201の詳細な構成を説明する。アドレス管理部201は、図4に示すように、書込み読出しアドレス比較部211と、読出しアドレス比較部212と、書込みアドレス設定部213とを備えている。書込み読出しアドレス比較部211は、書込みアドレス信号WADと読出しアドレス信号RADとの比較を行い、読出しアドレスRADが書込みアドレスWADを追い越した場合、読出しアドレス保持信号RADHを読出し制御部203に出力する。読出し制御部203においては、読出しアドレス保持信号RADHに基づき、表示データ格納メモリ109～111をFIFO回路として動作させることができる。

10

【0052】

書込みアドレス設定部213にはアドレス設定信号ASETが入力される。このアドレス設定信号ASETに基づき、書込みアドレス設定部213においては、アドレス設定信号ASETの値を設定する。読出しアドレス比較部212は、書込みアドレス設定部213において設定されたアドレス設定信号ASETと読出しアドレス信号RADとを比較する。読出しアドレス信号RADがアドレス設定信号ASETの値よりも大きい場合には、読出しアドレス比較部212は書込み通知信号WREPを図3に示す書込み要求制御部205に出力する。

20

【0053】

[液晶表示装置の液晶表示方法]

次に、液晶表示装置10の液晶表示方法を、図5を用いて簡単に説明する。

【0054】

まず最初に、ステップS1に示すように、ホスト回路113から制御回路112に表示データが入力される(図1参照。)。この表示データの転送は、第1の液晶表示パネル101の走査線101G上の最大表示数と第2の液晶表示パネル102の映像線102S上の最大表示数とを乗算した容量において行われる。

【0055】

ステップS2に示すように、表示データの入力に基づき、制御回路112は、表示データ格納メモリ109～111に表示データを格納し(ステップS3)この格納された表示データを読み出す(ステップS4)制御を行う。更に、制御回路112は、ソースドライバ105～107を制御し(ステップS5)、ゲートドライバ103を制御する(ステップS6)。

30

【0056】

ここで、制御回路112に基づく表示データ格納メモリ109～111への表示データの格納並びに格納された表示データの読み出し制御により、第1の液晶表示パネル101の走査線101G上の最大表示数と第2の液晶表示パネル102の映像線102S上の最大表示数とを乗算した容量において表示データを一定の周期毎に表示データ格納メモリ109～111に格納することができ、この表示データ格納メモリ109～111に格納された表示データを第1の液晶表示パネル101の映像線101S、第2の液晶表示パネル102の映像線102Sに連続的に転送することができる。

40

【0057】

そして、ソースドライバ105～107においてソース線108を介して駆動される、第1の液晶表示パネル101の映像線101Sと、ゲートドライバ103においてゲート線104を介して駆動される、第1の液晶表示パネル101の走査線101Gとの交差部分に配設された画素に表示データが転送され、ステップS7に示すように、第1の液晶表示パネル101において液晶表示が行われる。更に、第2の液晶表示パネル102の映像線102Sと、第2の液晶表示パネル102の走査線102Gとの交差部分に配設された画素に表示データが転送され、第2の液晶表示パネル102において液晶表示が行われる

50

。

【 0 0 5 8 】

このように、本実施の形態によれば、ソースドライバ 1 0 5 ~ 1 0 7 から第 1 の液晶表示パネル 1 0 1 及び第 2 の液晶表示パネル 1 0 2 に表示データを転送する速度に対して少なくとも書込み速度が速い表示データ格納メモリ 1 0 9 ~ 1 1 1 を備え、表示データを高速動作で一時的に格納し、第 1 の液晶表示パネル 1 0 1 及び第 2 の液晶表示パネル 1 0 2 に転送することができる。この結果、1 画面表示期間のすべてに渡ってホスト回路 1 1 3 から第 1 の液晶表示パネル 1 0 1 及び第 2 の液晶表示パネル 1 0 2 に表示データを転送することがなくなり、ホスト回路 1 1 3 の処理能力を軽減することができる。

【 0 0 5 9 】

更に、書込み速度が速い表示データ格納メモリ 1 0 9 ~ 1 1 1 は、1 画面表示期間において繰り返し表示データの書き込み並びに読み出しができるので、第 1 の液晶表示パネル 1 0 1 の走査線 1 0 1 G 上の最大表示数と第 2 の液晶表示パネル 1 0 2 の映像線 1 0 2 S 上の最大表示数とを乗算した、第 1 の液晶表示パネル 1 0 1 の全表示数に対応する記憶容量に比べて少ない記憶容量に設定することができる。この結果、表示データ格納メモリ 1 0 9 ~ 1 1 1 の記憶容量を減少することができる。

【 産業上の利用可能性 】

【 0 0 6 0 】

本発明に係る表示装置及び表示方法は、ホスト回路の処理能力を軽減することができるとともに、内蔵メモリの記憶容量を減少することができるという効果を有し、特に有機エレクトロルミネッセンス (E L) ディスプレイ、プラズマディスプレイ等のディスプレイを備えた表示装置に有効である。

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 本発明の実施の形態に係る液晶表示装置のブロック図

【 図 2 】 図 1 に示す液晶表示装置の液晶表示動作を説明するタイミングチャート

【 図 3 】 図 1 に示す液晶表示装置の制御回路、表示データ格納メモリ、ソースドライバ及びゲートドライバを示すブロック図

【 図 4 】 図 3 に示す制御回路のアドレス管理部のブロック図

【 図 5 】 本発明の実施の形態に係る液晶表示装置の液晶表示動作を説明するフローチャート

【 図 6 】 従来技術に係る液晶表示装置のブロック図

【 図 7 】 図 6 に示す液晶表示装置の液晶表示動作を説明するタイミングチャート

【 符号の説明 】

【 0 0 6 2 】

- 1 0 液晶表示装置
- 1 0 1 第 1 の液晶表示パネル (メイン液晶表示パネル)
- 1 0 1 G 、 1 0 2 G 走査線
- 1 0 1 S 、 1 0 2 S 映像線
- 1 0 3 ゲートドライバ
- 1 0 4 ゲート線
- 1 0 5 ~ 1 0 7 ソースドライバ
- 1 0 9 ~ 1 1 1 表示データ格納メモリ
- 1 1 2 制御回路
- 1 1 3 ホスト回路
- 2 0 1 アドレス管理部
- 2 0 2 書込み制御部
- 2 0 3 読出し制御部
- 2 0 4 ドライバ制御部
- 2 0 5 書込み要求制御部

10

20

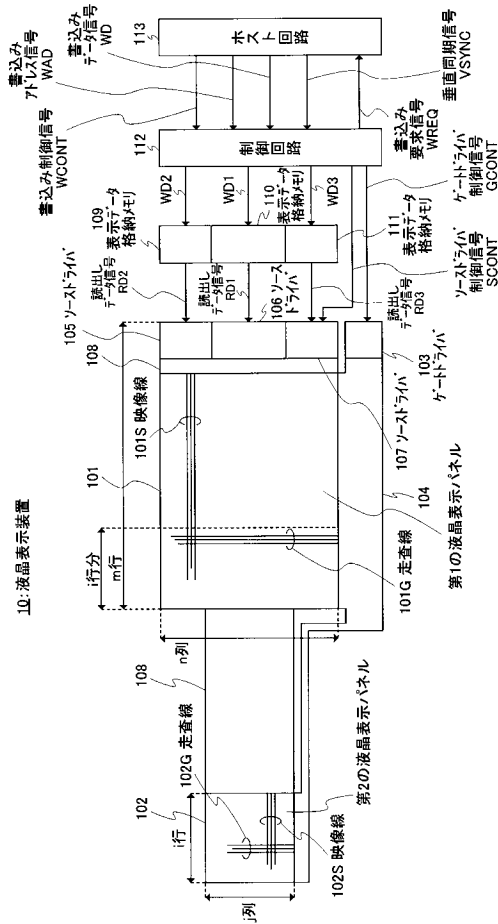
30

40

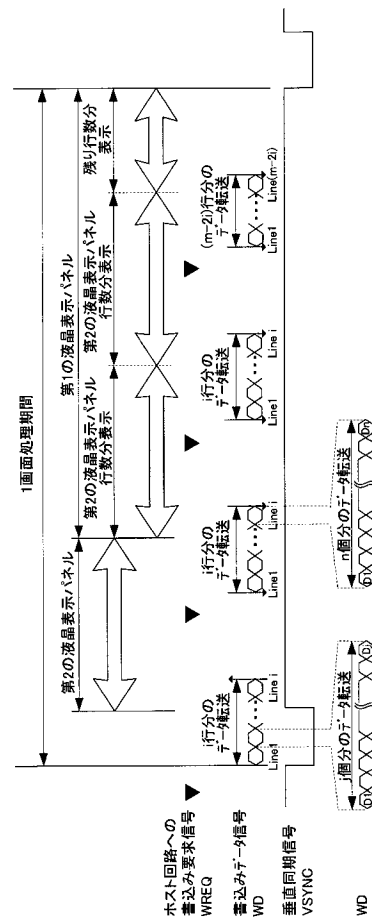
50

- 2 0 6 停止制御部
- 2 1 1 書込み読出しアドレス比較部
- 2 1 2 読出しアドレス比較部
- 2 1 3 書込みアドレス設定部

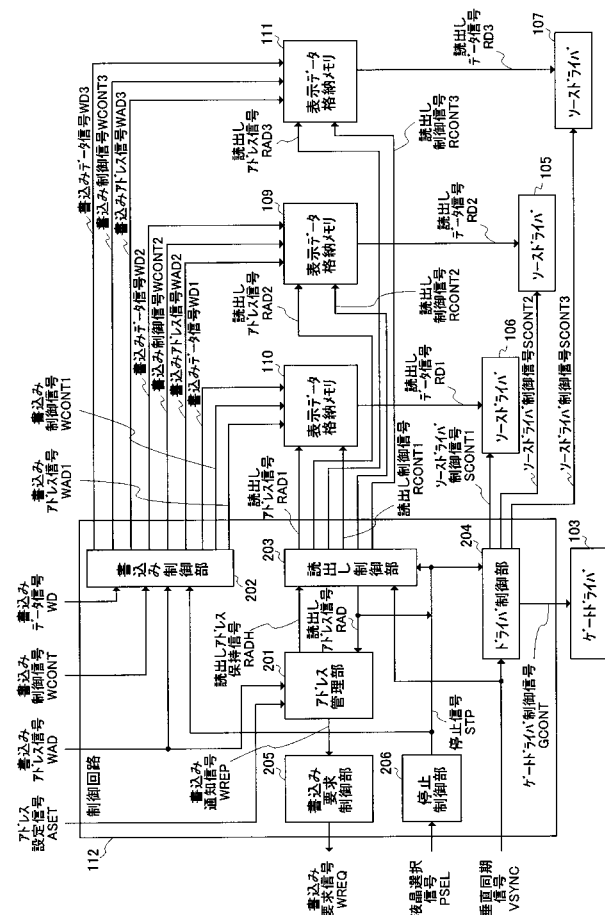
【図 1】



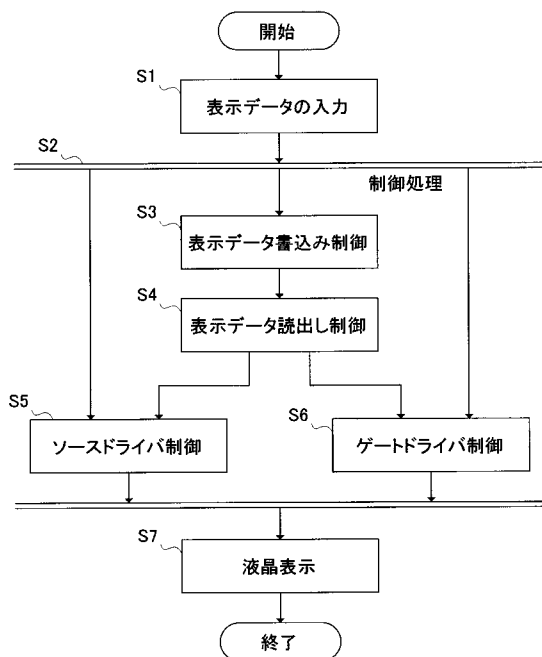
【図 2】



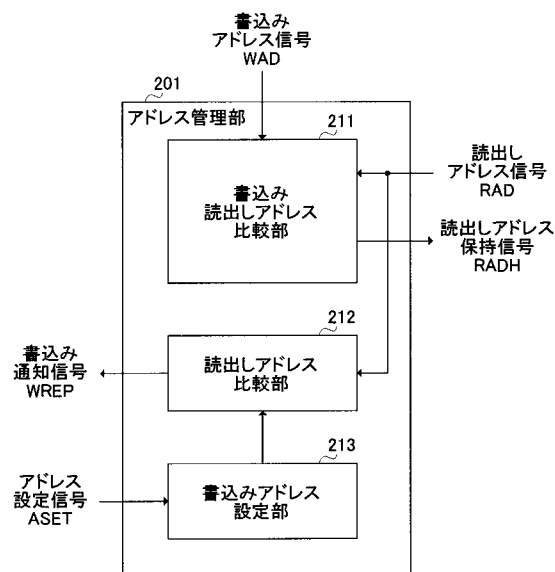
【 図 3 】



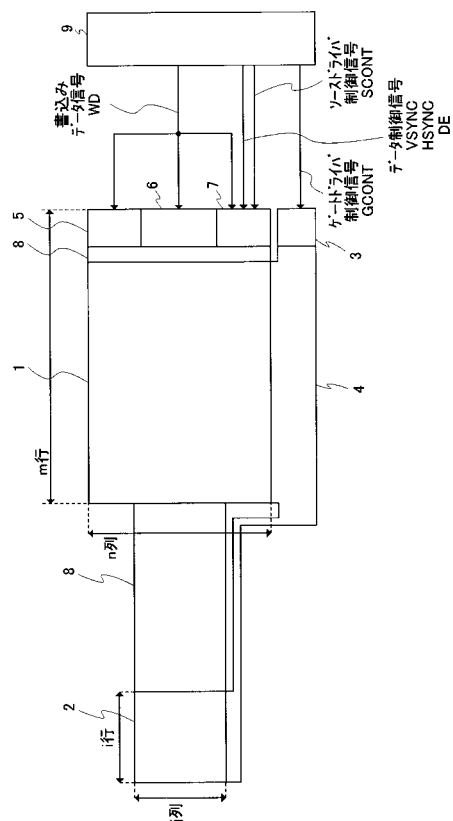
【圖 5】



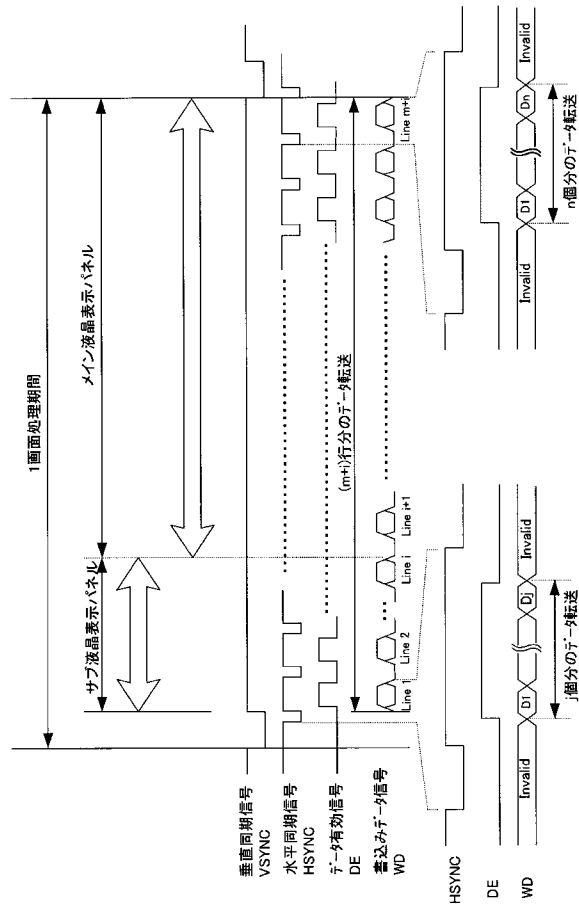
【 図 4 】



【 図 6 】



【図 7】



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20 6 8 0 D	
	G 0 9 G 5/00 5 1 0 V	
	G 0 9 G 5/00 5 5 0 M	

F ターム(参考)	5C006	AA01	AF02	AF03	AF04	AF51	AF53	AF61	AF68	AF71	BC03
		BC11	BC20	BF02	BF09	BF14	BF24	FA44			
	5C080	AA10	BB05	CC07	DD22	DD27	DD28	JJ02	KK07	KK47	
	5C082	AA00	AA34	BB15	BB22	BD02	BD06	DA53	DA63	DA86	MM04

专利名称(译)	表示装置及び表示方法		
公开(公告)号	JP2005257757A	公开(公告)日	2005-09-22
申请号	JP2004065651	申请日	2004-03-09
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	綿田和浩 塚本章人 岩崎俊文		
发明人	綿田 和浩 塚本 章人 岩崎 俊文		
IPC分类号	G09G3/36 G09G3/20 G09G5/00		
FI分类号	G09G3/36 G09G3/20.612.R G09G3/20.631.B G09G3/20.631.R G09G3/20.633.Q G09G3/20.680.D G09G5/00.510.V G09G5/00.550.M		
F-TERM分类号	5C006/AA01 5C006/AF02 5C006/AF03 5C006/AF04 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF68 5C006/AF71 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF02 5C006/BF09 5C006/BF14 5C006/BF24 5C006/FA44 5C080/AA10 5C080/BB05 5C080/CC07 5C080/DD22 5C080/DD27 5C080/DD28 5C080/JJ02 5C080/KK07 5C080/KK47 5C082/AA00 5C082/AA34 5C082/BB15 5C082/BB22 5C082/BD02 5C082/BD06 5C082/DA53 5C082/DA63 5C082/DA86 5C082/MM04 5C182/AA02 5C182/AA03 5C182/AB02 5C182/AB08 5C182/AC02 5C182/AC03 5C182/BB02 5C182/BC01 5C182/DA05 5C182/DA06 5C182/DA14 5C182/DA15 5C182/DA22 5C182/EA01 5C182/EA07 5C182/EA09		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够减小主机电路的处理能力并减小内置存储器的存储容量的显示装置和显示方法。液晶显示装置包括第一液晶显示面板，具有比第一液晶显示面板更少的显示行和显示列的数量的第二液晶显示面板以及栅极驱动器。在图1中，源极驱动器105至107，显示数据存储存储器109至111以及控制电路112。显示数据存储存储器109至111具有通过将第一液晶显示面板101的扫描线101G上的最大显示数量与第二液晶显示面板102的视频线102S上的最大显示数量相乘而获得的存储容量。但是，可以相对于显示数据读取速度提高显示数据写入速度。

[选型图]图1

