

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-99665

(P2005-99665A)

(43) 公開日 平成17年4月14日(2005.4.14)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20
H04N 5/66

F I

G09G 3/36
G02F 1/133 575
G09G 3/20 611J
G09G 3/20 621F
G09G 3/20 623E

テーマコード (参考)

2H093
5C006
5C058
5C080

審査請求 未請求 請求項の数 20 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-15288 (P2004-15288)
(22) 出願日 平成16年1月23日 (2004.1.23)
(31) 優先権主張番号 特願2003-298238 (P2003-298238)
(32) 優先日 平成15年8月22日 (2003.8.22)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号
(74) 代理人 100068504
弁理士 小川 勝男
(74) 代理人 100086656
弁理士 田中 恭助
(72) 発明者 工藤 泰幸
神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所システム開発研究所
内
(72) 発明者 赤井 亮仁
神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所システム開発研究所
内

最終頁に続く

(54) 【発明の名称】 表示装置用駆動装置

(57) 【要約】

【課題】

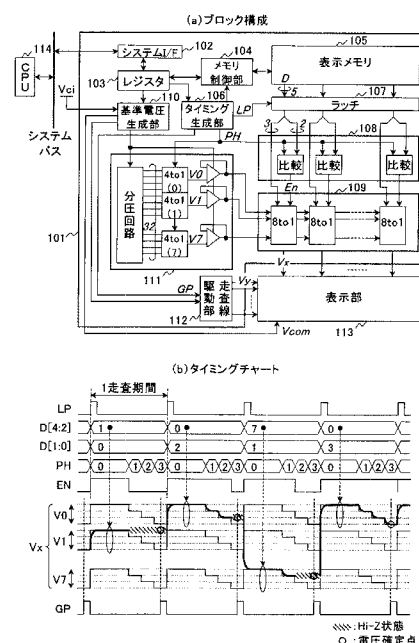
TFT液晶等の表示装置の駆動回路として、予め設定された分割期間毎に電圧レベルが変化する階調電圧郡の中から、表示データの上位ビットに応じて一つを選択し、選択された階調電圧を、表示データの下位ビットの情報に応じた期間のみデータ線に出力する方法がある。しかし、この方法においては、階調電圧の出力期間が表示データに依存するため、あるデータ線に階調電圧が出力された後に、あるデータ線側の階調電圧が変動し、所望の表示輝度が得られないという問題等があった。

【解決手段】

本発明の駆動回路は、予め設定された分割期間毎に電圧レベルが階段状に変化する階調電圧郡の中から、表示データの上位ビットに応じて一つを選択し、選択された階調電圧の出力期間を、1走査期間の開始から表示データの下位ビットの情報が一致するまでの時間とし、さらに、最初の分割期間の時間的比率を高く、2番目以降を低く設定することを特徴とする。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

複数の階調の夫々に対応した階調電圧を生成する階調電圧生成部と、入力された表示データに応じて表示部の画素部へ出力すべき階調電圧を前記階調電圧生成部で生成された複数の階調電圧から選択する階調電圧選択部とを有する表示装置用駆動装置において、

前記階調電圧生成部は、前記階調電圧を前記画素部へ出力するための 1 走査期間を時分割した期間に応じて、レベルの異なる階調電圧を出力し、

前記階調電圧選択部は、前記画素部ごとに、前記階調電圧生成部から時分割で出力された前記階調電圧から前記画素部へ出力すべき階調電圧を選択し、選択された前記階調電圧を出力する期間の長さを、前記表示データによって制御することを特徴とする表示装置用駆動装置。

10

【請求項 2】

前記階調電圧生成部は、前記階調電圧のうち高レベルの階調電圧から低レベルの階調電圧へ向かって又は低レベルの階調電圧から高レベルの階調電圧へ向かって段階的に前記レベルの異なる階調電圧を出力することを特徴とする請求項 1 に記載の表示装置用駆動装置。

【請求項 3】

前記 1 走査期間を時分割した期間のうちの最初の期間は、前記 1 走査期間を時分割した期間のうちの他の期間よりも長いことを特徴とする請求項 1 に記載の表示装置用駆動装置。

20

【請求項 4】

レベルの異なる ($n \times m$) 個の階調電圧を生成する階調電圧生成部と、入力された表示データに応じて表示部の画素部へ出力すべき階調電圧を前記階調電圧生成部で生成された ($n \times m$) 個の階調電圧から選択する第 1 の階調電圧選択部とを有する表示装置用駆動装置において、

n 個の階調電圧のグループごとに設けられた m 個の第 2 の階調電圧選択部を備え、

前記第 1 の階調電圧選択部は、前記画素部ごとに、前記 m 個の第 2 の階調電圧選択部から 1 つの第 2 の階調電圧選択部を選択し、選択された前記 1 つの第 2 の階調電圧選択部から時分割で出力された n 個の階調電圧から、前記画素部へ出力すべき階調電圧を選択する際、出力する期間の長さを制御することで前記選択動作を行うことを特徴とする表示装置用駆動装置。

30

【請求項 5】

前記第 2 の階調電圧選択部は、前記階調電圧を前記画素部へ出力するための 1 走査期間を n 時分割した期間に応じて、前記 n 個の階調電圧のうち高レベルの階調電圧から低レベルの階調電圧へ向かって又は低レベルの階調電圧から高レベルの階調電圧へ向かって段階的に前記 1 つの階調電圧を選択し出力することを特徴とする請求項 4 に記載の表示装置用駆動装置。

【請求項 6】

前記第 1 の階調電圧選択部は、1 画素分の表示データのうちの第 1 のデータに従って、前記第 2 の階調電圧選択部から時分割で出力された前記 1 つの階調電圧が、前記画素部へ出力すべき階調電圧になるまで出力することを特徴とする請求項 4 に記載の表示装置用駆動装置。

40

【請求項 7】

前記第 1 のデータと時分割した期間を比較し、その比較結果に応じて、前記第 2 の階調電圧選択部から時分割で出力された前記 1 つの階調電圧を出力し続けるか否かを決定するための EN 信号を前記第 1 の階調電圧選択部へ出力する比較演算部を有することを特徴とする請求項 6 に記載の表示装置用駆動装置。

【請求項 8】

前記第 1 の階調電圧選択部は、1 画素分の表示データのうちの第 2 のデータに従って、前記 m 個の第 2 の階調電圧選択部から 1 つの第 2 の階調電圧選択部を選択することを特徴

50

とする請求項 6 に記載の表示装置用駆動装置。

【請求項 9】

入力された表示データに応じた階調電圧を表示部の画素部へ出力し、(n x m) 種類の階調を表示させることが可能な表示装置用駆動装置において、

(n x m) 種類の階調に対応する (n x m) 個の階調電圧を生成する階調電圧生成部と、前記入力された表示データのうちの第 1 のデータに応じて n 個の階調電圧ごとの m 個のグループから 1 つのグループを選択し、前記入力された表示データのうちの第 2 のデータに応じて前記第 1 の階調電圧選択回路によって選択された前記 1 つのグループに含まれる n 個の階調電圧から 1 つの階調電圧を選択し、選択された前記 1 つの階調電圧を前記画素部へ出力する階調電圧選択部を有し、

前記第 1 の階調電圧選択回路は、前記階調電圧を出力する期間の長さを制御することで、n 個の階調電圧から 1 つの階調電圧を選択することを特徴とする表示装置用駆動装置。

【請求項 10】

前記 n は、2 の (前記第 1 のデータのビット数) 乗であり、

前記 m は、2 の (前記第 2 のデータのビット数) 乗であることを特徴とする請求項 9 に記載の表示装置用駆動装置。

【請求項 11】

表示データを入力し、前記表示データに応じた階調電圧を表示部の複数の画素部のそれぞれに対して出力する表示装置用駆動装置において、

前記表示データを記憶する表示メモリと、

前記階調電圧を前記画素部へ印加するための 1 走査期間を前記表示データの下位ビットの情報量に相当する数に分割してそれを分割期間とし、

前記分割期間毎に割り当てられた PH 信号の内容に従い、前記表示データの下位ビットの情報量に相当する数の電圧レベルの中から 1 つの電圧レベルを順次選択して出力するセレクトを、前記表示データの上位ビットの情報量に相当する数分有する階調電圧生成部と

、
前記 PH 信号と前記表示データの下位ビットとの比較演算を行い、前記 PH 信号の値が前記下位ビットの値よりも小さいかまたは等しい場合は EN 信号 “1” を出力し、大きい場合は前記 EN 信号 “0” を出力する比較演算部と、

前記表示メモリから出力される前記表示データを前記走査期間の立ち上がりに同期して取り込み、次の走査期間の立ち上がりまで保持すると共に、前記比較演算部に出力するラッチと、

前記階調電圧生成部の出力する階調電圧の中から、表示データの上位ビットに従って 1 つの階調電圧を選択し、前記 EN 信号が “1” の場合は前記階調電圧を出力し、前記 EN 信号が “0” の場合は非出力 (ハイ・インピーダンス) を決定する階調電圧選択部とを有することを特徴とする表示装置用駆動装置。

【請求項 12】

データ線と走査線との交点部に配置された画素部を複数有する表示部の前記走査線に対して選択信号を印加する走査線駆動部と、

前記 1 走査期間を指示する LP 信号、前記 1 走査期間の開始点より早いタイミングで発生し、前記走査線駆動部の出力タイミングを指示する GP 信号および前記 PH 信号とを出力するタイミング生成部とを有することを特徴とする請求項 11 に記載の表示装置用駆動装置。

【請求項 13】

前記セレクトは、電圧レベルが段階的に遷移するように階調電圧を選択し、その遷移方向は、選択動作の繰り返し周期となる 1 フレーム期間毎、あるいは前記走査期間毎に逆転することを特徴とする請求項 11 に記載の表示装置用駆動装置。

【請求項 14】

前記セレクトは、電圧レベルが段階的に遷移するように階調電圧を選択し、前記セレクトを高電圧側と低電圧側に二分した場合、遷移する方向が高電圧側と低電圧側で反対である

10

20

30

40

50

ことを特徴とする請求項 1 1 又は 1 3 に記載の表示装置用駆動装置。

【請求項 1 5】

前記階調電圧生成部は、第 1 の導電型を有する M O S 型素子を用いた第 1 の増幅回路と、第 1 の導電型と反対の導電型を有する第 2 の導電型の M O S 型素子を用いた第 2 の増幅回路を含み、各増幅回路はそれぞれ高電圧側と低電圧側のセレクトアの出力を安定化させることを特徴とする請求項 1 4 に記載の表示装置用駆動装置。

【請求項 1 6】

前記タイミング生成部の出力する前記 P H 信号を、反転回路を介して前記セレクトア部の低電圧側に入力し、前記比較演算部に設けた反転回路を介して前記表示データの下位ビットを入力し、前記 P H 信号と比較することにより、前記選択された電圧レベルを段階的に遷移する方向を反対にすることを特徴とする請求項 1 4 に記載の表示装置用駆動装置。 10

【請求項 1 7】

前記階調電圧生成部は、前記階調電圧の夫々のレベルを調整するための手段を含むことを特徴とする請求項 1 1 乃至 1 6 のいずれか一に記載の表示装置用駆動装置。

【請求項 1 8】

表示データを入力し、前記表示データに応じた階調電圧を表示部の複数の画素部のそれぞれに対して出力する表示装置用駆動装置において、

x ビットからなる前記表示データの上位ビットおよび下位ビットをそれぞれ y ビットおよび z ビットに分け、前記 y ビットの情報量に相当する数の電圧レベルを生成すると共にその中から 1 つの電圧レベルを選択し、選択した前記電圧レベルが前記 z ビットの情報量に相当する数で分割された刻み幅で、所定の電圧レベルに達するまで段階的に遷移させることにより所望の階調電圧を決定する表示部駆動回路を有することを特徴とする表示装置用駆動装置。 20

【請求項 1 9】

表示データを入力し、前記表示データに応じた階調電圧を表示部の複数の画素部のそれぞれに対して出力する表示装置用駆動装置において、

前記表示データの情報量に相当する数の電圧レベルを有する第 1 電圧レベルを出力する第 1 のモードと、

前記第 1 電圧レベルよりも少ない電圧レベル数を出力する第 2 のモードと、

前記第 1 のモードと前記第 2 のモードとを切り替える手段とを備え、 30

選択動作の繰り返し周期となる 1 フレーム期間が表示期間と垂直帰線期間よりなり、

前記第 1 のモードにおける前記表示期間は、前記第 2 のモードにおける前記表示期間よりも長く、

前記第 1 のモードにおける前記垂直帰線期間は、前記第 2 のモードにおける前記垂直帰線期間よりも短いことを特徴とする表示装置用駆動装置。

【請求項 2 0】

前記垂直帰線期間において、前記駆動回路の動作を停止または前記第 1 のモードにおける動作時より小さい電力で動作させることを特徴とする請求項 1 9 に記載の表示装置用駆動装置。

【発明の詳細な説明】 40

【技術分野】

【0 0 0 1】

本発明は、携帯電話機等のモバイル機器の表示装置用駆動装置に係り、低消費電力かつ小回路規模で動作可能な表示装置の駆動方法および駆動回路に関する。

【背景技術】

【0 0 0 2】

従来、T F T 液晶等の表示装置の駆動回路として、特許文献 1 に記載の駆動回路がある。この方法は、表示データの上位ビットの階調数に応じた数の階調電圧線と、表示データの下位ビットに対応して予め設定された時間毎にパルス信号を出力するデコーダと、表示データの上位ビットおよび当該デコーダによるパルス信号を受けて、上位ビットの内容に応 50

じた階調電圧線を当該パルス信号がアクティブの期間のみ選択してデータ線に出力するセレクトラ、及び、各階調電圧線に上記画像データの下位ビットの階調数だけ変化する階調電圧を供給する階調電圧生成部とを有する。

【0003】

以上の構成と動作により、少ない回路規模で、より多くの階調表示を実現することが可能となる。

【0004】

【特許文献1】特開2000-66642号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0005】

上記した特許文献1記載の方法においては、階調電圧のデータ線への出力期間が表示データに依存する。このため、あるデータ線に階調電圧が出力された後に、隣接データ線へ階調電圧が出力される場合がある。この場合、あるデータ線側の階調電圧が変動し、所望の表示輝度が得られない可能性があった。

また、特許文献1記載の方法においては、階調電圧を出力する時間は、1走査期間を表示データの下位ビットの階調数で割った長さである。このような短い分割期間において、階調電圧を所望のレベルに遷移させることは困難であった。

本発明の目的は、階調電圧出力時の隣接データ線への影響が少なく、かつ階調電圧の遷移に対する時間的な余裕度の高い表示用駆動装置を提供することである。

20

【課題を解決するための手段】

【0006】

本発明の駆動回路は、少ない回路規模で多階調表示を図るため、特許文献1記載の構成をベースとする。しかし、特許文献1記載のように、分割期間に割り当てられた番号と表示データの下位ビットの情報が一致した期間のみ階調電圧を出力するのではなく、1走査期間の開始から表示データの下位ビットの情報が一致するまでの時間、階調電圧を出力させることにした。この変更により、出力される階調電圧は、走査期間の最初の分割期間では直前の走査期間の状態によって大きな振幅となる場合があるが、2番目以降の分割期間では必ず小振幅で遷移する。

ここで、前記した階調電圧出力時の隣接データ線への影響は、2番目以降の分割期間において発生し、また階調電圧の遷移が小振幅であるほど少ない。このことから、本発明の駆動回路を用いることにより、本発明の第1の目的である階調電圧出力時の隣接データ線への影響を少なくすることが可能である。

30

【0007】

一方、2番目以降の分割期間において階調電圧が小振幅に遷移するという特徴は、遷移時間が短いことを意味する。つまり、2番目以降の分割期間は、最初の分割期間よりも短くすることが可能である。そこで、本発明では、最初の分割期間の時間的比率を高く、2番目以降を低く設定することにした。これにより、1走査期間が効率的に分割されるため、本発明の第2の目的である、階調電圧の遷移に対する時間的な余裕度を向上させることが可能である。

40

【発明の効果】

【0008】

本発明によれば、1走査期間の分割期間毎にレベルが変化する階調電圧を、表示データの上位ビットに従って選択し、その出力期間を表示データの下位ビットに従って制御する構成とした。これにより、少ない定常電流と回路規模で多階調表示が実現可能である。

また、本発明によれば、1走査期間の開始から表示データの下位ビットの情報が一致するまでの時間、階調電圧を出力させる動作とした。これにより、第2以降の分割期間では小振幅で遷移するため、階調電圧出力時の隣接データ線への影響を少なくすることが可能である。

また、本発明によれば、最初の分割期間の時間的比率を高く、2番目以降を低く設定す

50

ることとした。これにより、階調電圧の遷移に対する時間的な余裕度を向上させることが可能である。

【0009】

また、本発明によれば、上記1走査期間における階調電圧の遷移方向を、高電圧側と低電圧側で逆転させた。これにより、出力する階調電圧レベルの高低によらず出力波形のトランジェント特性が均一化し、トランジェント特性のばらつきに起因して発生する、表示輝度の変動を低減させることが可能である。

また、本発明によれば、階調電圧の遷移量を調整可能な構造とした。これにより、駆動電圧波形の鈍りや画素の保持電圧変動に起因して発生する、表示輝度の変動を改善することが可能である。

また、本発明によれば、1フレーム毎や1走査期間ごとに階調電圧の遷移方向を反転させることとした。これにより、駆動電圧波形の鈍りや画素の保持電圧変動に起因して発生する、表示輝度の変動を改善することが可能である。

さらに、本発明によれば、表示可能な階調数よりも少ない階調数を表示する場合、1走査期間を短縮し、1フレーム期間に対する垂直帰線期間の割合を高めた。これに加え、垂直帰線期間において回路動作を可能な限り停止、或いは省電力動作させた。これにより、低消費電力化が可能である。

【発明を実施するための最良の形態】

【0010】

<実施例1>

以下、本発明第1の実施例の構成と動作を、図1を用いて説明する。まず、図1(a)は本発明第1の実施例に係る表示装置のブロック図であり、101は駆動回路、102はシステムインタフェース、103はデータレジスタ、104はメモリ制御部、105は表示メモリ、106はタイミング生成部、107はラッチ、108は比較演算部、109は階調電圧選択部、110は基準電圧生成部、111は階調電圧生成部、112は走査線駆動部、113は表示部、114はCPU、115は主メモリである。

【0011】

駆動回路101は、いわゆるRAM内蔵型のコントローラ・ドライバであり、本発明の駆動方式を実現するための手段を含む。なお、本実施例においては、電圧レベルによる32階調制御を行うものとする。従って、入力する表示データの情報量は1画素あたり5ビットとし、上位ビットと下位ビットの振り分けは3:2とする。

【0012】

以下、駆動回路101の内部ブロックの動作について説明する。

システムインタフェース102は、CPU114が出力する表示データ及びインストラクションを受け、レジスタ103へ出力する動作を行う。動作の詳細は、例えば(株)日立製作所半導体グループから出版されている「256色カラー表示対応RAM内蔵384チャンネルセグメントドライバHD66763」暫定仕様書Rev0.6記載の“システムインタフェース”に準拠しているものとする。ここで、インストラクションとは、駆動回路101の内部動作を決定するための情報であり、フレーム周波数、駆動ライン数、色数設定等の各種パラメータを含む。

【0013】

レジスタ103は、インストラクションのデータを格納し、これを各ブロックへ出力するブロックである。例えば、前記のフレーム周波数に関するインストラクションは、タイミング生成部106へ出力される。なお、表示データも一旦レジスタ103に格納され、表示位置を指示するインストラクションと共に、メモリ制御部104へ出力される。

メモリ制御部104は、表示メモリ105のライト及びリード動作を行うブロックである。まず、ライト動作時には、レジスタ103から転送される表示位置のインストラクションに基づき、表示メモリ105のアドレスを選択する信号を出力する。これと同時に表示データを表示メモリ105へ転送する。この動作により、表示メモリ105の所定のアドレスに表示データをライトすることができる。一方、リード動作時には、表示メモリ1

10

20

30

40

50

05における所定のワード線群を1本ずつ順次を選択する動作を繰り返す。この動作により、選択されたワード線上の表示データを、ビット線を介して一斉にリードすることができる。なお、リードするワード線の範囲、1回の選択期間（以下、1走査期間と呼ぶ）、選択動作の繰り返し周期（以下、1フレーム期間と呼ぶ）等の設定は、インストラクションにて指示されるものとする。

【0014】

表示メモリ105は、表示部113の走査線とデータ線に相当するワード線とビット線有し、上記した表示データのライト動作及びリード動作を行う。なお、リードされた表示データは、ラッチ107へ出力される。

タイミング生成部106は、上記した1走査期間を指示するLP信号や、後述する走査線駆動部112の出力タイミングを指示するGP信号を自己生成して出力する共に、本発明の特徴である1走査期間の分割期間を指示するPH信号を出力する。これらの信号のタイミングチャートを図1(b)に示す。なお、図1(b)から判るように、PH信号は2ビットの信号であり、その値は1走査期間の中で00(=0)、01(=1)、10(=2)、11(=3)の順番で変化する。

ラッチ107は、表示メモリ105から出力される5ビットの表示データであるD[5:0]を、LP信号の立ち上りに同期して取り込み、次のLP信号の立ち上りが来るまで保持すると共に、比較演算部108へ出力するブロックである。

比較演算部108は、表示データの下位2ビットであるD[1:0]とPH信号を比較し、 $PH \leq D[1:0]$ の条件で“1”(ハイ)、 $PH > D[1:0]$ の条件で“0”(ロー)となるEN信号を出力する。“1”(ハイ)と“0”(ロー)の条件は、逆であってもよい。

【0015】

階調電圧選択部109は、EN信号が1の場合には、表示データの上位3ビットであるD[4:2]の値に従い、後述する階調電圧V0~V7の一つを選択し出力する。例えばD[4:2]が000(=0)ならばV0、111(=7)ならばV7を選択して出力する。一方、EN信号が0の場合、D[4:2]の値に係らず、出力はハイ・インピーダンス状態となる。ここで、階調電圧選択部109の出力は、後述する表示部113のデータ線に接続される。なお、図には示していないが、D[4:2]とEN信号はレベルシフト回路を介して階調電圧選択部109に入力される。この目的は、D[4:2]及びEN信号の振幅を、セレクタの制御に必要な振幅に変換するためである。

【0016】

基準電圧生成部110は、入力の電源電圧Vciから、駆動回路101内で必要な電圧レベルを生成するブロックである。なお、電圧レベルの生成は、チャージポンプ回路等を適用することで実現可能である。

【0017】

階調電圧生成部111は、分圧して32レベル(nxm個)の階調電圧を生成する分圧回路115と、隣接する4レベル(n個)の階調電圧の中から前述のPH信号に従い1レベルを選択する(m個の)セレクタ回路116と、セレクタの出力を低インピーダンス化するための、オペアンプを用いたボルテージフォロア回路117から構成される。この中で、本発明の特徴的な部分はセレクタ回路116であり、PH信号が00(=0)の場合は4レベル中最も高電圧なレベルを選択し、PH信号の値が大きくなるに従い低電圧側のレベルを選択する。この結果、階調電圧生成部111の出力であるV0~V7は、図1(b)に示す様に、PH信号の切り替わりに同期した階段状の波形となる。なお、表示データをxビット、そのうちの上位ビットデータをyビット、下位データをzビットとすると($x = y + z$)、2のx乗= $n \times m$ 、2のy乗= n 、2のz乗= m となる。

【0018】

走査線駆動部112は、後述する表示部113の走査線に対し、GP信号に同期した選択信号を線順次に印加するためのブロックである。ここで、先頭の走査線に選択信号を印加するタイミングは、表示メモリ105における先頭のワード線をリードするタイミング

に同期している。また、選択信号の切り替わりタイミングは、図 1 (b) に示すように、LP 信号で定まる 1 走査期間の始まりに対して僅かに早い。この時間差はいわゆるホールド時間と呼ばれるものであり、表示部 113 における画素への印加電圧を確定させるために必要である。

【0019】

表示部 113 は、データ線と走査線の交点に位置する各画素部にスイッチング用のトランジスタが配置された、いわゆるアクティブマトリクス型と呼ばれるフラットパネルである。トランジスタのソース端子は、データ線を介して階調電圧選択部 109 の出力に接続され、ゲート端子は走査線を介して走査線駆動部 112 の出力に接続される。また、トランジスタのドレイン端子は、表示素子に接続される。なお、表示素子の対向側は、共通の
10 コモン電極が接続され、コモン電極へ出力される V_{com} 電圧との差が表示素子への印加電圧となる。なお、表示素子の種類は液晶や有機 EL 等が代表的であるが、電圧によって表示輝度が制御可能であれば、その他の素子を用いても構わない。

【0020】

次に、駆動回路 101 における、データ線への出力電圧 V_x の波形例を、図 1 (b) 中の太線を用いて説明する。まず、始めの 1 走査期間 (1 ライン分の階調電圧を画素部へ出力する期間) において、表示データの上位 3 ビットの値が 001 (= 1) であることから V_1 が選択される。そして表示データの下位 2 ビットが 00 (= 0) であることから、PH が 00 (= 0) の期間でのみ V_1 電圧を出力する。その結果、4 レベルの V_1 電圧の中で最も高電圧なレベルが表示部 113 のデータ線に保持される。そして、この電圧が表示
20 部 113 の画素部に書き込まれ、GP 信号の立ち上がり点にて確定する。同様に、次の 1 走査期間では、表示データの上位 3 ビットの値が 000 (= 0) であることから V_0 が選択される。そして表示データの下位 2 ビットが 10 (= 2) であることから、PH が 00 (= 0)、01 (= 1)、10 (= 2) の期間で V_0 電圧を出力する。その結果、4 レベルの V_0 電圧の中で、低電位側から 2 番目のレベルが表示部 113 のデータ線に保持される。そして、この電圧が表示部 113 の画素部に書き込まれ、GP 信号の立ち上がり点にて確定する。この様に、本発明の駆動回路 101 は、表示データの上位 3 ビットと下位 2 ビットの双方に応じた階調電圧を画素に書き込むことができる。従って 32 階調表示が実現可能である。なお、本発明第 1 の実施例においては、高電位側から低電位側へ階調電圧を遷移させたが、低電位側から高電位側へ階調電圧を遷移させてもよい。
30

【0021】

以上説明したように、本発明第 1 の実施例の表示装置は、表示データの下位ビット分の階調表現をセレクトの出力制御という簡単な回路で実現できる。従って、駆動回路の定常電流及び回路規模は、表示データの上位ビット分の階調表示を実現する場合とほぼ等しくなる。従って、少ない回路規模で、多階調表示が実現可能である。また、本発明第 1 の実施例では、1 走査期間の開始から表示データの下位ビットの情報が一致するまでの時間、階調電圧を出力させる動作とした。これにより、2 番目以降の分割期間では小振幅で遷移するため、階調電圧出力時の隣接データ線への影響を少なくすることが可能である。さらに、本発明第 1 の実施例では、最初の分割期間の時間的比率を高く、2 番目以降を低く設定することにした。これにより、階調電圧の遷移に対する時間的な余裕度を向上させるこ
40 とが可能である。

【0022】

なお、本発明第 1 の実施例においては、上位ビットと下位ビットの振り分けを 3 : 2 としたが、これに限られる訳ではない。一般に、上位ビットの割合が小さくなる程、回路規模と定常電流を少なくすることが可能である。しかし、その分下位ビットに対応した 1 走査期間の分割数が増えるため、1 回の分割期間が短くなる。このため、データ線出力波形が分割期間内に収束せず、所定の階調電圧がデータ線に書き込めない可能性が生じる。したがって、上記データ線出力波形の収束時間との関係を考慮した上で、上位ビットと下位ビットの振り分けを決定することが望ましい。

【0023】

10

20

30

40

50

また、本発明第 1 の実施例では入力 of 表示データを 5 ビットとして説明したが、これに限られる訳でなく、例えば 6 ビットでも構わない。この場合、例えば上位 4 ビット、下位 2 ビットに振り分けて処理することも可能であるが、図 2 (a) に示すように、FRC (フレーム・レート・コントロール) 処理部 201 を組合せることも可能である。FRC 処理とは、図 2 (b) に示すように、既存の階調を空間的かつ時間的に変調することにより、見かけ上より多くの階調を表現する手法である。図 2 (a) の例では、FRC 処理を用いて 6 ビットの表示データを 5 ビット分の情報に変換し、その後の処理を図 1 で示した 5 ビット用の駆動回路 101 と同じとした。なお、FRC 処理部 201 はロジック回路であることから、CMOS 回路を用いた微細プロセスで実現可能である。従って、本回路を追加することによる回路規模と定常電流の増加は、単純に上位ビットを 3 → 4 ビット化する場合のアンプ数及びセクタ入力数の増加と比べ、少なくなるものと考えることができる。したがって、より少ない回路規模と定常電流で 6 ビット分の階調数を表現することが可能である。

10

【0024】

また、本発明第 1 の実施例においては、説明を簡単にするためにカラーの概念を省いたが、カラー表示の実現は、例えば 1 画素の表示データを R (赤)、G (緑)、B (青) で構成し、表示部にいわゆる縦ストライプ構造のパネルを用いることで、容易に実現可能である。なお、この場合、R の画素部と G の画素部と B の画素部をそれぞれ設けるのが好ましい。

【0025】

20

<実施例 2>

次に、本発明第 2 の実施例について説明する。本発明第 2 の実施例は、図 3 (a) に示すように、1 走査期間における階調電圧の遷移方向を、高電位側と低電圧側で反対とした点に特徴がある。この理由について図 3 (b) を用いて説明する。まず、出力電圧の低インピーダンス化を図るボルテージフォロア回路においては、その出力電圧範囲を広げる目的で、2 種類のアンプ (タイプ A とタイプ B) をそれぞれ高電圧側と低電圧側に配置する手法が知られている。タイプ A とタイプ B の主な違いは、回路を構成する MOS トランジスタの P チャンネルと N チャンネルの配置を入れ替える点にあるが、これを適用した場合、出力電圧波形の形状 (トランジェント特性) は相反する傾向となる。例えば、タイプ A でアンダーシュートが発生し易いならば、タイプ B ではオーバーシュートが発生し易い。このことから、仮にタイプ A とタイプ B における階調電圧の遷移方向が同じであると、例えばどちらかのタイプのみにアンダーシュートが発生し、その結果、双方の収束時間にばらつきが発生する可能性がある。

30

【0026】

この課題を解決するにあたっては、例えば階調電圧の遷移方向をタイプ A とタイプ B とで反対にすれば良い。そこで、本発明第 3 の実施例においては、図 3 (b) に示すように PH 信号を反転して低電圧側のセクタへ与えると共に、図 3 (c) に示すように比較演算部に反転回路を追加することにした。これにより、タイプ A とタイプ B における出力電圧波形のトランジェント特性、ひいては収束時間が均一化する。

【0027】

40

以上述べた本発明第 2 の実施例によれば、出力する電圧レベルの高低によらず、出力波形のトランジェント特性を均一化することが可能である。従って、トランジェント特性のばらつきに伴う表示むら等の不具合が発生し難くなる効果がある。

なお、本発明第 2 の実施例においては、高電圧側における階調電圧の遷移方向を下向き、低電圧側を上向きとしたが、これに限られる訳ではなく、場合によってはこの関係を逆転しても構わない。

【0028】

<実施例 3>

次に、本発明第 3 の実施例を、図 4 ~ 6 を用いて説明する。本発明第 3 の実施例は、駆動電圧波形の鈍りや、画素の保持電圧変動に起因して発生する表示輝度変動に対し、これ

50

を改善する表示装置を提供するものである。図4は、表示部のデータ線に出力する V_x 電圧と、コモン電極に出力する V_{com} 電圧の駆動波形を示したものである。図4から分かるように、夫々の駆動波形は理想的には矩形であるが、実際には出力先の素子が有する容量成分や抵抗成分によって波形鈍りが生じる。このため、例えば V_{com} が第1の分割期間内で収束しない場合や、 V_x が各分割期間内で収束しない場合、所望の階調電圧が画素に書き込めず、正しい表示輝度が得られない原因となる。なお、 V_{com} が1走査期間毎に変動している理由は、アクティブマトリクス型の液晶において一般的に用いられているコモン反転方式を前提としているためである。さらに、 V_x の出力がハイ・インピーダンス状態になった後、画素に保持された電荷がリークし、保持電圧が変動することも考えられる。この現象も、所望の表示輝度が得られない原因となる。

10

【0029】

この問題を改善する第1の方法は、仮に階調電圧が変動しても所望の表示輝度が得られるように、分圧回路で生成される階調電圧のレベルを予め補正しておくことである。例えば、 V_{com} の収束が遅い場合、最初の分割期間における印加電圧が最も減少する。従って、第1の分割期間で出力される階調電圧を、高レベル側に補正すれば良い。なお、階調電圧の補正量は、使用するパネルによってその最適値が異なることが予想される。これに対応するには、例えば図5に示すように、階調電圧レベルの異なる複数の分圧回路を用意し、この中から最適な分圧回路を選択する構成等が考えられる。

【0030】

次に、第2の改善方法について述べる。一般に、表示輝度の変動は、全ての階調で一様に発生すれば実用上特に問題はない。ところが、上記した表示輝度変動は、表示する階調によって異なる。この理由は、階調電圧を出力する期間が階調によって異なるためであるが、反対に出力期間の長さが階調間で一様となれば、この問題は解消する。この点に着目し、階調電圧の出力期間の長さを、フレーム期間毎に切り替えることを考えた。図6(a)は、この考え方を実現する最も単純な例である。図6(a)は、上記したコモン反転を前提に、最も表示輝度の高い(V_{com} との相対電位が最も高い)階調をベタ塗り表示する場合の、 V_x 電圧の出力波形を示したものである。コモン反転駆動においては、 V_{com} の位相はフレーム毎に反転し、出力される階調電圧は V_{com} との電位を保つように切り替わる。このため、1走査期間における階調電圧の遷移方向を全て同じにしておけば、選択される階調電圧の出力期間は自動的に切り替わる。例えば、図6(a)における走査期間“H1”に着目すると、フレーム毎に第1期間と第4期間が切り替わっていることが分かる。また、先の実施例2で述べた階調の遷移方向を、高電位側と低電圧側で反対にする場合は、図6(b)に示すように、フレーム毎にそれぞれの遷移方向を逆転することで、第1期間と第4期間を切り替えることができる。これに加え、図6(c)に示すように、1走査期間毎に対しても遷移方向を逆転させることで、図6(a)と同様な出力波形を得ることが可能である。また、図には示していないが、1番目から4番目をフレーム期間毎に順番に切り替えていく方法も容易に実現可能である。

20

30

【0031】

また、その他の改善方法として、前述したFRC方式を利用し、FRC方式によって生成された階調を表示することも考えられる。この方法も、表示輝度の変動を平均化する上で有効である。さらには、前述した V_{com} の遷移時に、一定期間、振幅が大きくなる方向に目標電位を設定することで、 V_{com} の遷移時間を早める方法も有効である。

40

以上、述べた本発明第3の実施例により、駆動電圧波形の鈍りや、画素の保持電圧変動に起因して発生する表示輝度変動に対し、これを改善する表示装置を提供することが可能である。

【0032】

<実施例4>

次に、本発明第4の実施例について説明する。本発明第4の実施例は、色数削減モードにおいて、より低消費電力な表示装置を提供するものである。色数削減モードとは、表示する階調数を減らすことで消費電力を減らすテクニックであり、例えば携帯電話の待受け

50

画面など、低消費電力動作が要求される場合に使用されている。ここで、本発明の実施例において階調数の削減を考えた場合、例えば表示データの最上位ビットを用いて2階調表示を行うのであれば、階調電圧は2レベルで良い。従って、1走査期間における最初の分割期間のみで表現可能である。つまり、1走査期間における後半の分割期間は不必要であることが判る。そこで、図7(a)及び(b)に示すように、この不要な分割期間を短縮し、その分1フレーム期間における垂直帰線期間を長くすることにした。そして、この垂直帰線期間において回路動作を可能な限り停止、或いは省電力動作させれば、表示装置の低消費電力化が図れるものと考えた。

【0033】

上記の考え方を具現化する一例として、階調電圧生成部のブロック構成を図7(c)に示す。本図において、入力のコモード信号は表示階調数を指示する信号であり、例えば1(ハイ)で32階調表示、0(ロー)で2階調表示とする。コモード信号の切り替えは、外部CPUからのインストラクションで実施することが望ましい。例えば携帯電話の場合、ダイヤルボタンの入力、着信時などにコモード信号を0(ロー)にするインストラクションを発行し、その後、一定期間入力が無い場合にコモード信号を0(ロー)にするインストラクションを発行する等が考えられる。ここで、コモード信号は、V1～V6を出力するボルテージフォロア回路の電源供給を制御するスイッチに接続されており、1(ハイ)で通電状態、0(ロー)で非通電状態となる。この動作を行う理由は、2階調モードではV0とV7の2レベルのみを使用するため、未使用となるV1～V6の出力回路は常に停止させた方が、より低消費電力化が図れると考えたためである。

【0034】

一方、アオフ信号は回路動作の停止を指示する信号である。アオフ信号の切り替えは、例えば図7(a)で示した表示期間で1(ハイ)、垂直帰線期間で0(ロー)とし、これは駆動回路内のタイミング生成部で生成可能である。また、アオフ信号はV0～V7全ての電源供給を制御するスイッチに接続されており、コモード信号の場合と同様、1(ハイ)で通電状態、0(ロー)で非通電状態となる。これにより、垂直帰線期間においては、全てのボルテージフォロア回路の動作が停止する。特に、2階調モードでは、特に垂直帰線期間の占める割合が高いため、消費電力の削減効果は特に大きい。なお、ボルテージフォロア回路の動作再開にあたっては、復帰時間を考慮し、実際には垂直帰線期間の終点よりも前に電源供給を再開することが望ましい。また、ボルテージフォロア回路の動作制御としては、電源供給制御の他、バイアス電圧による制御等も適用可能である。

【0035】

以上説明したように、本発明第4の実施例に係る表示装置は、垂直帰線期間において停止可能な回路を停止する。これに加え、少ない階調数を表示する場合は、1走査期間を短縮し、1フレーム期間に対する垂直帰線期間の割合を高くする。この動作により、特に少ない階調数を表示する動作モードにおいて、より低消費電力な表示装置を提供することが可能である。

なお、上記した階調電圧生成部の動作以外にも、例えば基準電圧生成部110内のチャージポンプ回路の動作周波数を落とす等、様々なブロックにおいてその動作を停止、或いは省電力動作させることが可能である。

【0036】

また、本発明第4の実施例は、本発明のコンセプトである1走査期間を分割して駆動する方法に限らず、従来の技術にも適用可能である。この際、1走査期間の短縮に対応させるため、色数削減モードで使用する階調のボルテージフォロア回路は、他の階調のボルテージフォロア回路よりも駆動能力を強化(出力インピーダンスを低く)しておくことが望ましい。

【0037】

また、本発明第4の実施例では2階調を例にとって説明したが、これに限られる訳ではなく、4階調や8階調も実現可能であることは言うまでもない。さらに、本実施例では、説明を簡単にするためにカラーの概念を省いたが、カラー表示の実現は、先の説明と同様

10

20

30

40

50

、例えば1画素の表示データをR（赤）、G（緑）、B（青）で構成し、表示部にいわゆる縦ストライプ構造のパネルを用いることで容易に実現可能である。この場合、上記した2階調モードで、8色表示が可能となる。

【図面の簡単な説明】

【0038】

【図1】本発明第1の実施例の構成と動作を示す図である。

【図2】本発明第1の実施例の構成と動作を示す図である。

【図3】本発明第2の実施例の構成と動作を示す図である。

【図4】本発明の実施例の駆動波形を示す図である。

【図5】本発明第3の実施例の構成を示す図である。

10

【図6】本発明第3の実施例の動作を示す図である。

【図7】本発明第4の実施例の構成と動作を示す図である。

【符号の説明】

【0039】

101…駆動回路、

102…システムインタフェース、

103…レジスタ、

104…メモリ制御部、

105…表示メモリ、

106…タイミング生成部、

107…ラッチ、

108…比較演算部、

109…階調電圧選択部、

110…基準電圧生成部、

111…階調電圧生成部、

112…走査線駆動部、

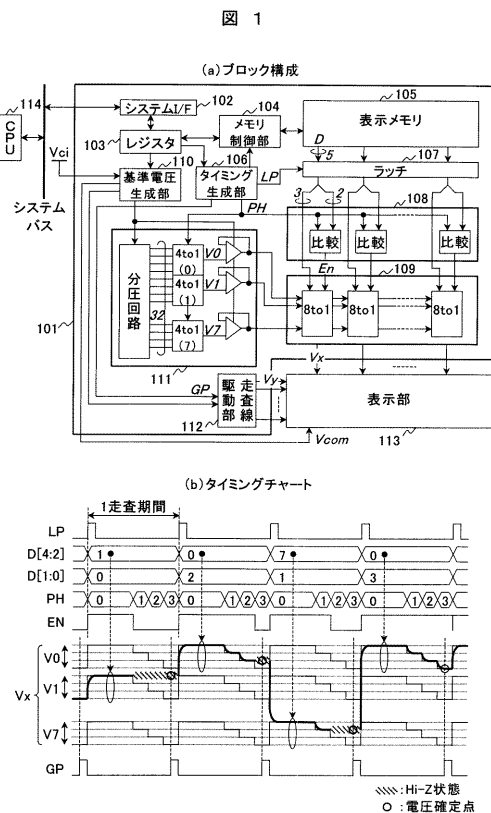
113…表示部、

114…CPU、

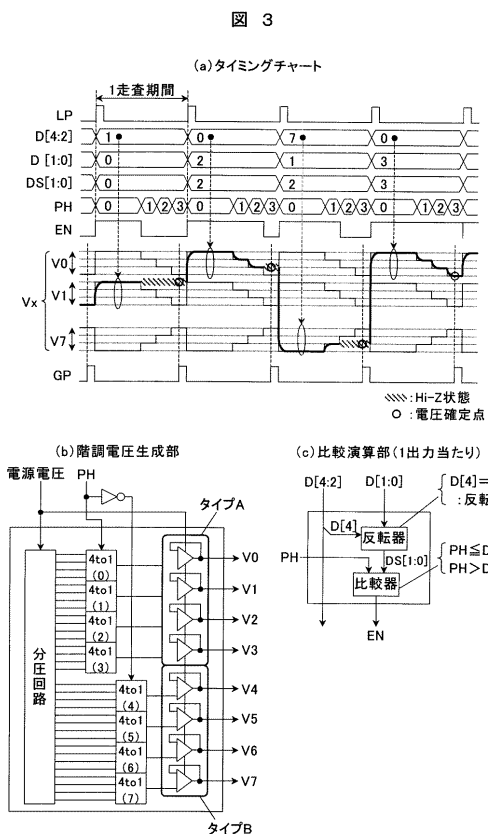
201…FRC処理部。

20

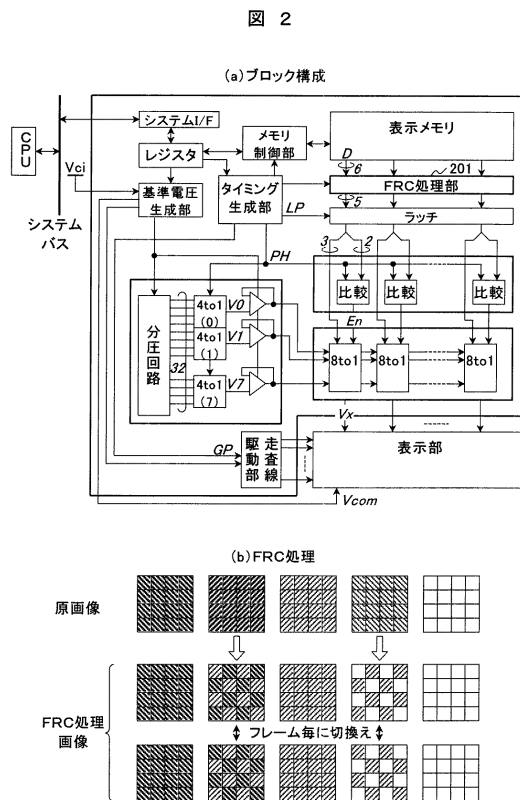
【図 1】



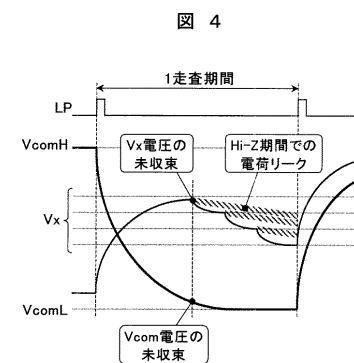
【図 3】



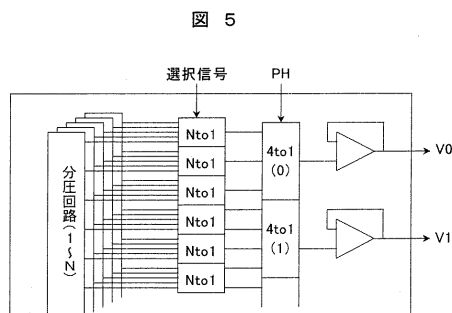
【图 2】



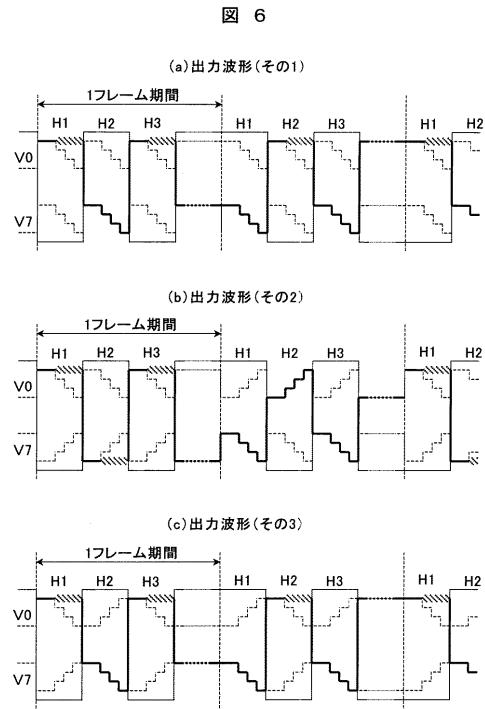
【图 4】



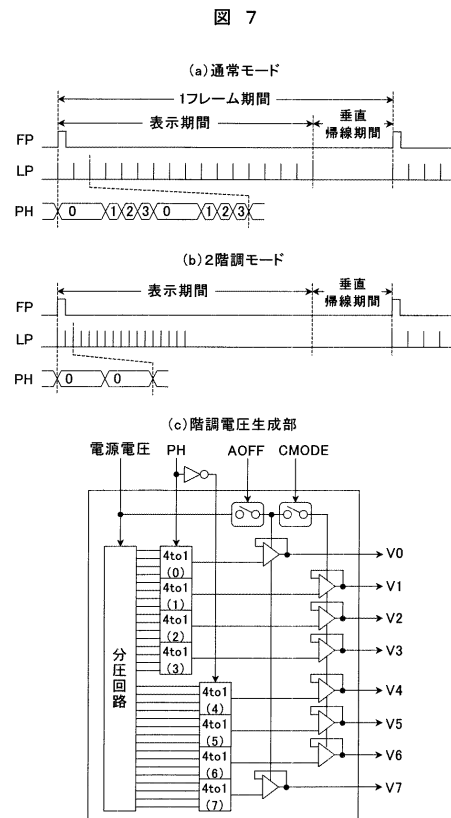
【图 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 A
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 4 1 J
	G 0 9 G 3/20	6 4 1 K
	H 0 4 N 5/66	1 0 2 B

(72)発明者 江里口 卓也

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム開発研究所内

(72)発明者 大門 一夫

東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

(72)発明者 相澤 弘己

神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立アドバンストデジタル内

F ターム(参考) 2H093 NA53 NB07 NC03 NC13 NC14 NC16 NC25 NC26 NC28 NC59
 ND06 ND39 ND49
 5C006 AA16 AA17 AC04 AC21 AF42 AF45 AF50 AF51 BB11 BC12
 BF24 FA14
 5C058 AA09 BA07 BB13
 5C080 AA10 BB05 DD08 EE29 FF09 JJ02 JJ04

【要約の続き】

专利名称(译)	表示装置用驱动装置		
公开(公告)号	JP2005099665A	公开(公告)日	2005-04-14
申请号	JP2004015288	申请日	2004-01-23
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	工藤泰幸 赤井亮仁 江里口卓也 大門一夫 相澤弘己		
发明人	工藤 泰幸 赤井 亮仁 江里口 卓也 大門 一夫 相澤 弘己		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/10 H04N5/66		
CPC分类号	G09G3/2011 G09G3/2025 G09G3/3614 G09G3/3688 G09G3/3696 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.611.J G09G3/20.621.F G09G3/20.623.E G09G3/20.641.A G09G3/20.641.C G09G3/20.641.J G09G3/20.641.K H04N5/66.102.B G09G3/20.623.K G09G3/20.641.E		
F-TERM分类号	2H093/NA53 2H093/NB07 2H093/NC03 2H093/NC13 2H093/NC14 2H093/NC16 2H093/NC25 2H093/NC26 2H093/NC28 2H093/NC59 2H093/ND06 2H093/ND39 2H093/ND49 5C006/AA16 5C006/AA17 5C006/AC04 5C006/AC21 5C006/AF42 5C006/AF45 5C006/AF50 5C006/AF51 5C006/BB11 5C006/BC12 5C006/BF24 5C006/FA14 5C058/AA09 5C058/BA07 5C058/BB13 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF09 5C080/JJ02 5C080/JJ04 2H193/ZD23 2H193/ZF03 5C006/AA14 5C006/AC27 5C006/AF83 5C006/BF34 5C006/FA42 5C006/FA43 5C006/FA56 5C080/DD23		
代理人(译)	小川胜男		
优先权	2003298238 2003-08-22 JP		
外部链接	Espacenet		

摘要(译)

[问题] 作为用于诸如TFT液晶的显示装置的驱动电路，从显示电压的高阶位中选择一个，该组灰度电压的电压电平每隔预定周期改变一次，并且选择所选择的楼层。存在一种仅在根据显示数据的低位的信息的时间段内将调整后的电压输出到数据线的方法。然而，在该方法中，由于灰度电压的输出周期取决于显示数据，因此在将灰度电压输出到特定数据线之后，特定数据线侧的灰度电压发生波动，从而获得期望的显示亮度。存在诸如无法获取之类的问题。[解决方案] 本发明的驱动电路根据显示数据的高位，选择在每个预设的分割周期中电压电平逐步变化的灰度级电压组之一，并选择所选择的灰度级。电压输出时段被定义为从一个扫描时段开始到显示数据的低位中的信息匹配的时间，并且将第一划分时段的时间比设置为高，将第二和随后的时段的时间比设置为低。和 [选型图]图1

