

【特許請求の範囲】

【請求項 1】

液晶表示部における複数のセグメント電極 X_k ($k = 0 \sim i$: i は自然数) 及び複数のコモン電極 Y_l ($l = 0 \sim j$: j は自然数) の交差部に形成される画素を表示させるための表示データを、前記セグメント電極 X_k に対応するカラムアドレス A_k ($k = 0 \sim i$: i は自然数) 及び前記コモン電極 Y_l に対応するラインアドレス B_l ($l = 0 \sim j$: j は自然数) にて指定される記憶領域に格納するメモリと、前記メモリに格納された前記表示データの読み出し時に指定される前記カラムアドレス A_k を生成するカラムアドレス制御部及び前記ラインアドレス B_l を生成するラインアドレス制御部と、を有し、前記メモリから読み出された表示データに基づいて、選択されたコモン電極 Y_l と交差するセグメント電極 X_k を駆動する液晶表示駆動回路において、
前記カラムアドレス制御部は、
前記カラムアドレス A_k に対応するバイナリ値を計数するアドレスカウンタ回路と、
前記アドレスカウンタ回路にて計数された前記カラムアドレス A_k に対応するバイナリ値を変換せずに出力する第 1 のモード、又は、前記アドレスカウンタ回路にて計数された前記カラムアドレス A_k に対応するバイナリ値を、カラムアドレス $A(i - k)$ に対応するバイナリ値に変換して出力する第 2 のモードのいずれか一方を選択可能とする制御回路と、
前記制御回路から出力される前記第 1 のモード選択時又は前記第 2 のモード選択時におけるバイナリ値に基づいて、前記第 1 のモード選択時におけるカラムアドレス A_k 又は前記第 2 のモード選択時におけるカラムアドレス $A(i - k)$ を生成するアドレスデコーダ回路と、を備えることを特徴とする液晶表示駆動回路。

【請求項 2】

前記第 1 のモード又は前記第 2 のモードのいずれか一方を選択するための制御信号を外部から入力するためのインターフェース手段を有することを特徴とする請求項 1 に記載の液晶表示駆動回路。

【請求項 3】

前記液晶表示駆動回路と、前記液晶表示部とを備えることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記液晶表示駆動回路は半導体集積回路であり、前記液晶表示駆動回路が前記液晶表示部に対して COG にて実装されていることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

請求項 3 又は 4 に記載の液晶表示装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路規模を縮小化した液晶表示駆動回路並びにそれを用いた液晶表示装置及び電子機器に関する。

【0002】

【従来の技術】

液晶表示装置 (LCD: Liquid Crystal Display) の薄形・軽量化などを目的として、液晶表示駆動回路 (LCD Driver IC) を液晶表示パネルが形成されたガラス基板上に実装する COG (Chip On Glass) 実装方式が提案されている。

【0003】

図 5 は、COG 実装方式を説明する図である。同図において、液晶表示パネル 30 では、セグメント電極 X_k ($k = 0 \sim i$; i は自然数) 及びコモン電極 Y_l ($l = 0 \sim j$; j は自然数) が形成される。また、液晶表示駆動回路 40 は、セグメント電極 X_k の駆動信号 (以下、セグメント駆動信号と称する) を出力するセグメントドライバ出力端子 S_k (k

= 0 ~ i ; i は自然数)、コモン電極 Y l (l = 0 ~ j ; j は自然数) の駆動信号 (以下、コモン駆動信号と称する) を出力するためのコモンドライバ出力端子 C l (l = 0 ~ j ; j は自然数) を備える。

【0004】

図5に示す破線部A内の領域においてCOG実装された液晶表示駆動回路40aでは、ガラス基板上200のパターン配線を介して、セグメント電極Xkとセグメントドライバ出力端子Skとが添字kの値を一致させるように接続されるとともに、コモン電極Ylとコモンドライバ出力端子Clとが添字lの値を一致させるように接続される。

【0005】

一方、液晶表示装置の設計の都合上、液晶表示駆動回路40aを図5に示す破線部B内の領域にCOG実装させる場合がある。この場合、液晶表示駆動回路40bではクロス配線が生じないよう、例えば、セグメントドライバ出力端子S0はパターン配線を介してセグメント電極Xiと接続されるように、セグメントドライバ出力端子Skとセグメント電極Xkとの対応づけが反転する。そして、液晶表示駆動回路40bは、液晶表示パネル30に対して液晶表示駆動回路40aによって表示させた同一内容”B”を表示すると(実線部:『通常モード』)、同図に示すように”B”の表示が反転することになる(点線部:『反転モード』)。

【0006】

そこで、液晶表示駆動回路40は、ガラス基板200上における液晶表示駆動回路40の配置のバリエーションを考慮して、通常モードと反転モードとを適宜切り替えるための仕組みを、図6に示すような液晶表示駆動回路40が備えるカラムアドレス回路93が有している。なお、カラムアドレス回路93の技術が開示された文献としては、例えば、以下に示す特許文献1がある。

【0007】

カラムアドレス回路93は、カラムアドレスカウンタ931、ビット反転回路932、通常モード用カラムアドレスデコーダ933、反転モード用カラムアドレスデコーダ934により構成される。

カラムアドレスカウンタ931は、表示データRAM90のカラムアドレスを指定して表示データを読み出す毎に、前述したカラムアドレスを符号化したバイナリデータをカウンタ生成し、ビット反転回路932に供給する。

ビット反転回路932は、液晶表示駆動回路40外部に接続されたMPU(Micro Processing Unit)から入力される反転モード切り替え信号に基づいて、反転モード選択時の場合に、カラムアドレスカウンタ931から供給されたカウンタ出力をビット反転する。

通常モード用カラムアドレスデコーダ933は、通常モード選択時に動作するカラムアドレスデコーダであり、ビット反転を行わずにビット反転回路932から供給されたカウンタ出力をデコードすることによって、通常モード選択時における表示データRAM90のカラムアドレスを特定する。

反転モード用カラムアドレスデコーダ934は、反転モード選択時に動作するカラムアドレスデコーダであり、ビット反転回路932から供給されたビット反転後のカウンタ出力をデコードすることによって、反転モード選択時における表示データRAM90のカラムアドレスを特定する。

このように、液晶表示駆動回路40は、カラムアドレス回路93において、通常モード用カラムアドレスデコーダ933とは独立して、反転モード用カラムアドレスデコーダ934を備える構成をとっていた。

【0008】

【特許文献1】

特開平11-149278号公報

【0009】

【発明が解決しようとする課題】

10

20

30

40

50

ところで、液晶表示駆動回路40は、カラムアドレス回路93において、カラムアドレスデコーダ(933、934)を通常モード用と反転モード用それぞれに独立して備える構成によって、回路規模を増大化させるという課題があった。

【0010】

また、カラムアドレスデコーダ(933、934)の回路規模は、液晶表示パネルのセグメント電極数に比例する。このため、例えば、高解像度表示のためにセグメント電極数を増加させた場合、セグメント電極数に比例してカラムアドレスデコーダ(933、934)の回路規模が増大することになる。さらに、カラムアドレスデコーダ(933、934)を通常モード用と反転モード用それぞれ独立に備える構成によって、液晶表示駆動回路の回路規模は顕著に増大することになる。

10

【0011】

本発明は、以上のような課題に基づいてなされたものであり、回路規模の縮小化が可能な液晶表示駆動回路並びにそれを用いた液晶表示装置及び電子機器を提供することを目的とする。

【0012】

【課題を解決するための手段】

前記課題を解決するための主たる本発明は、液晶表示部における複数のセグメント電極 X_k ($k=0\sim i$: i は自然数) 及び複数のコモン電極 Y_l ($l=0\sim j$: j は自然数) の交差部に形成される画素を表示させるための表示データを、前記セグメント電極 X_k に対応するカラムアドレス A_k ($k=0\sim i$: i は自然数) 及び前記コモン電極 Y_l に対応するラインアドレス B_l ($l=0\sim j$: j は自然数) によって指定される記憶領域に格納するメモリと、前記メモリに格納された前記表示データの読み出し時に指定される前記カラムアドレス A_k を生成するカラムアドレス制御部及び前記ラインアドレス B_l を生成するラインアドレス制御部と、を有し、前記メモリから読み出された表示データに基づいて、選択されたコモン電極 Y_l と交差するセグメント電極 X_k を駆動する液晶表示駆動回路において、前記カラムアドレス制御部は、前記カラムアドレス A_k に対応するバイナリ値を計数するアドレスカウンタ回路と、前記アドレスカウンタ回路にて計数された前記カラムアドレス A_k に対応するバイナリ値を変換せずに出力する第1のモード、又は、前記アドレスカウンタ回路にて計数された前記カラムアドレス A_k に対応するバイナリ値を、カラムアドレス $A(i-k)$ に対応するバイナリ値に変換して出力する第2のモードのいずれか一方を選択可能とする制御回路と、前記制御回路から出力される前記第1のモード選択時又は前記第2のモード選択時におけるバイナリ値に基づいて、前記第1のモード選択時におけるカラムアドレス A_k 又は前記第2のモード選択時におけるカラムアドレス $A(i-k)$ を生成するアドレスデコーダ回路と、を備えることとする。

20

30

【0013】

ここで、前述した『カラムアドレス制御部』及び『ラインアドレス制御部』は、例えば、後述の『カラムアドレス回路』及び『ページアドレス回路』又は『ラインアドレス回路』のことである。また、前述した『第1のモード』及び『第2のモード』とは、例えば、後述の『通常モード』及び『反転モード』のことである。また、前述した『アドレスカウンタ回路』、『制御回路』及び『アドレスデコーダ回路』は、例えば、それぞれ後述の『カラムアドレスカウンタ』、『カラムアドレス反転回路』、『カラムアドレスデコーダ』のことである。

40

【0014】

このようにして、本発明に係る液晶表示駆動回路は、従来のカラムアドレス制御部において、第1のモードと第2のモードで独立して備えられていたアドレスデコーダの共有化が図られるため、回路規模が縮小化されることになる。また、液晶表示部におけるセグメント電極数の増化に伴って、回路規模の縮小化の効果が顕著なものとなる。このため、本発明に係る液晶表示駆動回路は、高集積度、低消費電力、低発熱量、高信頼性などを実現することができる。

【0015】

50

本発明の第2の態様では、前記第1のモード又は前記第2のモードのいずれか一方を選択するための制御信号を外部から入力するためのインターフェース手段を有する液晶表示駆動回路とする。

ここで、前述の『制御信号』は、例えば、後述の『反転モード切り替え信号』のことである。また、前述の『インターフェース手段』は、例えば、後述の『MPUインターフェース回路』の備えるD0～D7端子のいずれかの端子である。

【0016】

このようにして、本発明に係る液晶表示駆動回路は、例えば、COG実装方式を採用した場合に、第1のモード又は第2のモードのいずれか一方を外部から適宜切り替えることができる。このため、液晶表示部におけるガラス基板上での液晶表示駆動回路の配置制約が解消されることになる。 10

【0017】

本発明の第3の態様では、前記液晶表示駆動回路と、前記液晶表示部とを備える液晶表示装置とする。

【0018】

本発明の第4の態様では、前記液晶表示駆動回路は半導体集積回路であり、前記液晶表示駆動回路が前記液晶表示部に対してCOGにて実装されている液晶表示装置とする。

【0019】

本発明の第5の態様では、前記液晶表示装置を備える電子機器とする。

前述した液晶表示装置や電子機器では、ダウンサイジング・低消費電力などが一般的に要請されている。このため、前述した液晶表示装置や電子機器が、本発明に係る回路規模の縮小化が可能な液晶表示駆動回路を備えることによって、そうした要請に応じることができる。 20

本発明の他の特徴については、添付図面及び本明細書の記載により明らかにする。

【0020】

【発明の実施の形態】

===実施例の具体的な説明===

以下、本発明の実施の形態を図面に基づいて具体的に説明する。

【0021】

<液晶表示駆動回路のブロック構成>

図1は、本発明に係る一実施形態としての液晶表示駆動回路を含めた電子機器のブロック図である。同図において、電子機器は、MPU(Micro Processing Unit)10と、液晶表示装置20と、により構成される。液晶表示装置20は、液晶が封入された液晶表示パネル30と、液晶表示パネル30が備える電極を駆動するための液晶表示駆動回路40と、を有する。 30

【0022】

液晶表示パネル30は、例えば、STN(Super Twisted Nematic; 超ねじれネマティック)形モノクロ2階調表示方式とする、パッシブマトリクス(単純マトリクス)方式を採用することができる。この場合、液晶表示パネル30は、複数のセグメント電極X_k($k=0\sim i$; i は自然数)が形成された基板と、複数のコモン電極Y_l($l=0\sim j$; j は自然数)が形成された基板との間に、STN液晶分子配列の液晶が封入される構成となる。そして、液晶表示パネル30では、この交差部に対応して画素が形成される。 40

【0023】

なお、液晶表示パネル30は、前述した構成に限定されず、カラー表示、多階調表示、TN(Twisted Nematic; ねじれネマティック)形表示としてもよいし、薄膜トランジスタ(TFT)等の三端子素子や薄膜ダイオード(TFD)等の二端子素子を用いたアクティブマトリクス方式等を採用してもよい。

【0024】

液晶表示駆動回路40は、MPUインターフェース回路50、バスホルダー51、コマン 50

ドデコーダ52、ステータスレジスタ53、電源回路60、発振回路70、表示タイミング発生回路80、表示データRAM90、I/Oバッファ回路91、ページアドレス回路92（『ラインアドレス制御部』）、カラムアドレス回路93（『カラムアドレス制御部』）、ラインアドレス回路94（『ラインアドレス制御部』）、表示データラッチ回路95、コモンドライバ100、COM出力状態選択回路101、セグメントドライバ110等、により構成される。

【0025】

M P Uインターフェース回路50は、パラレルデータ転送用双方向データ・バスバス（D7～D0端子）又はシリアルデータ転送用データ・バス（D7端子、D6端子）を介して、M P U10と液晶表示駆動回路40との間のデータ転送を実現するためのインターフェース手段である。具体的には、M P Uインターフェース回路50は、M P U10にて処理された表示データやコマンドデータ等の入力や、液晶表示駆動回路40内部の各種ステータス等の出力を行うための入出力端子D0～D7を備える。 10

【0026】

また、M P Uインターフェース回路50は、表示データRAM90に格納された表示データのリード・タイミングを決定する／RD信号用の入力端子（／RD端子）、表示データRAM90に格納された表示データのライト・タイミングを決定する／WR信号用の入力端子（／WR端子）等のコマンドデータ専用の入力端子を備える。

【0027】

バスホルダー51は、液晶表示駆動回路40の内部データバスに接続され、M P Uインターフェース回路50を介して入出力されるデータを一時的に保持する。液晶表示駆動回路40は、M P U10との間におけるデータ転送の間、このバスホルダー51を利用することで、パイプライン方式とした高速なI/O処理を実行可能である。 20

【0028】

コマンドデコーダ52は、M P U10からM P Uインターフェース回路50を介して入力されるコマンドデータをデコードする。デコードされたコマンドデータは、表示タイミング発生回路80の動作を制御するコマンドとして用いられる他に、表示データRAM90に接続された92、93、94の各アドレス回路のアドレス指定等に用いられる。

【0029】

ステータスレジスタ53は、液晶表示駆動回路40においてM P U10から入力されたコマンドデータに基づく制御が行われた場合に、液晶表示駆動回路40の内部動作状態を示すステータス（ビジー状態、リセット状態、表示オン・オフ状態等）を格納する。このステータスは、M P Uインターフェース回路50の入出力端子D0～D7を介して、M P U10に出力される。 30

【0030】

電源回路60は、液晶表示パネル30の駆動に必要なレベルとなる電圧を生成する。具体的には、電源回路60は、液晶表示パネル30に応じた複数の電圧レベルを生成するための電圧増倍回路（v o l t a g e m u l t i p l i e r c i r c u i t）、電圧増幅回路の出力を液晶表示パネル30の駆動に必要なレベルに調整し、液晶表示パネル30の駆動電圧とするための電圧調整回路（v o l t a g e a d j u s t m e n t c i r c u i t）、電圧調整回路の出力を安定化させるためのボルテージフォロワ（v o l t a g e f o l l o w e r）等（いずれも不図示）によって構成される。 40

【0031】

また、電源回路60には、電源電圧供給用のVDD端子及びシステム接地用のVSS端子を備える他、外部電源回路から液晶表示パネル30に応じた複数レベルの電圧を供給するためのV1～V5端子等を備える。

【0032】

発振回路70は、液晶表示パネル30の表示クロック信号を生成するRC発振回路である。もしくは、水晶振動子やセラミック発振子などを用いた発振回路を採用してもよい。また、発振回路70は、CLS端子に一方のレベル（例えば、Hレベル）が入力される場合 50

に有効となり、表示クロック信号となる発振クロック信号を表示タイミング発生回路80に供給する。なお、C L S端子に他方のレベル（例えば、Lレベル）が入力される場合には、発振回路70にて生成する発振クロック信号は無効となり、外部からC L端子を介して表示クロックが供給される。

【0033】

表示タイミング発生回路80は、発振回路70又は外部からC L端子を介して供給される表示クロック信号に基づいて、ラインアドレス回路94及び表示データラッチ回路95における動作のタイミング信号を生成する。

【0034】

表示データRAM90は、SRAM (Static Random Access Memory) を採用し、MPUインターフェース回路50を介して入力された表示データを、セグメント電極X_kに対応するカラムアドレスA_k ($k=0\sim i$: i は自然数) 及びコモン電極Y_lに対応するラインアドレスB_l ($l=0\sim j$: j は自然数) にて指定されるメモリセル（記憶領域）に格納する。 10

【0035】

具体的には、MPUインターフェース回路50を介して入力された表示データは、I/Oバッファ回路91に一時的に格納された後、コマンドデコーダ52から供給されるコマンドデータに基づいたカラムアドレスA_k及び複数のラインアドレスB_lにて構成されるページアドレスC_m ($m=0\sim n$: n は自然数) によって指定される、表示データRAM90のメモリセル群に書き込まれる。なお、表示データRAM90は、前述したSRAM以外にも、DRAM (Dynamic Random Access Memory) 等の種々の半導体記憶素子を採用することができる。 20

【0036】

また、表示データRAM90は、液晶表示パネル30において、コモン電極数は " $i+1$ "、セグメント電極数は " $j+1$ " であるので、計 " $(i+1) \times (j+1)$ " 個のメモリセルにて構成される。すなわち、表示データRAM90のアドレス空間は、液晶表示パネル30の表示アドレス空間に対応づけられている。なお、図2には、" 132×80 " 個のメモリセルにて構成された表示データRAM90のアドレス空間を示している。

【0037】

ページアドレス回路92は、図2に示すように、コマンドデコーダ52から供給されるコマンドデータ（ページアドレス・セットコマンド：D₃～D₀に該当する）により、表示データRAM90の記憶領域に区画されたページ領域のページアドレスC_mを生成する。例えば、ページアドレス・セットコマンド（D₃～D₀）が "0, 0, 0, 0" である場合、ページアドレス回路92は、図2に示す "ページ0" に対応するページアドレスC_mを生成する。 30

【0038】

カラムアドレス回路93は、コマンドデコーダ52から供給されるコマンドデータ（カラムアドレス・セットコマンド）に基づいて、表示データRAM90に格納された表示データの読み出し時に指定されるカラムアドレスA_kを生成する。このカラムアドレスA_kは、液晶表示パネル30のセグメント電極X_kに対応している。 40

【0039】

なお、カラムアドレスA_kは、表示データRAM90に格納された表示データが、例えば、1バイト（8ビット）ライン単位で読み出される毎に+1ずつインクリメント（または-1ずつデクリメント）される。このため、表示データの読み出し動作に関して、MPU10側でのI/O処理負荷が軽減されることになる。

【0040】

ラインアドレス回路94は、表示タイミング発生回路80から供給されるライン表示用のタイミング信号に基づいて、液晶表示パネル30の1フレーム時間ごとに順次選択（走査）して駆動させるコモン電極Y_lに対応した表示データRAM90のラインアドレスを生成する。 50

【0041】

表示データラッチ回路95は、ページアドレス回路92及びカラムアドレス回路93によって生成されたページアドレスCm及びカラムアドレスAkに基づいて、表示データRAM90から1バイトライン単位で読み出される表示データが入力される。また、この入力された表示データは、表示タイミング発生回路80から供給されるラッチ動作のタイミング信号に基づいて、一時的にレジスタ等にラッチされる。なお、このラッチされた表示データとは、コモンドライバ100を介して走査されるコモン電極Y1に関して、そのコモン電極Y1と交差するセグメント電極Xkへのセグメント駆動信号を生成するためのデータとなる。

【0042】

コモンドライバ100は、ラインアドレス回路94にて生成されたラインアドレスB1に基づいて、そのラインアドレスB1に対応したコモン電極Y1を駆動するためのコモン駆動信号を生成し、コモンドライバ出力端子C1を介して出力する。なお、COM出力状態選択回路101は、コモン電極Y1の走査方向を設定するための制御回路である。

【0043】

セグメントドライバ110は、表示データラッチ回路95にてラッチされた表示データに基づいて、当該セグメント電極Xkへのセグメント駆動信号を生成する。この生成されたセグメント駆動信号は、その出力端子として対応づけられるセグメントドライバ出力端子Skを介して出力される。

【0044】

以上が、液晶表示駆動回路40を含めた電子機器の各構成ブロックの説明である。なお、以下では、本発明において特徴的な動作を行うカラムアドレス回路93を詳細に説明する。

【0045】

<カラムアドレス回路>

図3は、本発明に係るカラムアドレス回路93について、表示データRAM90を含めたブロック図である。

同図に示すとおり、カラムアドレス回路93は、カラムアドレスカウンタ931（『アドレスカウンタ回路』）、カラムアドレス反転回路935（『制御回路』）、カラムアドレスデコーダ936（『アドレスデコーダ回路』）で構成される。

【0046】

カラムアドレスカウンタ931は、表示データRAM90の当該1バイトラインからの表示データの読み出し動作を行う毎に、MPU10から指定された開始カラムアドレスA0に対応するバイナリデータを+1ずつインクリメント（又は、-1ずつデクリメント）していくことでカウントする。このカウント動作は、表示データRAM90の1バイトラインの最終カラムアドレスAiにて停止してもよいし、引き続いて次段の1バイトラインにおけるカウント動作を行うようにしてもよい。なお、カラムアドレスカウンタ931の出力としてのバイナリデータは、カラムアドレス反転回路935に供給される。

【0047】

例えば、表示データRAM90のカラムアドレスAkが、図2に示すように、132個のカラムアドレス[A0~A131]（ $i=131$ ）である場合、カラムアドレスカウンタ931には132進カウンタとして使用される8ビットカウンタが採用可能である。なお、8ビットカウンタにてカウント可能なカラムアドレス[A132~A255]は未使用となる。

【0048】

カラムアドレス反転回路935は、カラムアドレスカウンタ931にてカウントされたカラムアドレスAkに対応するバイナリデータを変換せずに出る通常モード（『第1のモード』）、又は、カラムアドレスカウンタ931にてカウントされたカラムアドレスAkに対応するバイナリデータを、カラムアドレスA（ $i-k$ ）に対応するバイナリデータに変換して出力する反転モード（『第2のモード』）のいずれか一方を選択可能とする。

10

20

30

40

50

【0049】

例えば、前述したとおり、132個のカラムアドレス[A0～A131]である場合、カラムアドレスカウンタ931にてカウントされたカラムアドレスA10 ($k=10$)に対応するバイナリデータ("00001010")は、反転モード選択時には、カラムアドレスA121 ($i-k=131(i)-10(k)=121$)に対応するバイナリデータ("01111001")に変換されることになる。なお、このカラムアドレス反転回路935は、後述のカラムアドレスデコーダ936と比較すると、きわめて小さな回路規模(約30トランジスタ数程度)で実現できる。

【0050】

なお、液晶表示駆動回路40は、MPUインターフェース回路50において、前述の通常モード又は反転モードのいずれかを選択するためのコマンドデータ(以下、反転モード切り替え信号と称する。)をMPU10から入力するためのインターフェース手段を備える。このインターフェース手段としては、例えば、D0～D7端子のいずれか(例えば、D0端子)とすることができる。すなわち、反転モード切り替え信号は、MPU10から前述のインターフェース手段を介してコマンドデコーダ52に供給される。そして、コマンドデコーダ52によってデコードされ、カラムアドレス回路93のカラムアドレス反転回路935に供給されることになる。なお、反転モード切り替え信号は、例えば、"Lレベル"の場合には通常モードを選択し、"Hレベル"の場合には反転モードを選択するものとする。

【0051】

カラムアドレスデコーダ936は、通常モード選択時及び反転モード選択時において共有されるアドレスデコーダである。カラムアドレスデコーダ936は、カラムアドレスカウンタ931にてカウントされたバイナリデータがカラムアドレス反転回路935を介して供給され、このバイナリデータに対応する表示データRAM90のカラムアドレスAkを生成する。なお、カラムアドレスデコーダ936は、カラムアドレス数(すなわち、セグメント電極数)に比例して回路規模が飛躍的に大きくなる。例えば、セグメント電極数が"132"、すなわち、カラムアドレス数が"132"の場合、1デコーダ単位で約16トランジスタを必要とするために、"約2,112(=約16×132)"トランジスタ数程度の回路規模となる。

【0052】

以下、表示データRAM90のカラムアドレス数が"132"の場合において、カラムアドレス回路93の動作について図4を用いて説明する。
まず、カラムアドレスカウンタ931は、表示データRAM90の当該1バイトラインからのデータの読み出し動作を行う毎に、MPU10から指定されたカラムアドレスの開始アドレスを+1ずつインクリメントしていき、表示データRAM90のカラムアドレスA0(0番地)～カラムアドレスA131(131番地)に対応する8ビットのバイナリデータを生成する。このバイナリデータは、生成される毎にカラムアドレス反転回路935に供給される。

【0053】

カラムアドレス反転回路935は、MPU10から受信した反転モード切り替え信号が通常モードを選択するレベル(例えば、Lレベル)である場合、供給されたバイナリデータを変換せずにカラムアドレスデコーダ936に供給する。

【0054】

一方、MPU10から受信した反転モード切り替え信号が反転モードを選択するレベル(例えば、Hレベル)である場合、供給されたバイナリデータを前述したような変換を行った後にカラムアドレスデコーダ936に供給する。

【0055】

カラムアドレスデコーダ936は、カラムアドレス反転回路935から出力される通常モード選択時又は反転モード選択時におけるバイナリデータに基づいて、通常モード選択時におけるカラムアドレスAk又は反転モード選択時におけるカラムアドレスA($i-k$)

を生成する。

【0056】

なお、カラムアドレス A_k にて指定された記憶領域に格納される表示データに基づいたセグメント駆動信号は、例えば、セグメントドライバ 110 の制御部によって、セグメントドライバ出力端子 S_k から出力されるように設定されている。このため、通常モード選択時において、例えば、セグメントドライバ出力端子 S_{10} から、カラムアドレス A_{10} (10 番地) にて指定された記憶領域に格納される表示データに基づいたセグメント駆動信号が出力していたとする。この場合、反転モード選択時では、セグメントドライバ出力端子 S_{10} から、カラムアドレス A_{121} (121 番地) にて指定された記憶領域に格納される表示データに基づいたセグメント駆動信号が出力されることになる。

10

【0057】

このようにして、本発明によれば、カラムアドレス回路 93 において、通常モード用と反転モード用にカラムアドレスデコーダ 936 の共有化が図られ、それぞれのモードごとに独立して備える必要がなくなる。また、カラムアドレス反転回路 935 は、カラムアドレスデコーダ 936 の回路規模 (カラムアドレス数 "132" の場合、約 $16 \times 132 = 2,112$ トランジスタ数) と比較すると、回路規模が極めて小さなゲート回路 (約 30 トランジスタ数) によって構成可能である。このため、図 8 に示した従来のカラムアドレス回路 93 と比較した場合、表示データ RAM 90 のカラムアドレス数の増加、すなわち液晶表示パネル 30 のセグメント電極数の増加に伴って、カラムアドレス回路 93 の回路規模が飛躍的に縮小化されることになる。

20

【0058】

すなわち、本発明によれば、液晶表示駆動回路の回路規模の縮小化が可能となり、高集積度、低消費電力、低発熱量、高信頼性などを実現する液晶表示駆動回路 40 を提供することができる。

【0059】

== その他の実施形態 ==

前述した実施形態について、本発明に係る液晶表示駆動回路 40 と、液晶表示パネル 30 と、を含む液晶表示装置としてもよい。例えば、液晶表示駆動回路 40 は半導体集積回路であり、液晶表示パネル 30 のガラス基板 200 上に対して COG 実装方式にて実装されている液晶表示装置や、液晶表示駆動回路 40 を液晶表示パネル 30 のガラス基板 200 上に集積化したポリシリコン TFT-LCD が考えられる。なお、このような液晶表示装置に対して、液晶表示パネル 30 への光源としての蛍光ランプなどを用いたバックライトを一体化させてもよい。

30

【0060】

また、前述した液晶表示装置について、MPU 10 を備えた、携帯電話 (又は PHS)、携帯情報端末 (PDA) などの電子機器としてもよい。こうした液晶表示装置や電子機器では、ダウンサイジング・低消費電力などが一般的に要請されている。このため、本発明に係る回路規模の縮小化が可能な液晶表示駆動回路 40 を備えることによって、その要請に応じることができる。

【0061】

【発明の効果】

本発明によれば、液晶表示駆動回路並びにそれを用いた液晶表示装置及び電子機器を提供することができる。

【図面の簡単な説明】

【図 1】 本発明に係る一実施形態としての液晶表示駆動回路を含めた電子機器のブロック構成図である。

【図 2】 本発明に係る一実施形態としての液晶パネルの表示空間と表示データ RAM のアドレス空間との対応を説明するアドレス・マッピング図である。

【図 3】 本発明に係る一実施形態としてのカラムアドレス回路のブロック構成図である。

【図 4】 本発明に係る一実施形態としてのカラムアドレス反転回路におけるカラムアドレ

50

ス反転動作を説明するための図である。

【図5】従来のCOG実装方式を説明するための図である。

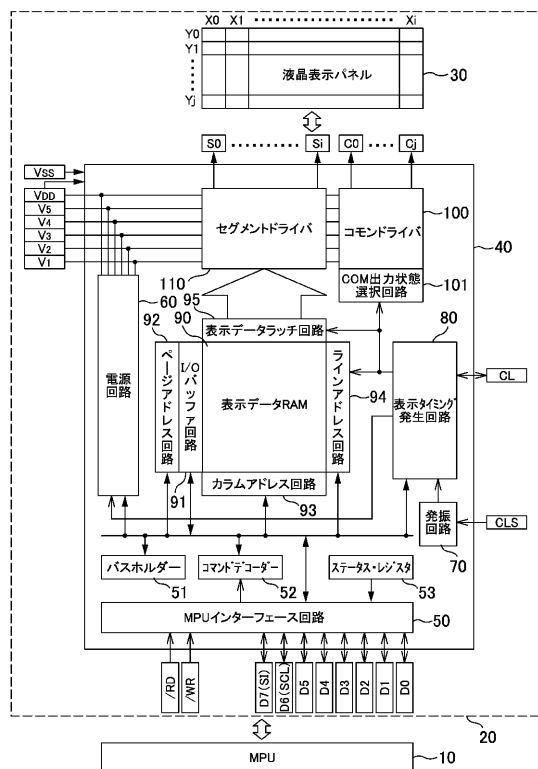
【図 6】従来のカラムアドレス回路のブロック構成図である。

【符号の説明】

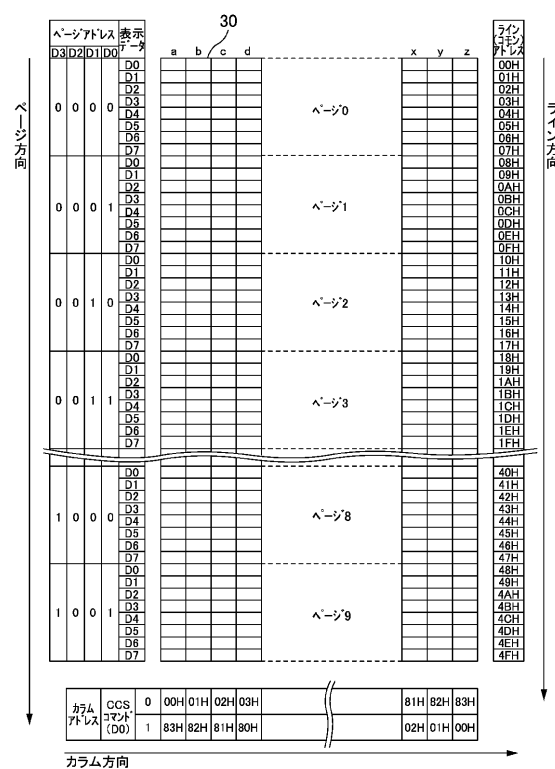
- | | | | |
|-------|-----------------------------------|-------|-----------------------|
| 1 0 | M P U | 2 0 | 液 晶 表 示 装 置 |
| 3 0 | 液 晶 表 示 パ ネ ル | 4 0 | 液 晶 表 示 駆 動 回 路 |
| 5 0 | M P U イ ン タ ー フ ェ ー ス 回 路 | 5 1 | バ ス ホ ル ダ ー |
| 5 2 | コ マ ン ド デ コ ー ダ | 5 3 | ス テ ー タ ス レ ジ ス タ |
| 6 0 | 電 源 回 路 | 7 0 | 発 振 回 路 |
| 8 0 | 表 示 タ イ ミ ン グ 発 生 回 路 | 9 0 | 表 示 デ ー タ R A M |
| 9 1 | I / O バ ッ フ ェ 回 路 | 9 2 | ペ ー ジ ア ド レ ス 回 路 |
| 9 3 | カ ラ ム ア ド レ ス 回 路 | | |
| 9 3 1 | カ ラ ム ア ド レ ス カ ウ ン タ | 9 3 2 | ビ ッ ト 反 転 回 路 |
| 9 3 3 | 通 常 モ ー ド 用 カ ラ ム ア ド レ ス デ コ ー ダ | | |
| 9 3 4 | 反 転 モ ー ド 用 カ ラ ム ア ド レ ス デ コ ー ダ | | |
| 9 3 5 | カ ラ ム ア ド レ ス 反 転 回 路 | 9 3 6 | カ ラ ム ア ド レ ス デ コ ー ダ |
| 9 4 | ラ イ ン ア ド レ ス 回 路 | 9 5 | 表 示 デ ー タ ラ ッ チ 回 路 |
| 1 0 0 | コ モ ン ド ラ イ バ | 1 0 1 | C O M 出 力 状 態 選 択 回 路 |
| 1 1 0 | セ グ メ ン ト ド ラ イ バ | 2 0 0 | ガ ラ ス 基 板 |

10

【图 1】



【图 2】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 3 1 C

G 0 9 G 3/20 6 6 0 F

专利名称(译)	液晶显示器驱动电路，液晶显示器件和使用其的电子器件		
公开(公告)号	JP2004347963A	公开(公告)日	2004-12-09
申请号	JP2003146388	申请日	2003-05-23
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	松本喜孝		
发明人	松本 喜孝		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.545 G02F1/133.550 G09G3/20.612.P G09G3/20.631.C G09G3/20.660.F		
F-TERM分类号	2H093/NA06 2H093/NC13 2H093/NC50 2H093/ND39 2H093/ND42 2H093/ND45 2H093/ND48 2H093/ND50 2H093/ND55 5C006/AB01 5C006/AF02 5C006/BB11 5C006/BC16 5C006/BF02 5C006/BF16 5C006/BF22 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/EE23 5C080/FF09 5C080/GG11 5C080/GG12 5C080/JJ01 5C080/JJ02 2H193/ZB42		
外部链接	Espacenet		

摘要(译)

在具有正常显示模式和反向显示模式的液晶显示装置中，减小了列地址解码器的电路规模。液晶显示驱动电路中的列地址电路对应于对与列地址 A_k ($k = 0$ 至 i) 和由地址计数器电路计数的列地址 A_k 相对应的二进制值进行计数的地址计数器电路。在不转换二进制值或不将由地址计数器电路计数的与列地址 A_k 相对应的二进制值的情况下输出的第一模式转换为与列地址 $A(i_k)$ 相对应的二进制值。一种控制电路，当选择第一模式或选择第二模式时，该控制电路使得能够选择要输出的第二模式之一以及基于从控制电路输出的二进制值的第一模式选择。一种地址解码器电路，其在选择第二模式时生成列地址 A_k 或生成列地址 $A(i_k)$ 。[选型图]图1

