

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-226597

(P2004-226597A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G09G 3/20 612G
G09G 3/20 612R
G09G 3/20 622G

テーマコード(参考)

2H093
5C006
5C080

審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2003-13184 (P2003-13184)
(22) 出願日 平成15年1月22日(2003.1.22)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100094053
弁理士 佐藤 隆久
(72) 発明者 畑尻 公夫
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 猪野 益充
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
Fターム(参考) 2H093 NA16 NA80 NC01 NC09 NC11
NC59 NC90 ND12 ND41
5C006 AC11 AC24 AF53 AF54 AF64
AF67 BB16 BF26 FA14 FA34
最終頁に続く

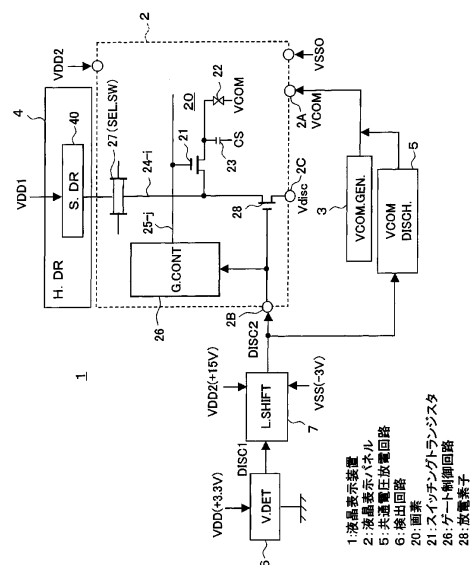
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】電源オフと同時に速やかに各画素の蓄積電位をデータ線に放電し、かつ、複雑なタイミング制御を行わずに速やかにデータ線の電位を放電する。

【解決手段】ゲートが走査ゲート線25-jに接続され、ドレインとソースの一方の電極がデータ線24-iに接続され、他方の電極が液晶層を挟んで共通電極と対向する複数のスイッチングトランジスタ21を液晶表示パネル2内に有する。液晶表示装置1内の電源電圧VDDの低下を検出し、検出信号DISC1を出力する検出回路6と、検出回路6により電源電圧VDDのオフ時が検出されたときに、検出信号DISC1に基づいて複数のスイッチングトランジスタ21のゲートの印加電圧Vg_jを制御して一斉にオンさせるゲート制御回路26と、データ線24-iのそれぞれに縦続接続され、検出信号DISC1に基づいてオンし、複数のデータ線24-iを放電する複数の放電素子28と、を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ゲートが走査ゲート線に接続され、ドレインとソースの一方の電極がデータ線に接続され、他方の電極が液晶層を挟んで共通電極と対向する複数のスイッチングトランジスタを液晶表示パネル内に有する液晶表示装置であって、

液晶表示装置内の電源電圧の低下を検出し、検出信号を出力する検出回路と、前記検出回路により電源電圧のオフ時が検出されたときに、前記検出信号に基づいて前記複数のスイッチングトランジスタのゲートの印加電圧を制御して一斉にオンさせるゲート制御回路と、

前記データ線のそれぞれに縦続接続され、前記検出信号に基づいてオンし、複数の前記データ線を放電する複数の放電素子と、
を有する液晶表示装置。

10

【請求項 2】

前記共通電極に接続され、動作時に前記共通電極に印加された共通電圧を、前記検出信号に基づいて放電させる共通電圧放電回路を、
さらに有する請求項 1 に記載の液晶表示装置。

【請求項 3】

前記検出回路により電圧低下が監視される前記電源電圧が前記液晶表示パネルを駆動するパネル駆動電源電圧の場合に、当該電源電圧の低下期間を延長し、低下期間が延長された前記パネル駆動電源電圧を前記ゲート制御回路に供給する電源保持回路を、
さらに有する請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記放電素子は、前記検出信号に基づいてオンすることにより、前記データ線を接地電位に接続する
請求項 1 に記載の液晶表示装置。

【請求項 5】

前記放電素子は、前記検出信号に基づいてオンすることにより、前記データ線を前記共通電圧に接続し、
前記共通電圧放電回路は、前記共通電圧を接地電位に接続させることによって、前記共通電極および前記複数のデータ線を放電する
請求項 3 に記載の液晶表示装置。

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、画素ごとにスイッチング用のトランジスタを有するアクティブ駆動型の液晶表示パネルを有し、当該液晶表示パネルの電源オフ時の残像除去が可能な液晶表示装置に関する。

【0002】**【従来の技術】**

液晶表示装置において液晶表示パネルの電源オフ時、画素の電荷が徐々に放電していくが、その過程が残像として見える。また、画素の液晶層に直流電圧が長い期間印加されると液晶の寿命が低下するため、このような残存電荷は速やかに放電させる必要がある。

40

【0003】

従来、電源オフ時の残像を除去するには、液晶表示パネルの電源をオフする前に、予め白信号（または、黒信号）を書き込んでいた。この残像除去方法は、白信号（または、黒信号）のパネルへの書き込みタイミングパルスの発生と書き込み終了後の電源の立ち下げのタイミングの管理を必要とし、複雑なタイミング制御を行う必要がある。

【0004】

これに対し、電源電圧の低下を監視し電源オフを検出して、その検出結果をもとに、液晶表示パネルの画素ごとに設けられたスイッチング用のトランジスタを一斉にオンさせる技

50

術が知られている（例えば、特許文献 1 参照）。

電源オフ時に、画素の蓄積データをスイッチング用のトランジスタを介してデータ線（特許文献 1 では“ソースバス”という）に放電させ、これにより、表示画像を速やかにクリアさせ、残像を除去することができる。

【0005】

【特許文献 1】

特許第 2 6 5 5 3 2 8 号公報（第 2 頁～3 頁、第 1 図、第 2 図）

【0006】

【発明が解決しようとする課題】

ところが、電源オフ時にデータ線（ソースバス）に一斉に画素の蓄積電荷が放出されると、データ線の電位が上昇して短時間に放電が行われなくなるという問題がある。 10

【0007】

この点に関し、特許文献 1 に、“ソースバスドライバは、動作電源電圧が共通電位に下がるのとほぼ同時にその出力端子の電位が共通電位となるように構成されている”という記載があるが、そのような機能を発揮するソースバスドライバの具体的な構成および制御が示されていない。したがって、ソースバスドライバの出力端子に接続されたソースバスが共通電位に接続された後、この接続状態を一定期間維持するのか、ソースバスをハイインピーダンスとするのか不明である。

【0008】

仮に、ソースバスを共通電位に接続した後、この接続状態を一定期間維持する場合、そのために、何らかのタイミング制御が必要となる。このタイミング制御のための制御信号は、特許文献 1 に示す回路構成では生成されないため、外部から加える必要がある。しかも、ソースバスドライバに印加される電源電圧は電源オフと同時に下げられるため、ソースバスドライバ自身の動作が停止してしまう。これを防止するには、ソースバスドライバを含めた広範囲の回路に対して、電源電圧の保持が必要になり、大容量の電圧保持容量が必要になる。 20

【0009】

一方、ソースバスをハイインピーダンスとする場合、前述したように、各画素からの放電によりソースバスの電位が上昇し、ある程度放電が進むと、それ以上放電が行われなくなるという問題がある。 30

【0010】

本発明の目的は、電源オフと同時に速やかに各画素の蓄積電位をデータ線に放電し、かつ、複雑なタイミング制御を行わずに速やかにデータ線の電位を放電できる構成の液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】

本発明に係る液晶表示装置は、ゲートが走査ゲート線に接続され、ドレインとソースの一方の電極がデータ線に接続され、他方の電極が液晶層を挟んで共通電極と対向する複数のスイッチングトランジスタを液晶表示パネル内に有する液晶表示装置であって、液晶表示装置内の電源電圧の低下を検出し、検出信号を出力する検出回路と、前記検出回路により電源電圧のオフ時が検出されたときに、前記検出信号に基づいて前記複数のスイッチングトランジスタのゲートの印加電圧を制御して一斉にオンさせるゲート制御回路と、前記データ線のそれぞれに縦続接続され、前記検出信号に基づいてオンし、複数の前記データ線を放電する複数の放電素子と、を有する。 40

【0012】

この液晶表示装置では、検出回路により電源電圧の低下が監視されており、検出回路により電源オフが検出されると、検出回路から検出信号がゲート制御回路および複数の放電素子に出力される。検出信号を入力したゲート制御回路は、液晶表示パネルの複数のスイッチングトランジスタを一斉にオンさせる。このオン状態のトランジスタを介して、画素の蓄積電荷がデータ線に一斉に放出される。 50

一方、放電素子は、データ線ごとに縦続接続されており検出信号によりオンする。このため、データ線に放出された画素の蓄積電荷が、さらに、データ線の外部に速やかに放電される。

【0013】

【発明の実施の形態】

[第1の実施の形態]

図1は、第1の実施の形態の液晶表示装置の概略構成を示す図である。

図1に図解した液晶表示装置1は、大別すると、液晶表示パネル2と、液晶表示パネル2を駆動し、或いは、残像除去のために装置本体側に設けられた回路群(液晶表示パネル2以外の図1に示す回路)とを有する。

10

【0014】

液晶表示パネル2は、M行×N列の複数の画素20からなる画像表示部を有する。図1に、1つの画素20の回路構成を示している。各画素20は、スイッチングトランジスタである薄膜トランジスタ(TFT)21と、薄膜トランジスタ21のソースまたはドレインの一方に画素電極が接続された液晶セル22と、薄膜トランジスタのソースまたはドレインの他方に一方の電極が接続された保持容量23と、を有する。これら画素20の各々に対して、データ線24-i(i=1~N)が列ごとにその画素配列方向に沿って配線され、走査ゲート線25-j(j=1~M)が行ごとにその画素配列方向に沿って配線されている。

【0015】

画素20の各々において、薄膜トランジスタ21のソース(または、ドレイン)が、対応するデータ線24-iに各々接続されている。薄膜トランジスタ21のゲートが、走査ゲート線25-jに各々接続されている。

20

液晶セル22は、薄膜トランジスタ22に接続された画素電極と、液晶層を挟んで画素電極に対向する全画素共通の共通電極とを有し、共通電極は共通電圧VCOMの供給線(コモンライン)に接続されている。保持容量23は、薄膜トランジスタ22に接続された一方電極を有し、誘電体膜および液晶層を挟んで一方電極が上記共通電極に対向する。保持容量23に、上記コモンラインを介して上記共通電圧VCOMまたは保持電圧CS(直流電圧)が印加される。共通電圧VCOMは、パネル2の外部に設けられた共通電圧VCOMの発生回路(VCOM.GEN.)3により生成され、端子2Aを介してパネル2内の液晶セル22(および保持容量23)に供給される。

30

【0016】

以上により、画素20が行列状に配置され、これら画素20に対してN本のデータ線24-iが列ごとに配線され、かつ、M本の走査ゲート線25-jが行ごとに配線されてなる画像表示部が構成されている。

【0017】

画素表示部に対して、そのM本の走査ゲート線25-jの各一端が、パネル2内に設けられた垂直駆動回路としてのゲート制御回路(G.CONT)26の各行の出力端に接続されている。

ゲート制御回路(G.CONT)26は、1フィールド期間ごとに垂直方向(列方向)に走査して走査ゲート線25-jに接続された各画素20を行単位で順次選択する処理を行う。すなわち、ゲート制御回路(G.CONT)26から走査ゲート線25-1に対して走査ゲートパルスVg1が与えられたときには1行目の各列の画素が選択され、走査ゲート線25-2に対して走査ゲートパルスVg2が与えられたときには2行目の各列の画素が選択される。以下同様にして、走査ゲート線25-3, 25-4, ..., 25-Mに対して走査ゲートパルスVg3, Vg4, ..., VgMが順に与えられる。

40

【0018】

N本のデータ線24-iの各々にセレクタスイッチ(SEL.SW)27が接続されている。セレクタスイッチ27をオンさせることにより、画素データがデータ線24-iに供給される。

50

本例の構成では、パネル 2 の外部に、N 個のセレクトスイッチ 27 を順にオンさせる（走査させる）水平駆動回路（H・DR）4 が配置されている。水平駆動回路 4 は、セレクトスイッチ 27 を介して画素 20 に供給する画素データをドライブする回路（例えば、ソースドライバ（S・DR）という）40、または、それと等価な機能を有する。

【0019】

なお、セレクトスイッチ 27 を水平駆動回路 4 内に配置してもよい。セレクトスイッチの構成は種々あるが、高速スイッチングのために、例えば PMOS トランジスタと NMOS トランジスタからなり互いに逆相のパルスから駆動される CMOS トランスファゲートを用いることができる。また、NMOS トランジスタによりセレクトスイッチ 27 を構成してもよい。

10

水平駆動回路 4 は、例えば画素データがデジタルかアナログかに応じて種々の構成をとりうる。例えば、いわゆるクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置の場合、水平駆動回路 4 は、駆動パルスをシフトさせるシフトレジスタと、シフトレジスタの各シフト段からパルスを抜き取る回路（あるいはパルスの保持回路）を有する。画素データがデジタルの場合、さらに、デジタル - アナログ変換回路を水平駆動回路 4 内に備える。

【0020】

また、特に図示しないが、垂直駆動回路（ゲート制御回路（G・CONT）26）や水平駆動回路 4 に対して各種のクロック信号を与えるクロック生成回路（タイミングジェネレータ）が設けられている。このクロック生成回路では、垂直走査の開始を指令する垂直スタートパルス、垂直走査の基準となる互いに逆相の垂直クロック、水平走査の開始を指令する水平スタートパルス、水平走査の基準となる互いに逆相の水平クロック等が生成される。

20

さらにパネル 2 内に、バックライト光源を備える。なお、液晶表示パネル 2 に、外部から電源電圧 VDD2 と基準電圧 VSS0 が供給される。

【0021】

本実施形態の液晶表示装置は、残像除去のための手段として、パネル 2 内に設けられたディスプレイトランジスタ 28、並びに、パネル 2 外部に設けられた共通電圧放電回路（VCOM DISCH.）5、電源電圧の検出回路（V・DET、以下、VDD 検出回路という）6 およびレベルシフト回路（L・SHIFT）7 を有する。

30

【0022】

VDD 検出（V・DET）回路 6 は、電源オフによる電圧の低下を監視している。本例で監視する電圧は、例えば +3.3V のシステム電源電圧であるが、電源オフにより電圧が低下する電圧ならシステム電源電圧（+3.3V）に限らず、例えばソースドライバ 40 を駆動する電源電圧 VDD1 でもよい。電源電圧の低下の情報は、検出信号 DISC1 としてレベルシフト回路 7 に与えられる。

【0023】

レベルシフト回路 7 は、入力する検出信号 DISC1 が電源電圧の低下に対応するレベルに変化すると、この電圧変化を、ハイレベルの電圧 VDD2 とローレベルの電圧 VSS との大きな電圧変化に変換する。この変換後の電圧のレベル変化は、信号 DISC2 として液晶表示パネル 2 の端子 2B に入力される。

40

【0024】

ディスプレイトランジスタ 28 が、本発明の“放電素子”の実施の形態である。ディスプレイトランジスタ 28 のドレインが対応するデータ線 24 - i に接続され、そのソースがパネルのディスプレイ用の端子 2C に接続されている。ディスプレイトランジスタ 28 のゲートおよびゲート制御回路（G・CONT）26 の制御端子がパネルの端子 2B に接続されている。ディスプレイトランジスタ 28 としては、P 型または N 型のトランジスタ、CMOS 型のトランスファゲートが使用できる。CMOS トランスファゲートの場合、PMOS または NMOS の一方が検出信号 DISC1 により制御され、他方が、例えばインバータにより信号 DISC2 を反転した信号により制御される。

50

【 0 0 2 5 】

以上の構成により、電源電圧の低下が検出されると、その検出信号 D I S C 1 がレベル変化した信号 D I S C 2 がゲートに印加されることにより、ディスチャージトランジスタ 2 8 がオンする。さらに、信号 D I S C 2 はゲート制御回路 (G . C O N T) 2 6 にも印加される。これによりゲート制御回路 (G . C O N T) 2 6 は、画素のスイッチングトランジスタ 2 1 を全てオンさせるようにゲート電圧 V_g を発生させ、全ての走査ゲート線 2 5 - j に印加する。

【 0 0 2 6 】

図 2 (A) は、ゲート制御回路の一構成例を示す図である。また、図 2 (B 1) ~ (B 5) は、ゲート制御回路の動作を示す検出信号および走査ゲート線電圧のタイミングチャートである。なお、これらの図では、簡略化のため 4 本の走査ゲート線の制御を示す。 10

ゲート制御回路 2 6 は、ゲート走査タイミングを生成するシフトレジスタ (S . R .) 2 6 1 を有する。また、ゲート制御回路 2 6 は、走査ゲート線 2 5 - 1 ~ 2 5 - 4 ごとに、インバータ 2 6 3 と、レベルシフタ (L / S) & バッファ回路 (B U F .) とを有する。

【 0 0 2 7 】

以上の構成は通常のゲート制御回路と共通するが、本実施の形態では、走査ゲート線 2 5 - 1 ~ 2 5 - 4 ごとに、2 入力 N A N D ゲート回路 2 6 2 がインバータ 2 6 3 とシフトレジスタ (S . R .) 2 6 1 との間に接続されている。N A N D ゲート回路 2 6 2 の各々の第 1 の入力に、レベル変換後の検出信号 D I S C 2 が印加可能に接続されている。N A N D ゲート回路 2 6 2 の各々の第 2 の入力に、シフトレジスタ (S . R .) 2 6 1 により所定の周期で遅延したレジスタ出力が順次供給可能にシフトレジスタ 2 6 1 と接続されている。 20

【 0 0 2 8 】

シフトレジスタ (S . R .) 2 6 1 は、垂直走査の開始を指令する垂直スタートパルス V_{ST} を入力し、入力した垂直スタートパルス V_{ST} を、垂直走査の基準となる垂直クロック V_{CK} によりシフトさせる。このためシフトレジスタ (S . R .) 2 6 1 から、垂直スタートパルス V_{ST} が順次遅延したクロックパルスが出力される。この通常の画素データ書き込み時には、図 2 (B 1) に示すように、レベル変換後の検出信号 D I S C 2 がハイレベル (+ 1.5 V) をとる。このため、各 N A N D 回路 2 6 2 から遅延クロックパルスの反転信号が出力され、これがインバータ 2 6 3 により元の遅延クロックパルスに戻され、回路 2 6 4 によりレベルシフトされた後、各走査ゲート線に出力される。このようにして、図 2 (B 2) ~ (B 5) の走査ゲート線電圧 $V_{g1} \sim V_{g4}$ の波形図に示すように所定時間だけ順次遅れたクロックパルスが生成される。これらのクロックパルスにより、図 1 に示す画素 2 0 のスイッチングトランジスタ 2 1 が順次オンし、データ書き込みが行われる。 30

【 0 0 2 9 】

一方、図 2 (B 1) に示すように、電源電圧降下により検出信号 D I S C 2 の電位が、例えば 1.5 V のハイレベルから - 3 V のローレベルに変化すると、N A N D ゲート回路 2 6 2 は、クロックパルス印加による入力の変化にかかわらず、その出力が常時ハイレベルとなる。N A N D ゲート回路 2 6 2 のハイレベルの出力が回路 2 6 4 に入力されてレベルシフトされる。これにより、図 2 (B 2) ~ (B 5) に示すように、全ての走査ゲート線電圧 $V_{g1} \sim V_{g4}$ がハイレベルのゲート電圧 V_{gh} まで電位上昇し、全ての画素のスイッチングトランジスタ 2 1 をオンさせる。 40

検出信号 D I S C 2 の電位がハイレベルからローレベルに変化すると、全てのディスチャージトランジスタ 2 8 がオンする。

【 0 0 3 0 】

これにより、全てのデータ線 2 4 - i がパネルのディスチャージ用端子 2 C に電気的に接続される。端子 2 C の電圧、すなわち放電電圧 V_{disc} は、接地電位 G N D、保持電源電圧 C S、あるいは共通電圧 C V O M のいずれかである。その結果、画素の蓄積電荷が、オン状態のスイッチングトランジスタ 2 1、データ線 2 4 - i、オン状態のスイッチング 50

トランジスタ 28、端子 2C を経由してパネル外部に放電される。

【0031】

本実施の形態では、さらに、共通電圧 VCOM を急速に放電させるために、VCOM 放電回路 (VCOM DISCH.) 5 が VCOM 発生回路 (VCOM GEN.) 3 の出力端に接続されている。VCOM 放電回路 (VCOM DISCH.) 5 は、レベル変換後の検出電圧 DISC2 を入力し、電源電圧の低下に起因した検出電圧 DISC2 のレベル変化をトリガとして起動し、VCOM 電圧用のパネル 2 の端子 2A から電荷を放電させる。

電源オフ時に共通電圧 VCOM が徐々に放電していくとその過程が残像として見えるが、本実施の形態では、VCOM 放電回路 (VCOM DISCH.) 5 により共通電圧 VCOM を急速放電させる。VCOM 放電回路 (VCOM DISCH.) 5 の構成例は、後述する第 2 の実施の形態で詳述する。 10

【0032】

つぎに、全体の動作をさらに詳細に説明する。

図 3 (A) ~ (H) は、各種電源電圧、信号および端子電圧のタイミングチャートである。ここで、図 3 (A) ~ (C) は各種電源電圧、図 3 (D) は検出電圧 DISC1、図 3 (E) はレベル変換後の検出電圧 DISC2、図 3 (F) は走査ゲート線電圧 Vgj、図 3 (G) は共通電圧 VCOM、図 3 (H) は蓄積電荷に基づく画素電位を示す。

【0033】

時間 t1 において電源がオフになると、電源電圧 VDD (+3.3V)、VDD1、VDD2 および基準電圧 VSS が低下し始める。電源電圧 VDD (+3.3V) と VDD1 は、図 3 (A) および (B) に示すように、t3 までの短時間にゼロになる。図 3 (C) に示すパネルの電源電圧 VDD2 と基準電圧 VSS は t5 までの長い時間、電圧を保持するようになっている。 20

電源電圧 VDD (+3.3V) が時間 t2 で電圧低下の閾値 Vth に達すると、電圧検出回路 6 の出力 (検出電圧 DISC1) は高レベル (+3.3V) から低レベル (接地電位 GND) に変化する。レベルシフト回路 7 からは、入力した検出電圧 DISC1 の信号の高レベル (+3.3V) を VDD2 (+1.5V) に、低レベル (0V) を VSS (-3V) にレベル変換した信号 DISC2 が出力される。

このレベル変換後の検出信号 DISC2 の電位変化を受けて VCOM 放電回路 5 が働き、図 3 (G) に示すように、共通電圧 VCOM は急速に低下する。また、検出信号 DISC2 の電位変化を受けて各列のディスチャージトランジスタ 28 全てがオンになる。さらに、ゲート制御回路 26 が働き、図 3 (F) に示す全ての走査ゲート線 25j の電位 Vgj が時間 t2 において高レベル Vgh となり、全ての画素のスイッチングトランジスタ 21 がオンする。その結果、図 3 (H) に示すパネル内の画素電位は時間 t2 より放電し始め、t4 で放電電位 Vdisc に到達して放電を完了する。 30

【0034】

図 4 は、パネル内の画素電位の変化を示したグラフである。

時刻 t2 で放電を開始してから急速に画素電荷が放電され、放電時間 2ms で 1V、6ms で 0.8V まで画素電位が低下する。 40

【0035】

[第 2 の実施の形態]

第 2 の実施の形態は、残像除去回路を液晶表示パネル内に内蔵する液晶表示装置に関する。

図 5 は、第 2 の実施の形態の液晶表示パネルの概略構成を示す図である。

図 5 に図解した液晶表示パネル 100 は、図 1 と同様な構成を有する表示パネル部 2 および共通電圧 VCOM の放電回路 (VCOM DISCH.) 5 のほかに、電源電圧 VDD の検出回路 (V DET.) 8、電源電圧 VDD の保持回路 (VDD HOLD) 9、基準電圧 VSS の保持回路 (VSS HOLD) 10 を有する。VDD 保持回路 9 と VSS 保持回路 10 は、電源電圧 VDD と基準電圧 VSS を比較的長い時間保持して、その保持 50

電圧（以下、保持電源電圧 V_{DD_hold} と保持基準電圧 V_{SS_hold} という）を V_{DD} 検出回路 8 と表示パネル部 2 に供給するために設けられている。

【0036】

残像除去動作を完了するまで、パネルの電源電圧 V_{DD} と基準電圧 V_{SS} を暫くの間保持する必要がある。一般には、ダイオードと電圧保持コンデンサを用いるがダイオードの順方向電圧分の電圧ロスが発生する。そこで、本実施の形態では、検出信号と同期して動作するトランジスタで電圧ロスの小さい V_{DD} 保持回路を構成する。また、電源電圧の検出回路は、この保持前の電源電圧（以下、 V_{DD} ）の低下を監視する。

【0037】

図 6 に V_{DD} 検出回路の回路図を示す。

10

V_{DD} 検出回路 8 は、3つの $NMOS$ トランジスタ $N1$ 、 $N2$ 、 $N5$ 、2つの $PMOS$ トランジスタ $P3$ 、 $P4$ 、5つの抵抗 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ 、 $R5$ 、電流源 81 および出力アンプ 82 を有する。

トランジスタ $N1 \sim N4$ および電流源 81 により差動アンプを構成する。2つの入力トランジスタ $N1$ および $N2$ のソースと接地電位との間に電流源 81 が接続されている。入力トランジスタ $N1$ のドレインと、外部から付与される電源電圧 V_{DD} の供給端子との間に、トランジスタ $N3$ が接続されている。同様に、入力トランジスタ $N2$ のドレインと電源電圧 V_{DD} の供給端子との間に、トランジスタ $N4$ が接続されている。トランジスタ $P3$ および $P4$ のゲートとソースが接続されることにより、これらのトランジスタはダイナミック負荷として機能する。

20

【0038】

抵抗 $R1$ と $R2$ が縦続接続され、電源電圧 V_{DD} の供給端子と接地電位との間に接続されている。抵抗 $R1$ と $R2$ との接続中点が抵抗 $R3$ を介して入力トランジスタ $N1$ のゲートに接続されている。

抵抗 $R5$ と、ダイオード接続されたトランジスタ $N5$ とが縦続接続され、電源電圧 V_{DD} の供給端子と接地電位との間に接続されている。抵抗 $R5$ とトランジスタ $N5$ との接続中点が抵抗 $R4$ を介して入力トランジスタ $N2$ のゲートに接続されている。

【0039】

差動アンプの第 1 の出力、即ちトランジスタ $N1$ と $P3$ の接続中点が出力アンプ 82 の非反転入力（+）に接続され、差動アンプの第 2 の出力、即ちトランジスタ $N2$ と $P4$ の接続中点が出力アンプ 82 の反転入力（-）に接続されている。出力アンプ 82 から検出信号 $DISC$ と、その反転信号 $XDISC$ が出力される。

30

【0040】

このように構成された V_{DD} 検出回路 8 は、表示パネル部 2 に供給される電源電圧 V_{DD} を、抵抗 $R1$ と $R2$ による分圧である内部検出電圧 V_{DET_INT} をモニタすることにより監視する。内部検出電圧 V_{DET_INT} が、抵抗 $R5$ とトランジスタ $N5$ の分圧で設定した内部参照電圧 V_{REF_INT} 以下になると、残像除去タイミングを付与する検出信号 $DISC$ と、その反転信号 $XDISC$ のレベルをそれぞれ変化させる。

なお、図 6 に示す回路では、入力トランジスタ $N1$ のゲートに外部検出電圧 V_{DET_EXT} を、入力トランジスタ $N2$ のゲートに外部参照電圧 V_{REF_EXT} をそれぞれ外部から入力できるように構成されている。これにより、電源電圧低下の基準である閾値電圧 V_{th} を調整できる。

40

【0041】

図 7 に V_{DD} 保持回路、図 8 に V_{SS} 保持回路の回路図をそれぞれ示す。

図 7 に示す V_{DD} 保持回路 9 は、1つの $PMOS$ トランジスタ $P1$ を有する。トランジスタ $P1$ のゲートに V_{DD} 検出回路 8 から出力される検出電圧 $DISC$ が入力される。トランジスタ $P1$ のソースに電源電圧 V_{DD} の供給端子 9A が接続され、トランジスタ $P1$ のドレインに電源電圧 V_{DD} の出力端子 9B が接続されている。出力端子 9B は表示パネル部 2 に接続され、このため、出力端子 9B と接地電位との間にパネル内部容量 C_{panel1} が等価的に接続されることとなる。このパネル内部容量 C_{panel1} と並列に、外

50

部から容量（外部容量） C_{ext1} が接続可能となっている。

なお、トランジスタ $P1$ として、 P チャネル型のほか、 N チャネル型トランジスタ、 $CMOS$ 型トランスファゲートが使用できる。 N チャネル型トランジスタあるいは $CMOS$ 型トランスファゲートの場合、そのゲートと検出電圧 $DISC$ の入力端子との間にインバータが必要となる。

【0042】

VDD 保持回路9において、電源電圧の低下が検出され検出電圧 $DISC$ がハイレベルとなると $PMOS$ トランジスタ $P1$ がオフし、パネル内部容量 C_{panel1} （あるいは、外部容量 C_{ext1} が接続されている場合はパネル内部容量 C_{panel1} と外部容量 C_{ext1} との合成容量）で決まる時間だけ電源電圧 VDD を保持する。外部容量 C_{ext1} を設けた場合、外部容量 C_{ext1} の容量値で保持時間を調整できる。表示パネル部2内の電源回路のトランジスタ（不図示）が TFT で形成されていることから保持電荷が徐々に抜けて保持電源電圧 VDD_hold がゆっくり低下する。

10

【0043】

図8に示す VSS 保持回路10は、1つの $NMOS$ トランジスタ $N6$ を有する。トランジスタ $N6$ のゲートに VDD 検出回路8から出力される検出信号の反転信号（反転検出信号） $XDISC$ が入力される。トランジスタ $N6$ のドレインに基準電圧 VSS の供給端子10Aが接続され、トランジスタ $N6$ のソースに基準電圧 VSS の出力端子10Bが接続されている。出力端子10Bは表示パネル部2に接続され、このため、出力端子10Bと接地電位との間にパネル内部容量 C_{panel2} が等価的に接続されることとなる。このパネル内部容量 C_{panel2} と並列に、外部から容量（外部容量） C_{ext2} が接続可能となっている。

20

なお、トランジスタ $N6$ として、 N チャネル型のほか、 P チャネル型トランジスタ、 $CMOS$ 型トランスファゲートが使用できる。 P チャネル型トランジスタあるいは $CMOS$ 型トランスファゲートの場合、そのゲートと反転検出電圧 $XDISC$ の入力端子との間にインバータが必要となる。

【0044】

VSS 保持回路10において、基準電圧の低下（電位上昇）が検出され反転検出電圧 $XDISC$ がローレベルとなると $NMOS$ トランジスタ $N6$ がオフし、パネル内部容量 C_{panel2} （あるいは、外部容量 C_{ext2} が接続されている場合はパネル内部容量 C_{panel2} と外部容量 C_{ext2} との合成容量）で決まる時間だけ基準電圧 VSS を保持する。外部容量 C_{ext2} を設けた場合、外部容量 C_{ext2} の容量値で保持時間を調整できる。表示パネル部2内の電源回路のトランジスタ（不図示）が TFT で形成されていることから保持電荷が徐々に抜けて保持電源電圧 VSS_hold がゆっくり低下（電位上昇）する。

30

【0045】

このように、 VSS 保持回路10と前記 VDD 保持回路9は、残像除去タイミング信号、即ち反転検出信号 $XDISC$ および検出信号 $DISC$ に同期して電圧の保持動作を開始するが、保持した電圧は徐々に低下する。

【0046】

図9は、 $VCOM$ 放電回路の回路図である。

40

$VCOM$ 放電回路5は、 $PMOS$ トランジスタ $P2$ 、 $NMOS$ トランジスタ $N7$ 、遅延回路51を有する。トランジスタ $P2$ のゲートおよび遅延回路51の入力に、 VDD 検出回路8から出力される検出信号 $DISC$ が入力される。トランジスタ $P2$ のドレインに共通電圧 $VCOM$ の供給端子5Aが接続され、トランジスタ $P2$ のソースに共通電圧 $VCOM$ の出力端子5Bが接続されている。出力端子10Bは表示パネル部2に接続され、このため、出力端子5Bと接地電位との間にパネル内部容量 C_{panel3} が等価的に接続されることとなる。出力端子5Bと接地電位との間にトランジスタ $N7$ が接続されている。トランジスタ $N7$ のゲートが遅延回路51の出力に接続されている。なお、図9において、共通電圧 $VCOM$ の供給端子からみた外部負荷容量を外部容量 C_{ext3} で現している。

50

【 0 0 4 7 】

残像除去動作に入り、残像除去タイミングを与える検出信号 D I S C がハイレベルとなると、V C O M 放電回路 5 において P M O S トランジスタ P 2 がオフし、パネル外部から入力され供給端子 5 A に印加されている V C O M 電圧の出力端子 5 B への供給経路が遮断され、V C O M 電圧が表示パネル部 2 に印加されなくなる。この V C O M 電圧の供給遮断から遅延回路 5 1 の遅延量 D だけ遅れて N M O S トランジスタ N 7 がオンし、表示パネル部 2 内の容量 (パネル内部容量) C p a n e l 3 に蓄積されていた電荷を急速に接地電位に放電する。遅延回路 5 1 の遅延量 D は、トランジスタ P 2 と N 7 が同時にオン状態となって貫通電流が流れるのを防止できる値に設定されている。

【 0 0 4 8 】

このように、V C O M 放電回路 5 は、残像除去タイミング信号、即ち検出信号 D I S C に同期してパネル内の V C O M 供給線 (コモンライン) の保持電荷を急速に放電させ、これにより残像を速やかに除去できる。

なお、V C O M 放電回路 5 を検出信号の反転信号 X D I S C を用いる構成に変更できる。その場合、トランジスタ P 2 を N チャンネル型とし、トランジスタ N 7 を P チャンネル型とするとよい。

【 0 0 4 9 】

本発明の実施の形態によれば、以下の効果が得られる。

電源オフの前に白信号 (または、黒信号) 等のミュート信号を書き込む従来の方式の残像除去では、パネルへの書き込みタイミングパルス発生と書き込み終了後の電源の立ち下げのタイミングの管理を必要とし、複雑なタイミングを発生させる必要があるが、本発明の実施形態ではそれらが不要であるため回路が簡単となる。

また、電源電圧の検出回路 6 , 8 で残像除去動作を起動し、画像表示システムからはタイミングを与える必要がないため、システム状態の保持用の補助電源 (例えば電池) の引抜きなどで突然、画像表示システムが停止しても、残像や焼き付きを発生させない。

特に、画素 2 0 のスイッチングトランジスタ 2 1 のオンによる画素蓄積電荷のデータ線 2 4 - i への放電のみならず、放電素子 (ディスチャージトランジスタ 2 8) をオンさせることにより、データ線 2 4 - i の電荷を放電電位 V d i s c に強制的に引き抜く。このため、速やかな残像除去が可能である。その残像除去タイミングの制御が、電源電圧、例えば V D D の低下検出に基づいて行われるため、複雑な回路が不要である。

また、特に第 2 の実施の形態によれば、パネル 1 0 0 内に残像除去のための回路を全て内蔵しているため、表示装置の小型化が可能である。第 2 の実施の形態で説明したように、V D D 保持回路 9、V S S 保持回路 1 0、V C O M 放電回路 5 は、基本的に、残像除去タイミングを付与する検出信号 D I S C (または、その反転信号 X D I S C) と同期して動作するトランジスタで動作するため、小さなサイズのトランジスタで放電制御が可能になる。

【 0 0 5 0 】

【 発明の効果 】

本発明によれば、電源オフと同時に速やかに各画素の蓄積電位をデータ線に放電し、かつ、複雑なタイミング制御を行わずに速やかにデータ線の電位を放電できる構成の液晶表示装置を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 第 1 の実施の形態の液晶表示装置の概略構成を示す図である。

【 図 2 】 (A) は、ゲート制御回路の一構成例を示す図である。(B 1) ~ (B 5) は、ゲート制御回路の動作を示す検出信号および走査ゲート線電圧のタイミングチャートである。

【 図 3 】 (A) ~ (H) は、各種電源電圧、信号および端子電圧のタイミングチャートである。

【 図 4 】 パネル内の画素電位の変化を示したグラフである。

【 図 5 】 第 2 の実施の形態の液晶表示パネルの概略構成を示す図である。

10

20

30

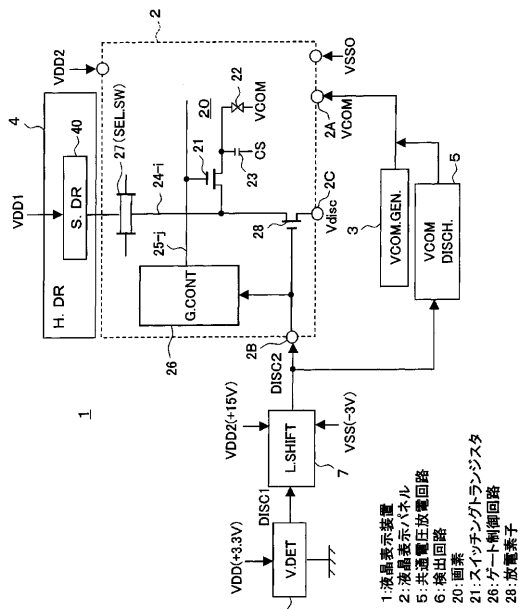
40

50

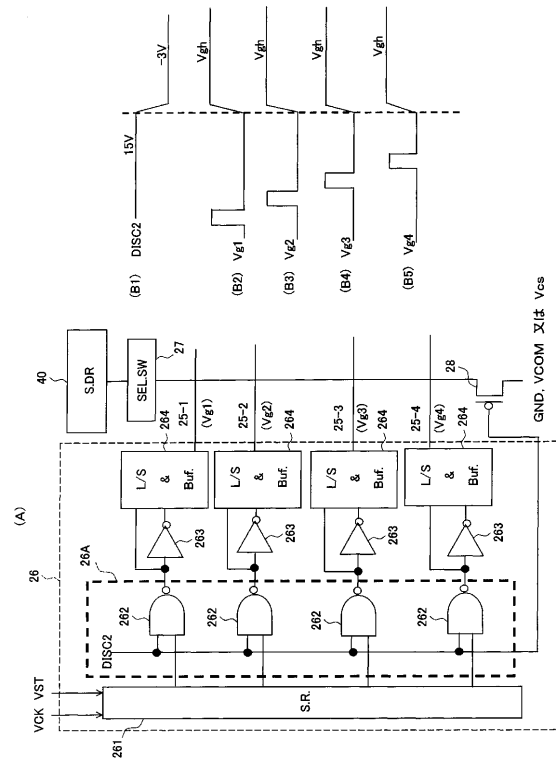
- 【図6】VDD検出回路の回路図である。
- 【図7】VDD保持回路の回路図である。
- 【図8】VSS保持回路の回路図である。
- 【図9】VCOM放電回路の回路図である。
- 【符号の説明】

1, 100...液晶表示装置、2...液晶表示パネル(表示パネル部)、3...VCOM発生回路、4...水平駆動回路、5...VCOM放電回路、6, 8...VDD検出回路、7...レベルシフト回路、9...VDD保持回路、10...VSS保持回路、20...画素20、21...スイッチングトランジスタ、22...液晶セル、23...保持容量、24-i...データ線、25-j...走査ゲート線、26...ゲート制御回路(垂直駆動回路)、27...セクタスイッチ、28...放電素子としてのディスチャージトランジスタ、40...ソースドライバ、CS...保持電圧、DISC等...検出信号、XDISC...反転検出信号、VCOM...共通電圧、VDD等...電源電圧、VSS等...基準電圧、Vg1等...走査ゲートパルス。

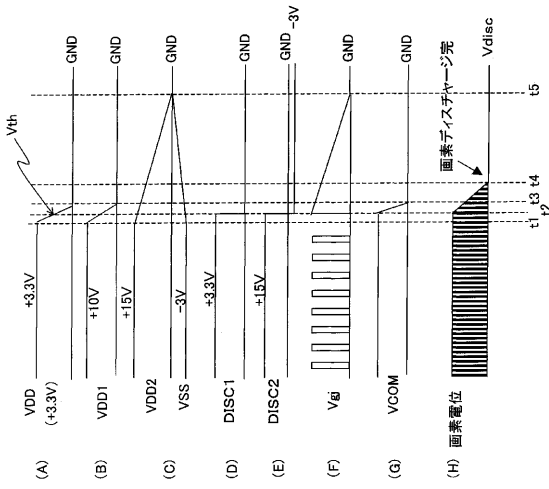
【図1】



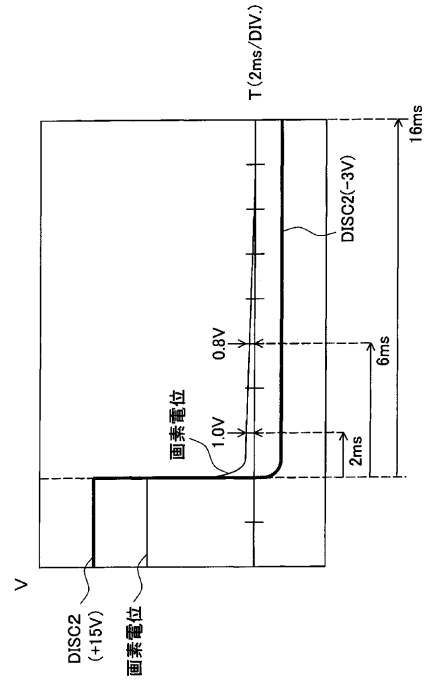
【図2】



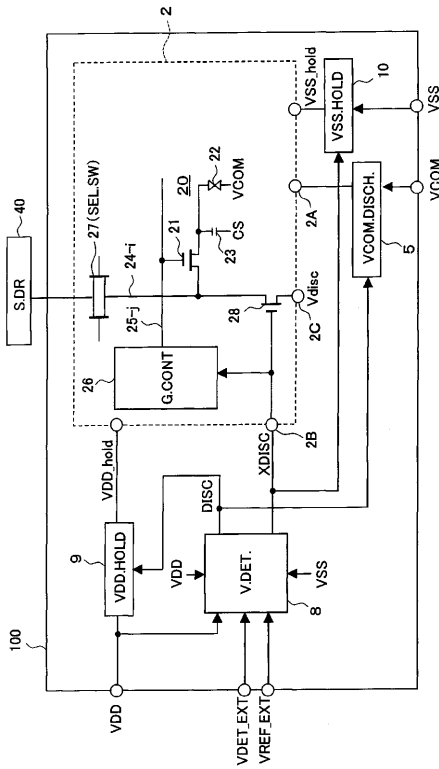
【 図 3 】



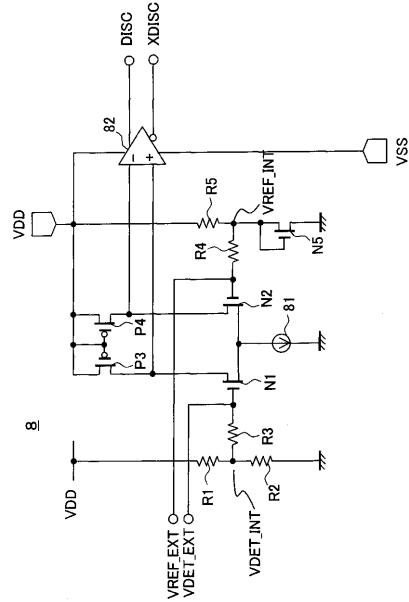
【 図 4 】



【 図 5 】

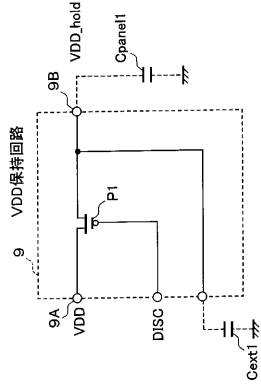


【 図 6 】

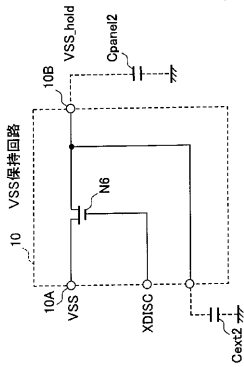


8: 電源保持回路

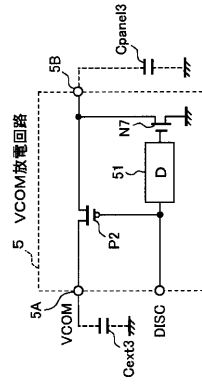
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 7 0 D

Fターム(参考) 5C080 AA10 BB05 DD09 DD30 EE25 FF11 JJ02 JJ03 JJ04 JJ05

