(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-177822
(P2004-177822A)
(43)公開日　平成16年6月24日(2004.6.24)

(51)Int.Cl.[7]		F I			テーマコード（参考）
G09G	3/36	G09G	3/36		2H093
G02F	1/133	G02F	1/133	550	5C006
G09G	3/20	G09G	3/20	611A	5C080
		G09G	3/20	623H	
		G09G	3/20	623R	

審査請求 未請求　請求項の数 2　OL　（全 8 頁）

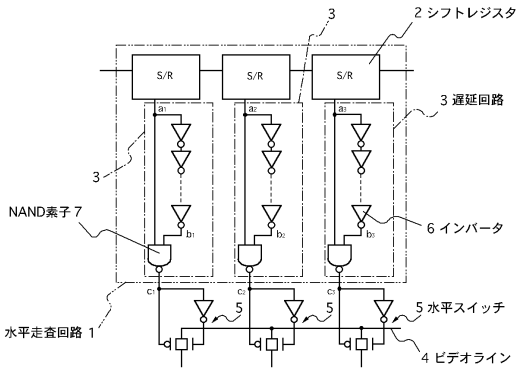
(21)出願番号　特願2002-346239(P2002-346239)
(22)出願日　平成14年11月28日(2002.11.28)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100084294
弁理士　有吉　教晴
(74)代理人　100114627
弁理士　有吉　修一朗
(72)発明者　後野　順一
福岡県福岡市早良区百道浜２丁目３番２号
ソニーセミコンダクタ九州株式会社内
(72)発明者　内野　勝秀
福岡県福岡市早良区百道浜２丁目３番２号
ソニーセミコンダクタ九州株式会社内

最終頁に続く

(54)【発明の名称】水平走査回路及びアクティブマトリクス型液晶表示装置

(57)【要約】
【課題】表示装置のユニフォーミティ劣化を抑制すると共に、消費電力の増大を抑制することが可能である水平走査回路及びアクティブマトリクス型液晶表示装置を提供する。
【解決手段】出力部から水平スイッチ駆動パルス信号を順次発生するためのシフトレジスタ２と、シフトレジスタの各々に対応した水平スイッチ駆動パルス信号を遅延させる遅延回路３を備える。
【選択図】　図１



【特許請求の範囲】
【請求項１】
出力部から水平スイッチ駆動パルス信号を順次発生するためのシフトレジスタと、
該シフトレジスタの各々に対応した水平スイッチ駆動パルス信号を遅延させる遅延回路を備える
ことを特徴とする水平走査回路。
【請求項２】
所定の間隙を介して対面配置された第１の基板及び第２の基板と、該第１の基板及び第２の基板の間隙内に保持された液晶層とを有し、
前記第１の基板は、行方向に沿って配列されたゲート線と、列方向に沿って配列されたデータ線と、該ゲート線及びデータ線の交点に配設された能動素子と、各々の能動素子により駆動される画素電極と、前記ゲート線を線順次選択するパルスを供給する垂直走査回路と、前記データ線を線順次選択するパルスを供給する水平走査回路が形成され、
前記第２の基板は、対向電極が形成されたアクティブマトリクス型液晶表示装置において、
前記水平走査回路は、出力部から水平スイッチ駆動パルス信号を順次発生するためのシフトレジスタと、
該シフトレジスタの各々に対応した水平スイッチ駆動パルス信号を遅延させる遅延回路を備える
ことを特徴とするアクティブマトリクス型液晶表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、水平走査回路及びアクティブマトリクス型液晶表示装置に関する。詳しくは、映像信号を線順次でデータ線に分配供給するための水平走査回路及び水平走査回路を用いたアクティブマトリクス型液晶表示装置に係るものである。
【０００２】
【従来の技術】
以下、図面を用いて従来のアクティブマトリクス型液晶表示装置を説明する。図３は、従来のアクティブマトリクス型液晶表示装置の回路構成を説明するための図であり、図示する様に、Ｘ軸方向に平行に配列された複数のゲートラインX_1，X_2，X_3…と、Ｙ軸方向に平行に配列された複数のデータラインY_1，Y_2，Y_3…とを備えており、各ゲートラインとデータラインの交点には、例えば薄膜トランジスタ（ＴＦＴ）等の能動素子T_{11}，T_{12}，T_{21}，T_{22}…が形成され、更に各能動素子に対応した、画素電極及び対面する対向電極ＣＯＭによって挟持された液晶から構成された液晶セルL_{11}，L_{12}，L_{21}，L_{22}…が形成されている。なお、各ＴＦＴのゲート電極はゲートラインに接続されており、ソース電極はデータラインに接続されており、ドレイン電極は対応する液晶セルの画素電極に接続されている。
【０００３】
また、各データラインにはそれぞれ対応する水平スイッチS_1，S_2，S_3…を介して共通のビデオライン１０１に接続されており、このビデオラインから映像信号が供給される。更に、各水平スイッチを構成するスイッチングトランジスタのゲート電極は水平走査回路１０２に接続されており、この水平走査回路は、外部から入力された信号を昇圧して水平走査回路及び垂直走査回路に信号を出力するレベル変換回路１０３から入力される水平クロック信号に同期して順次水平スイッチ駆動パルス信号をスイッチングトランジスタのゲート電極に印加する。なお、各ゲートラインは垂直走査回路１０４に接続されている。
【０００４】
上記の様に構成された回路では、垂直走査回路を駆動すると、ゲートラインが線順次で励起され、行毎にＴＦＴが選択される。この際、水平走査回路を駆動してスイッチングトランジスタを線順次で動作させると、ビデオラインに供給された映像信号が順次各データラ

インにサンプリングされる。サンプリングされた映像信号は行毎に選択されたＴＦＴを介して順次対応する液晶セルに書き込まれ、映像信号のサンプリングデータは点順次で個々の液晶セルに書き込まれることになる。

【０００５】

ところで、上記した水平走査回路は図４で示す様に、Ｄ型のフリップフロップを多段に接続したシフトレジスタＳ／Ｒ１０５等から構成されており、前段のシフトレジスタが出力する水平スイッチ駆動パルス信号の立ち下がりに同期して次段のシフトレジスタが出力する水平スイッチ駆動パルス信号を立ち上げるといったタイミングでシフトレジスタが順次水平スイッチ駆動パルス信号a_1，a_2，a_3…を出力するのであるが、各水平スイッチ駆動パルス信号はバラツキを有している。更に、水平スイッチ駆動パルス信号が対応する水平スイッチに印加されると、ビデオラインから供給された映像信号が導通した水平スイッチを介して各データラインにサンプリングされるのであるが、個々のデータラインは所定の容量成分があるために水平スイッチ駆動パルス信号に応じてデータラインの充放電が生じ、この充放電の影響によって図５中Ｖｓｉｇで示すビデオラインから供給される映像信号が、図５で示す様に各水平スイッチ駆動パルス信号の立ち上がり時にノイズを発生すると共に、トランジスタ特性等のバラツキから、そのノイズレベルにもバラツキが生じてしまう。

この様に、各水平スイッチ駆動パルス信号の立ち上がり時に映像信号がノイズを発生してしまうと、後発の水平スイッチ駆動パルス信号を立ち上げることにより映像信号のノイズが発生した瞬間に、先発の水平スイッチ駆動パルス信号を立ち下げることによりデータラインの電位が確定されてしまい、映像信号のノイズのバラツキ、水平スイッチ駆動パルス信号のバラツキ等の影響から、データラインの確定電位にバラツキが生じ、表示画像に縦スジ等のユニフォーミティ劣化を引き起こしてしまうという問題点があった。

【０００６】

さて、上述した様な問題点に鑑みて、水平スイッチ駆動パルス信号を映像信号のノイズの影響を受けないタイミングに制御する図６に示す様な回路が提案されている。

即ち、レベル変換回路から出力された信号を制御回路１０６に入力し、制御回路によって制御された信号が水平走査回路に入力する様に構成された回路が提案されている。

【０００７】

ここで、制御回路は、レベル変換回路から出力された信号と、レベル変換回路から出力された信号に偶数個のインバータ１０７を通過させた信号とをＮＡＮＤ素子１０８に接続し、その出力を更にインバータに接続する構成となっている。

【０００８】

上記の様に構成された水平走査回路の動作について、各パルスのタイミングチャートを示す図７を参照して説明する。

図７中ＨＣＫで示すレベル変換回路から出力された信号（以下、ＨＣＫ信号と言う）が制御回路に入力すると、偶数個のインバータを通過しＨＣＫ信号より遅延した図７中ｄｃｋで示す信号とＨＣＫ信号とのＮＡＮＤ処理が行われた後にインバータにより反転処理が行われ、図７中ＤＣＫで示す信号（以下、ＤＣＫ信号と言う）が出力される。

ここで、制御回路によって制御されたＤＣＫ信号は、ＨＣＫ信号よりもパルスの立ち上がりタイミングが遅延したパルスとなっている。

【０００９】

また、図７中ＨＣＫＸで示すレベル変換回路から出力された上記したＨＣＫ信号を反転させた信号（以下、ＨＣＫＸ信号と言う）が制御回路に入力すると、上記したＨＣＫ信号と同様に、偶数個のインバータを通過しＨＣＫＸより遅延した図７中ｄｃｋｘで示す信号とＨＣＫＸ信号とのＮＡＮＤ処理が行われた後にインバータにより反転処理が行われ、図７中ＤＣＫＸで示す信号（以下、ＤＣＫＸ信号と言う）が出力される。

ここで、制御回路によって制御されたＤＣＫＸ信号は、ＨＣＫＸ信号よりもパルスの立ち上がりタイミングが遅延したパルスとなっている。

【００１０】

上記の様にして得られたＤＣＫ信号とシフトレジスタが出力する水平スイッチ駆動パルス信号a_1，a_3，a_5…から、水平スイッチ駆動パルス信号a_1，a_3，a_5…と比較するとパルスの立ち上がりタイミングが遅延した制御信号e_1，e_3，e_5…を得ることができ、同様に、ＤＣＫＸ信号とシフトレジスタが出力する水平スイッチ駆動パルス信号a_2，a_4，a_6…から、水平スイッチ駆動パルス信号a_2，a_4，a_6…と比較するとパルスの立ち上がりタイミングが遅延した制御信号e_2，e_4，e_6…を得ることができる。

【００１１】

上記の様にして得られた制御信号e_1，e_2，e_3…により映像信号をサンプリングすることによって、データラインの電位を確定する先発の水平スイッチ駆動パルス信号の立ち下がるタイミングと比較して、映像信号のノイズの発生の瞬間である後発の水平スイッチ駆動パルス信号の立ち上がるタイミングを遅延させ、従来問題となっていたユニフォーミティ劣化の問題の解決を図っている。

【００１２】

【発明が解決しようとする課題】

しかしながら、ＤＣＫ信号を水平スイッチ駆動パルス信号a_1，a_3，a_5…を出力するシフトレジスタで共有し、また、ＤＣＫＸ信号を水平スイッチ駆動パルス信号a_2，a_4，a_6…を出力するシフトレジスタで共有しているために、ＤＣＫ信号及びＤＣＫＸ信号はＨＣＫ信号及びＨＣＫＸ信号程度の高周波数で、かつ、制御信号を制御するためには制御回路内に設けられたＮＡＮＤ素子の出力信号の反転処理を行うインバータのサイズを大きくしなければならないために水平走査回路の消費電力が大きくなってしまうという不具合があった。

【００１３】

本発明は、以上の点に鑑みて創案されたものであって、表示装置のユニフォーミティ劣化を抑制すると共に、消費電力の増大を抑制することが可能である水平走査回路及びアクティブマトリクス型液晶表示装置を提供することを目的とするものである。

【００１４】

【課題を解決するための手段】

上記の目的を達成するために、本発明に係る水平走査回路は、出力部から水平スイッチ駆動パルス信号を順次発生するためのシフトレジスタと、該シフトレジスタの各々に対応した水平スイッチ駆動パルス信号を遅延させる遅延回路を備える。

【００１５】

また、上記の目的を達成するために、本発明に係るアクティブマトリクス型液晶表示装置は、所定の間隙を介して対面配置された第１の基板及び第２の基板と、該第１の基板及び第２の基板の間隙内に保持された液晶層とを有し、前記第１の基板は、行方向に沿って配列されたゲート線と、列方向に沿って配列されたデータ線と、該ゲート線及びデータ線の交点に配設された能動素子と、各々の能動素子により駆動される画素電極と、前記ゲート線を線順次選択するパルスを供給する垂直走査回路と、前記データ線を線順次選択するパルスを供給する水平走査回路が形成され、前記第２の基板は、対向電極が形成されたアクティブマトリクス型液晶表示装置において、前記水平走査回路は、出力部から水平スイッチ駆動パルス信号を順次発生するためのシフトレジスタと、該シフトレジスタの各々に対応した水平スイッチ駆動パルス信号を遅延させる遅延回路を備える。

【００１６】

ここで、出力部から水平スイッチ駆動パルス信号を順次発生するためのシフトレジスタの各々に対応した水平スイッチ駆動パルス信号を遅延させる遅延回路を設けたことによって、水平スイッチ駆動パルスと比較するとパルスの立ち上がりタイミングが遅延した制御信号を消費電力の増大を抑制した状態で得ることができる。

【００１７】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら説明し、本発明の理解に供する。

【００１８】
図１は本発明を適用したアクティブマトリクス型液晶表示装置の一例における水平走査回路の回路構成を説明するための図であり、ここで示す水平走査回路１は、前段のシフトレジスタが出力する水平スイッチ駆動パルス信号の立ち下がりに同期して次段のシフトレジスタが出力する水平スイッチ駆動パルス信号を立ち上げるといったタイミングで順次水平スイッチ駆動パルス信号a_1，a_2，a_3…を出力するＤ型のフリップフロップを多段に接続したシフトレジスタＳ／Ｒ２、このシフトレジスタから出力される水平駆動パルス信号を入力する遅延回路３により構成されており、水平走査回路には映像信号が入力されるビデオライン４に接続された水平スイッチ５を構成するスイッチングトランジスタのゲート電極が接続されている。

【００１９】
ここで、遅延回路は、シフトレジスタから出力された水平スイッチ駆動パルス信号と、水平スイッチ駆動パルス信号に偶数個のインバータ６を通過させた信号とをＮＡＮＤ素子７に接続する構成となっている。

【００２０】
なお、遅延回路は、先発のパルス信号の立ち下がりに同期して後発のパルス信号が立ち上がるタイミングでシフトレジスタから遅延回路に入力される水平スイッチ駆動パルス信号を、先発の水平スイッチ駆動パルス信号が立ち下がるタイミングと比較して後発の水平スイッチ駆動パルス信号が立ち上がるタイミングを遅延させることができれば充分であって、必ずしもインバータ及びＮＡＮＤ素子により後発の水平スイッチ駆動パルス信号の立ち上がるタイミングを遅延させる必要は無く、いかなる方法であっても良い。

【００２１】
上記の様に構成された水平走査回路の動作について各パルスのタイミングチャートを示す図２を参照して説明する。
レベル変換回路から入力された水平クロック信号に同期してシフトレジスタから出力された図２中a_1、a_2、a_3で示す水平スイッチ駆動パルス信号が遅延回路に入力すると、偶数個のインバータを通過しa_1、a_2、a_3信号よりも遅延した図２中b_1、b_2、b_3で示す信号と水平スイッチ駆動パルス信号とのＮＡＮＤ処理が行われ、水平スイッチ駆動パルス信号と比較するとパルスの立ち上がりタイミングが遅延したパルスを反転させた制御信号c_1、c_2、c_3を得ることができる。

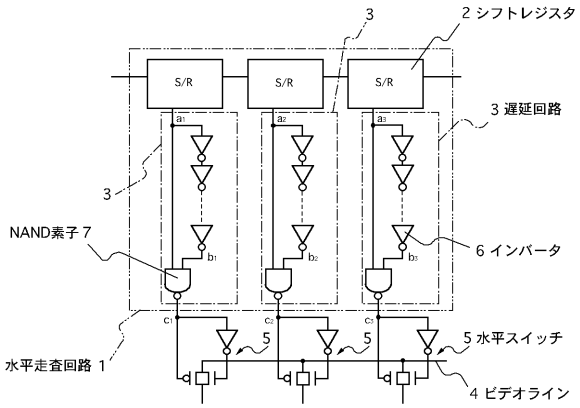
【００２２】
上記の様にして得られた制御信号により映像信号をサンプリングすることによって、データラインの電位を確定する先発の水平スイッチ駆動パルス信号の立ち下がるタイミングと比較して、映像信号のノイズの発生の瞬間である後発の水平スイッチ駆動パルス信号の立ち上がるタイミングを遅延させ、ユニフォーミティ劣化の問題を解決することができる。また、シフトレジスタの各々に遅延回路が形成されているために、遅延回路によって水平駆動パルス信号よりも立ち上がりタイミングが遅延したパルスを形成するにあたって、水平走査回路の消費電力の増大を抑制することが可能である。

【００２３】
【発明の効果】
以上述べてきた如く、本発明の水平走査回路及びアクティブマトリクス型液晶表示装置によれば、ユニフォーミティ劣化を抑制することができると共に、消費電力の増大を抑制することが可能である。

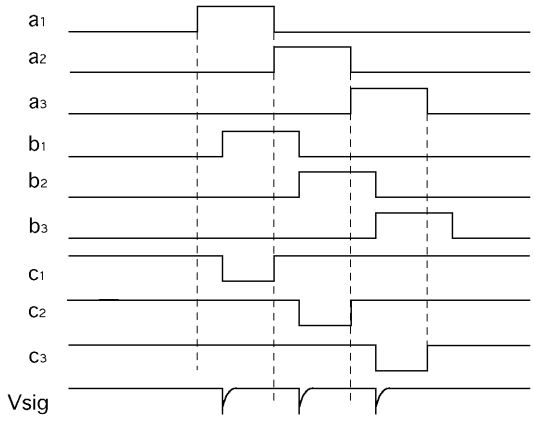
【図面の簡単な説明】
【図１】本発明を適用したアクティブマトリクス型液晶表示装置の一例における水平走査回路の回路構成を説明するための図である。
【図２】図１に示す水平走査回路の動作を説明するための各パルスのタイミングチャートである。
【図３】従来のアクティブマトリクス型液晶表示装置の回路構成を説明するための図である。

【図４】図３に示すアクティブマトリクス型液晶表示装置の水平走査回路を説明するための図である。
【図５】映像信号のノイズを説明するための図である。
【図６】従来の水平スイッチ駆動パルス信号を映像信号のノイズの影響を受けないタイミングに制御したアクティブマトリクス型液晶表示装置の回路構成を説明するための図である。
【図７】図６に示すアクティブマトリクス型液晶表示装置の動作を説明するための各パルスのタイミングチャートである。
【符号の説明】
1　水平走査回路
2　シフトレジスタ
3　遅延回路
4　ビデオライン
5　水平スイッチ
6　インバータ
7　ＮＡＮＤ素子

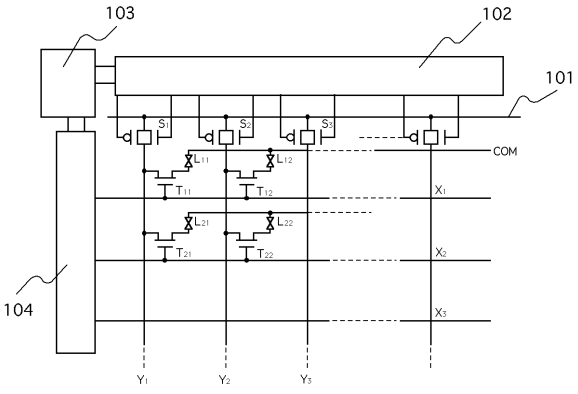
【図１】



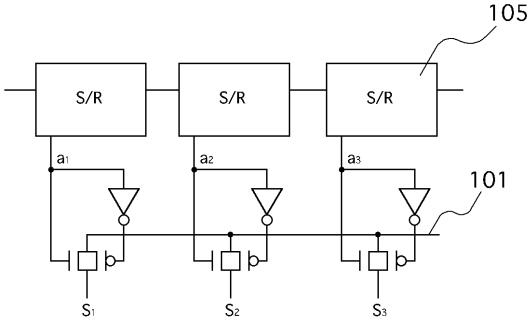
【図２】



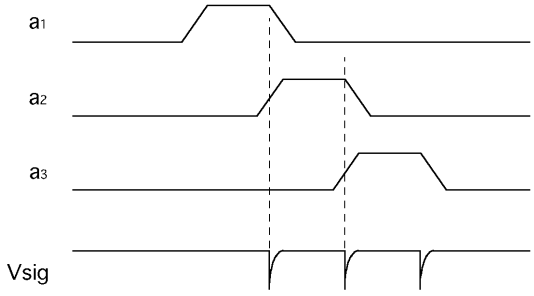
【図３】



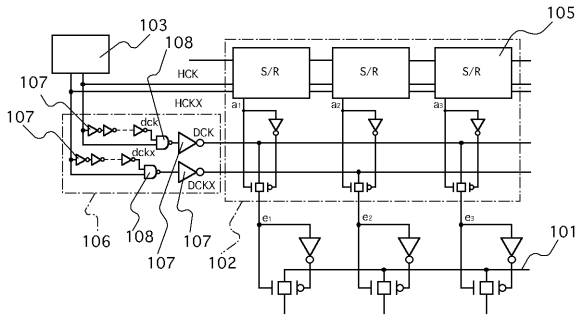
【図４】



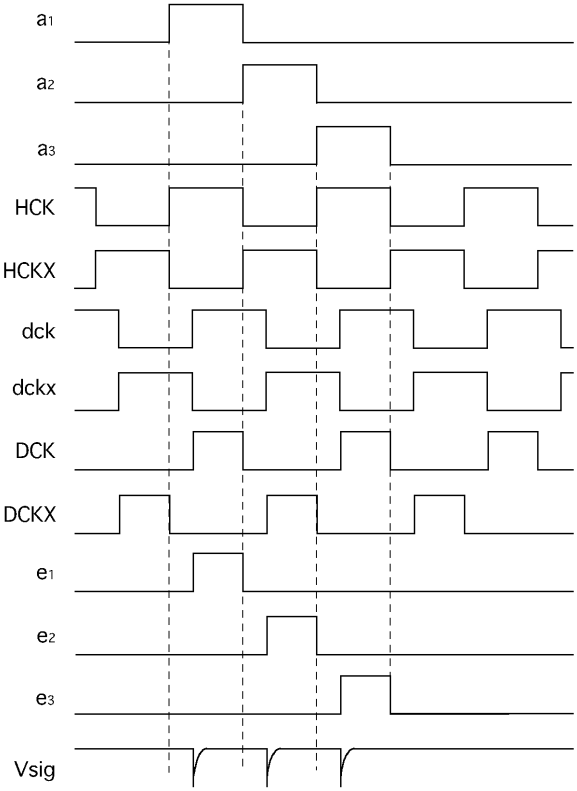
【図５】


a1
a2
a3
Vsig

【図６】


103
108
105
HCK
HCKX
107
107
dck
DCK
dckx
DCKX
S/R
S/R
S/R
a1
a2
a3
e1
e2
e3
106
108
107
107
102
101

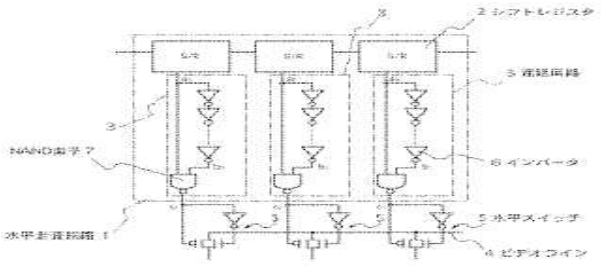
【図７】


a1
a2
a3
HCK
HCKX
dck
dckx
DCK
DCKX
e1
e2
e3
Vsig

フロントページの続き

Ｆターム(参考) 2H093 NA16 NC16 NC21 NC22 NC34 NC49 ND05 ND09 ND15 ND39
ND40
5C006 AA01 AC09 AF46 AF50 AF51 AF71 BB16 BC13 BC20 BC24
BF03 BF07 BF11 BF26 BF27 FA16 FA18 FA47
5C080 AA06 AA10 BB05 DD26 FF11 GG07 GG08 JJ02 JJ03 JJ04

专利名称(译)	水平扫描电路和有源矩阵型液晶显示装置		
公开(公告)号	JP2004177822A	公开(公告)日	2004-06-24
申请号	JP2002346239	申请日	2002-11-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	後野順一 内野勝秀		
发明人	後野 順一 内野 勝秀		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.623.H G09G3/20.623.R		
F-TERM分类号	2H093/NA16 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC34 2H093/NC49 2H093/ND05 2H093/ND09 2H093/ND15 2H093/ND39 2H093/ND40 5C006/AA01 5C006/AC09 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF71 5C006/BB16 5C006/BC13 5C006/BC20 5C006/BC24 5C006/BF03 5C006/BF07 5C006/BF11 5C006/BF26 5C006/BF27 5C006/FA16 5C006/FA18 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD32 2H193/ZD34		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种水平扫描电路和有源矩阵型液晶显示装置，其能够抑制显示装置的均匀性劣化并且抑制功耗的增加。 移位寄存器（２），用于从输出部分顺序地产生水平开关驱动脉冲信号，以及延迟电路（３），其用于延迟与每个移位寄存器相对应的水平开关驱动脉冲信号。 [选型图]图1