

(51)Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)			
G 0 9 G 3/36		G 0 9 G 3/36		5	C	0 0 6
	3/20		3/20	631	B	5 C 0 2 1
	641		641	P		5 C 0 5 8
G 1 1 C 11/401		H 0 4 N 5/20				5 C 0 8 0
H 0 4 N 5/20			5/66	A		5 M 0 2 4
審査請求 未請求 請求項の数 19 O L (全 11数) 最終頁に続く						

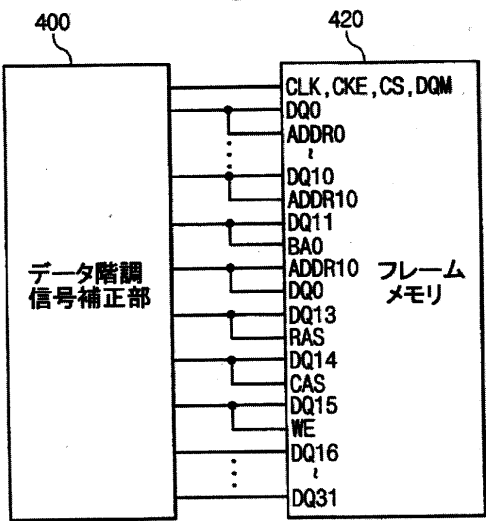
(21)出願番号	特願2003 - 31916(P2003 - 31916)	(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22)出願日	平成15年2月10日(2003.2.10)	(72)発明者	リー , ベック ウォン 大韓民国,キョンギ - ド,ソグナム - シティ ,ブンダン - ク,ヤタブ - ドン,331,ドンブ アパート 110 - 802
(31)優先権主張番号	2002 - 007366	(74)代理人	100094145 弁理士 小野 由己男 (外 1 名)
(32)優先日	平成14年2月8日(2002.2.8)		
(33)優先権主張国	韓国(KR)		
		最終頁に続く	

(54)【発明の名称】 液晶表示装置及びその駆動方法とフレームメモリ

(57)【要約】

【課題】 本発明は、データ階調信号補正部がフレームメモリと接続する部分を減らすことを目的とする。

【解決手段】 本発明による液晶表示装置はデータをバーストモードで出力して記録するフレームメモリ420と接続されているデータ階調信号補正部400を含む。データ階調信号補正部400はデータ階調信号源から現在フレームの階調信号を受信してフレームメモリ420にバーストモードで記録し、フレームメモリ420に記録されている直前フレームの階調信号をバーストモードで読取し、現在フレームの階調信号と直前フレームの階調信号を考慮して補正された階調信号を生成して出力する。フレームメモリ420がデータ階調信号補正部400と接続するバスを、フレームメモリ400のデータピンと命令ピンが共有している。



【特許請求の範囲】

【請求項 1】走査信号を伝達する複数のゲート線、データ電圧を伝達するために前記ゲート線と絶縁されて交差する複数のデータ線、そして前記ゲート線及び前記データ線によって囲まれた領域に形成されて各々前記ゲート線及び前記データ線に接続されているスイッチング素子を有して行列形態で配列された複数の画素を含む液晶表示装置パネルと、

前記ゲート線に前記走査信号を順次に供給するゲートドライバと、

データ階調信号源から階調信号を受信し、データ階調信号変換器により現在フレームの階調信号と直前フレームの階調信号を考慮して補正された階調信号を生成して出力するデータ階調信号補正部と、

前記データ階調信号補正部から出力される前記補正された階調信号を対応するデータ電圧に変えて前記データ線に供給するデータドライバと、

前記データ階調信号補正部が前記データ階調信号源から受信する前記現在フレームの階調信号を 1 度の命令で一定量のデータを処理するモードであるバーストモードで記録するための、また記録された前記直前フレームの階調信号を前記バーストモードで読み出して出力するための、フレームメモリと、を含む液晶表示装置。

【請求項 2】前記データ階調信号補正部は前記フレームメモリにおける前記階調信号の記録及び読取を制御するコントローラをさらに含む、請求項 1 に記載の液晶表示装置。

【請求項 3】前記データ階調信号補正部は前記フレームメモリに伝えるために連続的に入力された前記現在フレームの階調信号を臨時に記録するキャッシュメモリをさらに含む、請求項 2 に記載の液晶表示装置。

【請求項 4】前記フレームメモリは前記データ階調信号補正部の内または外に形成されて前記データ階調信号補正部と接続する、請求項 2 または 3 に記載の液晶表示装置。

【請求項 5】前記フレームメモリは前記データ階調信号補正部と接続する複数のバス線に一对一に接続されていてデータが入出力される複数のデータピンと、

前記複数のデータピンが接続されている前記バスに接続されていて前記フレームメモリの動作に必要な命令を受信する複数の命令ピンと、

データを入出力しない場合、前記データピンをマスクングする命令を受信するデータマスクピンと、フレームメモリの内部回路と前記データピンとの接続または前記命令ピンとの接続のどちらかの接続を選択するのに利用されるチップ選択ピンと、を含む、請求項 4 に記載の液晶表示装置。

【請求項 6】前記データマスクピンと前記チップ選択ピンがアクティブ状態であれば前記命令ピンが選択され、前記データマスクピンと前記チップ選択ピンがインアク

ティブ状態であれば前記データピンが選択される、請求項 5 に記載の液晶表示装置。

【請求項 7】前記フレームメモリは前記命令ピンが選択された後に、前記フレームメモリのバンクがプリチャージされてデータが記録されている行と読取する第 1 データの列アドレスが指定され、

前記データピンが選択された後に、前記指定された行の前記指定された列からデータが前記バーストモードで読取される、請求項 5 に記載の液晶表示装置。

10 【請求項 8】前記フレームメモリは前記命令ピンが選択された後に、前記フレームメモリのバンクがプリチャージされてデータを記録する行と記録する第 1 データの列アドレスが指定され、

前記データピンが選択された後に、前記指定された行の前記指定された列からデータが前記バーストモードで記録される、請求項 5 に記載の液晶表示装置。

【請求項 9】1 度の命令で一定量のデータを処理するバーストモードで 1 フレーム内のデータを記録し、これを読み出して出力するフレームメモリであって、

20 複数のデータピンと、

複数の命令ピンと、

前記データピンをマスクングする命令を受信するデータマスクピン、そして前記データピンまたは前記命令ピンのどちらかを選択して内部回路に接続する命令を受信するチップ選択ピンと、を含むフレームメモリ。

【請求項 10】前記データピン及び前記命令ピンに接続されたバスが、

前記データマスクピンと前記チップ選択ピンがアクティブ状態である時、前記命令ピンで選択され、

30 前記データマスクピンと前記チップ選択ピンがインアクティブ状態である時、前記データピンで選択される、請求項 9 に記載のフレームメモリ。

【請求項 11】前記データマスクピンと前記チップ選択ピンの状態によって前記バスが前記命令ピンで選択され、前記フレームメモリのバンクがプリチャージされてデータが記録されている行と読取する第 1 データの列アドレスが指定され、

前記バスが前記データピンに転換されて、前記指定された列から前記指定された行のデータが前記バーストモードで読取される、請求項 9 に記載のフレームメモリ。

【請求項 12】前記データマスクピンと前記チップ選択ピンの状態によって前記バスが前記命令ピンで選択され、前記フレームメモリのバンクがプリチャージされてデータを記録する行と記録する第 1 データの列アドレスが指定され、

前記バスが前記データピンに転換され、前記指定された列から前記指定された行のデータが前記バーストモードに記録される、請求項 9 に記載のフレームメモリ。

【請求項 13】データを入出力する複数のデータピン、動作に必要な命令を受信する複数の命令ピン、前記デー

タピンをマスキングする命令を受信するデータマスクピン及びチップ選択に利用されるチップ選択ピンを有し、1度の命令で一定量のデータを処理するバーストモードで1フレーム内の階調信号を記録し、これを読み出して出力するフレームメモリを含む液晶表示装置を駆動する方法において、前記命令ピンの1本は前記データピンの1本と接続されており、

前記データマスクピンと前記チップ選択ピンの状態を変更して、前記データピンまたは前記命令ピンを選択的に前記フレームメモリの内部回路に接続して、前記フレームメモリに前記バーストモードで記録された直前フレームの階調信号を前記バーストモードで読取するバースト読取段階、及び前記データマスクピンと前記チップ選択ピンの状態を変更して、前記データピンまたは前記命令ピンを選択的に前記フレームメモリの内部回路に接続して現在フレームの階調信号を前記バーストモードで記録するバースト記録段階と、を含む液晶表示装置駆動方法。

【請求項14】前記バースト読取段階は前記命令ピンを選択して前記フレームメモリのバンクをプリチャージする段階と、読取しようとする階調信号が記録されている行を指定する段階と、前記指定された行で読取を始める第1列アドレスを指定する段階と、前記データピンを選択して前記指定された行に記録された階調信号を前記指定された列から順次に前記バーストモードで読取する段階と、を含む、請求項13に記載の液晶表示装置駆動方法。

【請求項15】前記バースト記録段階は前記命令ピンを選択して前記フレームメモリのバンクをプリチャージする段階と、前記現在フレームの階調信号を記録する行を指定する段階と、前記指定された行で記録を始める第1列アドレスを指定する段階と、前記データピンを選択して前記指定された行に階調信号を前記指定された列から順次に前記バーストモードで記録する段階と、を含む、請求項13に記載の液晶表示装置駆動方法。

【請求項16】前記フレームメモリのバンクのうち前記指定された行があるバンクだけをプリチャージする、請求項14または15に記載の液晶表示装置駆動方法。

【請求項17】前記フレームメモリの全てのバンクを同時にプリチャージする、請求項14または15に記載の液晶表示装置駆動方法。

【請求項18】前記第1列アドレスを指定する段階は、次のバンクが前記フレームメモリ内で自動的にプリチャージされるようにする自動プリチャージ命令を提供

する段階を含む、請求項14または15に記載の液晶表示装置駆動方法。

【請求項19】前記バースト記録段階は前記現在フレームの階調信号を外部のキャッシュメモリに一時記録した後、これを読み出した信号を前記フレームメモリに記録する段階をさらに含む、請求項15に記載の液晶表示装置駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置及びその駆動方法と液晶表示装置に用いられるフレームメモリに関し、特に別個に形成され組み合わせて使用される集積回路間の接続線の本数を少なくすることに関する。

【0002】

【従来の技術】近來パーソナルコンピュータやテレビなどの軽量化及び薄形化によってディスプレイ装置も軽量化及び薄形化が要求されており、このような要求によって陰極線管(CRT)の代わりに液晶表示装置(LCD)のような平板パネル表示装置(FPD、flat panel display)が開発されている。

【0003】LCDは二枚の基板の間に注入されている異方性誘電率を有する液晶物質に電界を印加し、この電界の強さを画素毎に調節して画素を透過する光の量を調節することによって所望の画像信号を得る表示装置である。このようなLCDは平板表示装置の中で代表的なものであって、この中でも薄膜トランジスタ(TFT)をスイッチング素子として利用したTFT-LCDが主に利用されている。

【0004】最近ではTFT-LCDがコンピュータの表示装置だけでなくテレビの表示装置として広く用いられることによって動画像を実現する必要性が増加した。連続される絵を秒当たり24フレーム以上の速い速度で表示すれば人間は動画像と認知するが、このような動画像の認知は人間の目が見た画像を0.04秒程度記憶する残像効果があるためである。

【0005】CRTのような発光形表示装置はインパルス形発光方式であるので動画像実現時に前後フレームの間の輝度差が大きい場合にもブランキング区間が存在して人間の目の残像効果を補償する。したがって、自然な動画像実現が可能であるが、従来のTFT-LCDは応答速度が遅いため動画像を実現するのが難しいという短所があった。このような応答速度問題を改善するために従来にはOCB(optically compensated band)モードを使用したり、強誘電性液晶(FLC、ferro-electric liquid crystal)物質を用いたTFT-LCDを使用した。

【0006】しかし、このようなOCBモードやFLCを使用するためには従来のTFT-LCDパネルが構造を変えなければならないという問題点があった。これに対し、本出願人は韓国公開番号が特2001-0077568号の液

晶表示装置及びその駆動方法(2001年2月3日出願、2001年8月20日公開)で TFT LCD のパネル構造を変えることなく補正されたデータ電圧(補正済みデータ)を生成することができるデータ階調信号補正部を追加することによりこのような問題を解決した。

【0007】このようなデータ階調信号補正部では、階調信号を記録した後に読み出した信号を出力するフレームメモリをデータ階調信号補正部に内蔵させることもできるが、図3に示したように外装メモリとして実現する方法が経済的で好ましい。

【0008】この時、データ階調信号補正部を外装のフレームメモリと接続するためには、データ階調信号補正部に入出力ピンが必要となる。しかし、回路が小規模で単純なピン配置の場合にはデータ階調信号補正部のチップ面積は総ピン数の1乗乃至2乗に比例して増加し、チップ面積が増加すれば製造単価が増加する。

【0009】

【発明が解決しようとする課題】このような問題点を解決するために本発明は、データ階調信号補正部がフレームメモリに接続される部分を減らすことをその技術的課題とする。

【0010】

【課題を解決するための手段】本発明はフレームメモリに形成されている少なくとも1組の各ピンがデータ階調信号補正部と通信するために只1本の伝送線(バス線)を共有して各々異なるタイミングで使用することにより、このような技術的課題を達成する。なお、伝送線の集合をバスと記す。

【0011】本発明の第1特徴によると、液晶表示装置は液晶表示装置パネル、ゲートドライバー、データドライバー及びデータ階調信号補正部からなる。液晶表示装置パネルは走査信号を伝達する複数のゲート線、データ電圧を伝達するために前記ゲート線と絶縁されて交差する複数のデータ線、そして前記ゲート線及び前記データ線によって囲まれた領域に形成され各々前記ゲート線及び前記データ線に接続されているスイッチング素子を有する行列形態で配列された複数の画素を含む。

【0012】データ階調信号補正部はデータ階調信号源から階調信号を受信し、現在フレームの階調信号と直前フレームの階調信号によって補正された階調信号を生成して出力する。ゲートドライバーはゲート線に走査信号を順次供給し、データドライバーはデータ階調信号補正部から出力される補正済み階調信号に対応するデータ電圧に変えてデータ線に供給する。

【0013】ここで、データ階調信号補正部はデータ階調信号源からの現在フレームの階調信号を1度の命令で一定量のデータを処理するモードであるバーストモードで記録し、記録された直前フレームの階調信号をバーストモードで読み出した信号を出力するフレームメモリを含む。

【0014】また、データ階調信号補正部はフレームメモリにおける階調信号の記録及び読取を制御するコントローラと補正済み階調信号を生成して出力するデータ階調信号変換器を含むのが好ましい。また、連続的に入力される現在フレームの階調信号を一時的に記録して、これを適切なタイミングで読み出してフレームメモリに伝達するキャッシュメモリを含むことができる。

【0015】この時、フレームメモリはデータ階調信号補正部の内または外に形成されて、データ階調信号補正部と接続するのが好ましい。

【0016】本発明に使用するフレームメモリは、データ階調信号補正部に接続するための複数のデータピン、複数の命令ピン、データマスクピン及びチップ選択ピンを含む。1本のデータピンと1本の命令ピンは互いに接続されて1本のバス素線に接続され、このバス素線を時分割で共用することが可能のように構成され、全体としては、バスの各素線を通じてデータが入出力され、あるいはフレームメモリの動作に必要な命令を受信できる。データマスクピンはデータを入出力しない場合にデータピンをマスクする命令の受信に利用される。チップ選択ピンはフレームメモリの内部回路とデータピンの接続または命令ピンの接続のどちらかの接続を選択する命令の受信に利用される。

【0017】ピンの選択をする場合、チップ選択ピンのみで決定するよりも、データマスクピンとチップ選択ピンの両方にアクティブ信号が送られた時に命令ピンが選択され、データマスクピンとチップ選択ピンの両方にインアクティブ信号が送られた時にデータピンが選択される方が好ましい。

【0018】ここで、フレームメモリからデータをバースト読取する時は、命令ピンを選択しておいて命令を送る。まずフレームメモリのバンクをプリーチャージしてデータが記録されている行と読取する第1データの列アドレスを指定し、次にデータピンを選択して前記で指定した行の指定した列からデータをバースト読取する。

【0019】また、フレームメモリにデータをバースト記録する時も、命令ピンを選択しておいて命令を送る。まずフレームメモリのバンクをプリーチャージしてデータを記録する行と記録を始める第1列アドレスを指定し、次にデータピンを選択して前記で指定した行の指定した列からデータをバースト記録する。

【0020】本発明の第2特徴によると、本発明の第1特徴による液晶表示装置を駆動する方法が提供される。駆動する時はデータマスクピンとチップ選択ピンの状態を変更してデータピンまたは命令ピンを選択し、フレームメモリから直前フレームの階調信号をバースト読取したりフレームメモリに現在フレームの階調信号をバースト記録する。

【0021】この時、バースト読取する時にはは、まず命令ピンを選択してフレームメモリのバンクをプリーチ

ヤージした後、読取しようとする階調信号が記録されている行を指定し、指定された行で読取を始める第1列アドレスを指定する。次に、ピン選択をデータピンに転換して指定された行に記録された直前フレームの階調信号を指定された列から順次にバースト読取する。

【0022】また、バースト記録する時には、まず命令ピンを選択してフレームメモリのバンクをプリチャージした後、階調信号を記録する行を指定して指定された行の記録を始める第1列アドレスを指定する。次に、データピンを選択して指定された行に現在フレームの階調信号を指定された列から順次にバースト記録する。

【0023】ここで、バンクをプリチャージする時には指定された行があるバンクだけをプリチャージしたり、全てのバンクを同時にプリチャージすることができる。または、第1列アドレスを指定する時、次のバンクがフレームメモリ内で自体的にプリチャージされるようにする自動プリチャージ命令を提供することもできる。

【0024】また、バースト記録する前に階調信号を外部のキャッシュメモリに一時的に記録した後、これを適切なタイミングで読み出した信号をフレームメモリに記録することもできる。

【0025】

【発明の実施の形態】以下では添付した図面を参考として本発明の実施例について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様に変化している各種形態で実現することができ、ここで説明する実施例に限定されない。

【0026】次に、本発明の実施例による液晶表示装置及びその駆動方法について図面を参考として詳細に説明する。

【0027】まず、図1乃至図3を参照して本発明の一実施例による液晶表示装置とそのデータ階調信号補正部について説明する。

【0028】図1は本発明の一実施例による液晶表示装置を示す図面である。図2は本発明の一実施例によるデータ階調信号補正部を示すブロック図である。図3はフレームメモリを外装メモリで実現した場合を示すブロック図である。

【0029】図1に示したように、本発明の一実施例による液晶表示装置は液晶パネル100、ゲートドライバ200、データドライバ300及びデータ階調信号補正部400を含む。

【0030】液晶パネル100にはゲートオン電圧を伝達するための複数のゲート線120及びゲート線と絶縁されて交差し、データ電圧を伝達するための複数のデータ線130が形成されている。隣接した二つのゲート線120は隣接した二つのデータ線130と共に画素領域を定義し、各画素領域には薄膜トランジスタ110が形

成されている。ゲート線120に接続されたゲート電極とデータ線130に接続されたソース電極及びドレイン電極はこの薄膜トランジスタ110の三端子を構成し、薄膜トランジスタ110のドレイン電極には画素キャパシタ C_1 とストレージキャパシタ C_s が接続されている。

【0031】ゲートドライバ200はゲート線120に順次にゲートオン電圧を印加し、ゲートオン電圧が印加されるゲート線120に接続された薄膜トランジスタ110をターンオンさせる。

【0032】図2に示すデータ階調信号補正部400はデータ階調信号源（図示していないが、例えば、グラフィック制御機）からデータ階調信号 G_n を受信した後、現在フレームのデータ階調信号と直前フレームのデータ階調信号を考慮して補正されたデータ階調信号 G_n' を生成して出力する。この時、階調信号補正部400は独立型（stand-alone）ユニットとして存在することもできるが、グラフィックカードやLCDモジュールに統合されることもできる。

【0033】データドライバ300はデータ階調信号補正部400から受信した補正済みデータ階調信号 G_n' を当該階調電圧（データ電圧）にD/A変換して各々データ線130に印加する。

【0034】次に、図2を参照してデータ階調信号補正部400について詳しく説明する。

【0035】図2に示したように、データ階調信号補正部400は合成器410、フレームメモリ420、コントローラ430、データ階調信号変換器440及び分離器450を含む。

【0036】合成器410はデータ階調信号源（図示せず）から階調信号 G_n を受信し、データ階調信号補正部400が処理できる速度でデータストリームの周波数を変換する。例えば、データ階調信号源から18ビットのデータが65MHz（高速）周波数に同期して受信され、データ階調信号補正部400の構成要素処理速度の限界が50MHz（低速）であれば、合成器410は18ビット高速の階調信号を2つずつ縛って36ビット低速の階調信号 G_m に変換合成してフレームメモリ420に伝送する。反対に、データ階調信号補正部400の構成要素処理速度が十分に速ければ、合成器410は18ビットの階調信号を幾つかに分割し、直並列または直列に変換して、データピン本数を少なくできる。

【0037】フレームメモリ420はコントローラ430の制御によって所定アドレスに記録されている直前階調信号 G_{m-1} を読んでデータ階調信号変換器440に出力する同時に、合成器410から伝送される階調信号 G_m を前記所定アドレスに記録する。データ階調信号変換器440は合成器410から出力される現在フレームの階調信号 G_m とフレームメモリ420から出力される直前フレームの階調信号 G_{m-1} を受信した後、これを利

用して補正された階調信号 G_m' を生成する。

【0038】分離器 450 はデータ階調信号変換器 440 から出力される 36 ビット低速の補正済みデータ階調信号 G_m' のビット構成を 2 個に分離して 18 ビット高速の補正済み階調信号 G_n' を出力する。

【0039】本発明の一実施例ではデータ階調信号に同期するクロック周波数がフレームメモリをアクセスするクロック周波数と相異しているために、データ階調信号を合成及び分離する合成器 410 及び分離器 450 が必要であったが、データ階調信号に同期するクロック周波数とフレームメモリ 420 をアクセスするクロック周波数が同一である場合には、このような合成器と分離器は不必要となる。

【0040】この時、フレームメモリ 420 は図 3 に示したように別途の外装メモリとして実現するのが好ましい。フレームメモリの性能を充足する外装メモリとしては SDRAM、DDR SDRAM (double data rate SDRAM) などのバーストタイプ (burst-type) メモリを用いることができる。本発明の一実施例ではフレームメモリとして 512 K × 32 × 4 バンクの構造を有する 64 Mb SDRAM を使用して説明するが、他のバーストタイプメモリを使用する場合にも本発明の技術分野における通常の知識を有する者が容易に実施することができる。

【0041】本発明の一実施例による 512 K × 32 × 4 バンクの構造を有する 64 Mb SDRAM であるフレームメモリ 420 がデータ階調信号補正部 400 と接続するためには合計 52 個のピンが必要である。このような 52 個のピンはクロック (clock、以下、CLK とする)、クロックイネーブル (clock enable、以下、CKE とする)、チップセレクト (chip select、以下、CS とする) 及びデータマスク (data mask、以下、DQM とする) からなる 4 つの第 1 グループピン、行アクセス (row access strobe、以下、RAS とする)、列アクセス (column access strobe、以下、CAS とする)、記録イネーブル (write enable、以下、WE とする)、2 つのバンクアドレス (bank address、以下、各々 BA0 及び BA1 とする) 及び 11 個のアドレス (以下、各々 ADDR0 乃至 ADDR10 とする) からなる 16 個の第 2 グループピン、そして 32 個のデータピン (以下、各々 DQ0 乃至 DQ31 とする) からなる第 3 グループピンである。

【0042】単独チップとして作られるデータ階調信号補正部 400 のチップ (die) 面積は全体ピン数の 1 乃至 2 乗に比例して増加し、チップサイズが増加すれば製造単価が増加する。したがって、データ階調信号補正部 400 のピン数を減らせばチップサイズを減らすことができるので、価格低下を期待することができる。これはデータ階調信号補正部 400 が独立型ユニットで存在する時だけでなく、グラフィックカードや LCD モジュールに統合されている時も同じである。

【0043】以下、図 4、図 5 A 乃至図 5 C を参照して本発明の一実施例によるフレームメモリとその駆動方法について詳しく説明する。

【0044】図 4 は本発明の一実施例によってフレームメモリ 420 を外装メモリで実現した場合を示すブロック図である。

【0045】図 4 に示したように、フレームメモリ 420 として 512 K × 32 × 4 バンクの構造を有する 64 Mb SDRAM を使用した場合には、図 3 と異なって 16 個の第 2 グループピンと第 3 グループピンを共有ピンにしてデータ階調信号補正部 400 でピン数を 16 個減らすことができる。

【0046】バーストタイプのフレームメモリ 420 にはバーストモードがあって、例えば読取または記録命令を 1 度発行すれば最大 1 ページのデータが別途の他の命令なく読取または記録できる。このようなバーストタイプのフレームメモリ 420 では下記に説明するように第 2 グループピンと第 3 グループピンに対してコントロールシーケンスを調整して第 2 グループピンと第 3 グループピンを共有ピンにすることができる。

【0047】以下、図 5 A 乃至 5 C を参照して本発明の第 1 実施例によるフレームメモリ 420 駆動方法について詳しく説明する。

【0048】図 5 A はフレームメモリのパワーアップ段階を示すシーケンス図面であり、図 5 B はフレームメモリのバースト読取を示すシーケンス図面であり、図 5 C はフレームメモリのバースト記録を示すシーケンス図面である。

【0049】まず、図 5 A を参照してフレームメモリ 420 のパワーアップ段階について説明する。

【0050】フレームメモリ 420 を読取または記録するように、フレームメモリ 420 を正常に作動させるためにはまずパワーアップ (power-up) 段階が必要である。パワーアップ段階は命令 (command) だけで行われ、データの入出力がないので DQM をアクティブとしてデータピンをマスキングする。言い換えれば、データ側入出力をハイインピーダンス (HI-Z) 状態であるオープン状態に維持すればよい。このようなパワーアップ段階は非作動 (no operation、NOP) 段階、プリーチャージ (precharge、Pre) 段階、自動リフレッシュ (auto refresh、AR) 段階及びモードレジスタ設定 (mode register set、MRS) 段階からなる。

【0051】NOP 段階では安定したクロックが入力される状態で CKE をアクティブとし、CS、RAS、CAS、WE などのピンはインアクティブ (inactive) として 200 μ s 程度に維持する。PRE 段階では CS、RAS 及び WE をアクティブ、CAS をインアクティブとして ADDR10 を 1 に設定してフレームメモリ 420 の全てのバンクをプリーチャージする。AR 段階では CS、RAS 及び CAS をアクティブ、WE をインアク

タイプとしてプリチャージされたメモリをリフレッシュし、このAR段階を2回以上繰り返す。MRS段階ではCS、RAS、CAS及びWEをアクティブとしてBA0、BA1、ADDR0乃至ADDR10にMRS値を与えて、CASレイテンシLT(2または3)、バースト長さ(1、2、4、8またはフルページ)及びバーストタイプを設定する。

【0052】このようなパワーアップ段階を経た後、フレームメモリ420をバースト読取またはバースト記録することができる。以下ではパワーアップ段階のMRS段階でバースト長さがフルページに設定された場合について説明する。

【0053】図5Bを参照してフレームメモリ420をバースト読取する方法について説明する。

【0054】まず、BA0及びBA1に読もうとするバンクのアドレスを指定し、CS、RAS及びWEをアクティブ、CASをインアクティブとしてADDR10を0に設定して手動で指定したバンクをプリチャージする(PRE0)。プリチャージした後ADDR0乃至ADDR10に読取しようとするデータが記録されている行のアドレスを指定し、CS及びRASをアクティブ、CAS及びWEをインアクティブとして、このように指定された行をアクティブ状態にする(RA0)。PRE0及びRA0段階ではまだ有効なデータを読んでいないのでDQMはアクティブになっている。

【0055】次に、ADDR0乃至ADDR7に読もうとする第1データの列アドレスを指定し、CS及びCASをアクティブ、RAS及びWEをインアクティブとしてADDR10を1に設定してCAS命令をする(RD0)。CAS命令をする時はDQMをアクティブとしてCAS命令がうまく入るようにし、次のクロックからはデータを読むためにDQMをインアクティブとする(RD0)。

【0056】ここで、CASレイテンシ(LT)が2に設定された場合にはCAS命令から2クロック以降からデータを読まなければならないが、読取状態でDQM命令は2クロック以降に作動する。つまり、CAS命令の次の2クロックではDQMがまだアクティブ状態であるのでデータを読むことができず、その次のクロックからデータを読むことができる。したがって、ADDR0乃至ADDR7を設定する時、アドレスは(読もうとする第1データの列アドレス-1)に指定しなければデータを正常に読むことができない。図5Bに示したように、Q1からデータを読む時は、アドレスはQ0に指定しなければならない。しかし、CASレイテンシ(LT)が3である場合には、このような問題が発生しないのでADDR0乃至ADDR7には読もうとする第1データの列アドレスを指定すればよい。

【0057】このようにDQMがインアクティブに変わった場合から256セルのデータが指定された列アドレ

スから順次にバースト読取される。この時、図4に示したようにデータピンと第2グループピンがバスを共有しているのでデータを読む時RAS、CAS、WE、BA、ADDR0乃至ADDR10の状態が変わることがあるが、バスが共有されていないCSをインアクティブに維持し続けられればフレームメモリ420には命令が入らず、データピンがアクティブ状態となる。

【0058】XGAディスプレイの場合には1ラインに1024画素があるので一つのバンクの一つの行にある256セルだけではこの画素を記録することはできない。したがって、一つのバンクの一つの行を読んだ後、次のバンクを引続き読まなければならない。

【0059】PRE0段階のように読もうとする次のバンクのアドレスをBA0及びBA1に指定して前のバンクの最後の有効なデータの次のクロックまたはそれより後にプリチャージする(PRE1)。しかし、前述したように読取状態でDQM命令は2クロック以降に作動するので最後の有効なデータ1クロック前にDQMをアクティブとして最後の有効なデータの次のクロックからデータピンをマスキングする。プリチャージした後のCAS命令をおろす動作(RA1)及びバースト読取動作(RD1)は前述したRA0及びRD0の段階と同一であるので説明を省略する。

【0060】しかし、ディスプレイ用データが連続的に入力されることは反対に、このように一つのバンクのデータを読んでから次のバンクのデータを読めば、時間的な差が生じる。このような時間的な差を補償するためにデータ階調信号補正部400内部にキャッシュメモリ(図示せず)をおくことができる。データ階調信号補正部400に伝達される現在フレームの階調信号を一時的にキャッシュメモリに記録し、これを適切なタイミングで読み出し再生した信号をフレームメモリ420に伝達することによってこのような時間的な差を補償することができる。

【0061】バンクを変えていきながら一つのラインのデータを全て読めば、最後のバンクの最後の有効なデータの1クロック前にDQMをアクティブとして有効なデータの次のクロックからデータピンをマスキングし、次のラインのデータを読めばよい。次のラインのデータを読む過程は前述した一つのラインのデータを読む過程と同一であるので説明を省略する。

【0062】次に、図5Cを参照してフレームメモリ420にバースト記録する方法について説明する。

【0063】バースト記録過程はCASレイテンシ(LT)がないということを除けばバースト読取過程と同一である。

【0064】詳細に説明すれば、バースト読取でのPRE0段階のように記録しようとするバンクをプリチャージし(PRE0)、記録しようとする行をアクティブ状態にする(RA0)。記録状態ではDQM命令はレイ

テンシ (L T) なく直ちにそのクロックサイクルに作用するので、読取状態と異なって C A S 命令をおろす時まで D Q M をアクティブに維持し、次のクロックから D Q M をインアクティブに設定する (W R 0) 。そして、 A D D R 0 乃至 A D D R 7 に記録するデータの列アドレスを指定する時、データは C A S 命令の次のクロックから入力されるので、記録するアドレスより 1 (またはそれ以上) 先のアドレスに指定する。このようにすれば、 C A S 命令の次のクロックから 2 5 6 セルのデータが順次に記録される。

【 0 0 6 5 】バースト記録でも一つのバンクの一つの行には 2 5 6 個のセルだけがあるので、次のバンクに引き続き記録しなければならない。次のバンクに記録する時はバースト読取と異なってレイテンシ (L T) がないので、最後の有効なデータの次のクロックから D Q M をアクティブとする。その後の動作 (P R E 1 、 R A 1 、 W R 1) はこの技術分野における通常の知識を有する者が図面と前記説明を参照して容易に実施できるので説明を省略する。

【 0 0 6 6 】バンクを変えていきながら一つのラインのデータを全て記録すれば、最後のバンクの最後の有効なデータの次のクロックから D Q M をアクティブとして有効なデータの次のクロックからデータピンをマスキングし、次のラインのデータを記録する。この過程は前述した一つのラインのデータを記録する過程と同一であるので説明を省略する。

【 0 0 6 7 】このように本発明の第 1 実施例によってデータをバースト読取、バースト記録またはバースト読取後にバースト記録したりバースト記録後にバースト読取することができる。

【 0 0 6 8 】次に本発明の第 2 実施例によるフレームメモリ駆動方法について説明する。

【 0 0 6 9 】本発明の第 1 実施例によるフレームメモリ駆動方法では一つのバンクを読取または記録するたびにプリーチャージしたが、第 2 実施例では一つのラインのデータを読取または記録する時全てのバンクをプリーチャージする。

【 0 0 7 0 】詳細に説明すれば、一つのラインのデータを読取または記録する前に第 1 バンクのプリーチャージ段階 (P R E 0) で C S 、 R A S 及び W E をアクティブ、 C A S をインアクティブとして A D D R 1 0 を 1 に設定し、全てのバンクをプリーチャージする。その後、次のバンクを読取または記録する時はプリーチャージ段階 (P R E 1) を省略して直ちに C A S 命令をおろせばよい (R A 1) 。他の過程は第 1 実施例と類似しているので説明を省略する。

【 0 0 7 1 】次に、本発明の第 3 実施例によるフレームメモリ駆動方法について説明する。

【 0 0 7 2 】本発明の第 1 及び第 2 実施例によるフレームメモリ駆動方法では手動でプリーチャージ命令をした*50

*が、第 3 実施例ではフレームメモリ内で自動的にプリーチャージする。

【 0 0 7 3 】詳細に説明すれば、 C A S 命令をする時 (R A 0 、 R A 1) A D D R 1 0 を 1 に設定すれば一つのバンクのバースト読取またはバースト記録が終わった後、次のバンクをバースト読取またはバースト記録する時、別途のプリーチャージ命令 (P R E 1) なくフレームメモリ内で自動的にプリーチャージを行う。他の過程は第 1 及び第 2 実施例と類似しているので説明を省略する。

【 0 0 7 4 】以上本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態もまた本発明の権利範囲に属する。

【 0 0 7 5 】

【発明の効果】本発明によれば、データ階調信号補正部がフレームメモリと接続する部分の使用面積を減らしてデータ階調信号補正部のチップサイズを小さくすることができる。

【図面の簡単な説明】

【図 1】本発明の一実施例による液晶表示装置を示す図面である。

【図 2】本発明の一実施例によるデータ階調信号補正部を示すブロック図である。

【図 3】フレームメモリを外装メモリで実現した場合を示すブロック図である。

【図 4】本発明の一実施例によってフレームメモリを外装メモリで実現した場合を示すブロック図である。

【図 5 A】フレームメモリのパワーアップ段階を示すシーケンス図面である。

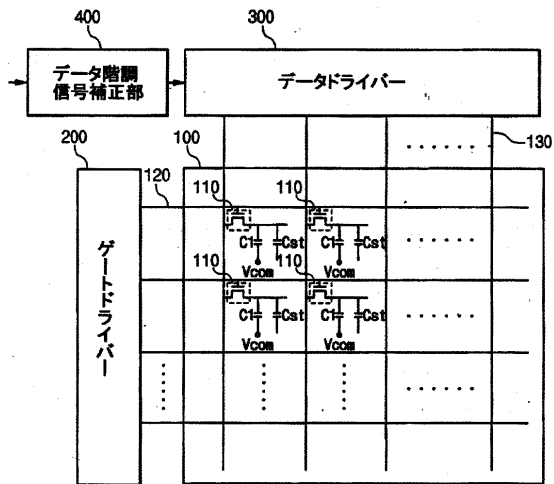
【図 5 B】フレームメモリのバースト読取を示すシーケンス図面である。

【図 5 C】フレームメモリのバースト記録を示すシーケンス図面である。

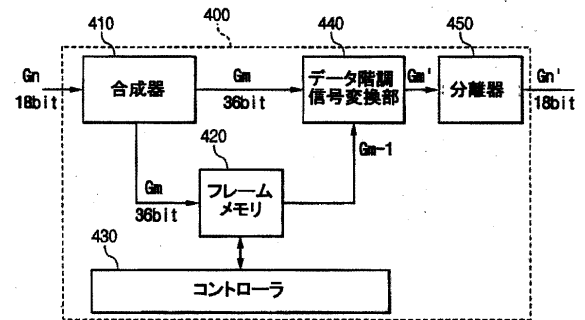
【符号の説明】

1 0 0	液晶パネル
1 1 0	薄膜トランジスタ
1 2 0	ゲート線
1 3 0	データ線
2 0 0	ゲートドライバ
3 0 0	データドライバ
4 0 0	データ階調信号補正部
4 1 0	合成器
4 2 0	フレームメモリ
4 3 0	コントローラ
4 4 0	データ階調信号変換器
4 5 0	分離器

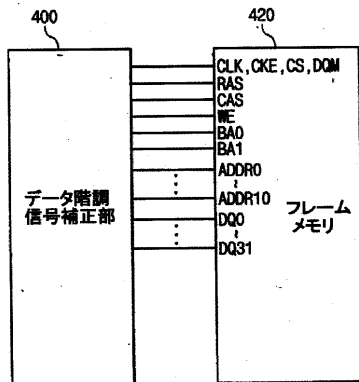
【図1】



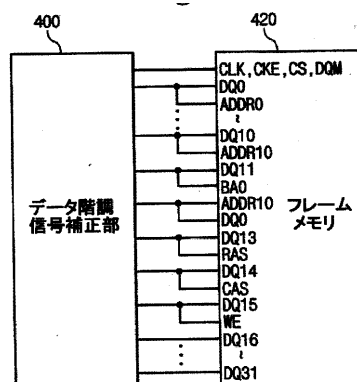
【図2】



【図3】



【図4】



【図5A】

POWER UP															
CS															
Command	NOP	PRE					AR							MRS	
DQM															
Data	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	...	Hi-Z	Hi-Z	Hi-Z	...	Hi-Z	Hi-Z	Hi-Z

【図5B】

BURST-READING

CS															
Command		PRE0			RA0			RD0							
DQM															
Data	LT=2	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2	Q3	Q4
	LT=3	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q0	Q1	Q2	Q3

BURST-READING OF NEXT BANK

CS															
Command			PRE1			RA1			RD1						
DQM															
Data	LT=2	Q254	Q255	Q0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2
	LT=3	Q253	Q254	Q255	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2

END OF LINE

CS															
Command															
DQM															
Data	LT=2	Q254	Q255	Q0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	LT=3	Q253	Q254	Q255	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

【図5C】

BURST-WRITING

CS															
Command		PRE0			RA0			WR0							
DQM															
Data		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	D1	D2	D3	D4	D5	D6	D7

BURST-WRITING OF NEXT BANK

CS															
Command			PRE1			RA1			WR1						
DQM															
Data		D254	D255	D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	D1	D2	D3	D4

CS															
Command															
DQM															
Data		D254	D255	D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

フロントページの続き

(51)Int.Cl.⁷

H04N 5/66

識別記号

102

FI

H04N 5/66

G11C 11/34

テマコード(参考)

102Z

371K

F ターム(参考) 5C006 AF01 AF04 AF06 AF44 AF46
BC16 BF02 BF09 FA13 FA14
FA41 FA51
5C021 PA17 PA79 XA35
5C058 AA06 BA07 BB13
5C080 BB05 DD08 DD22 DD27 EE19
EE29 FF01 FF11 GG12 GG15
GG17 JJ02
5M024 BB26 DD09 PP01 PP03 PP10

专利名称(译)	液晶显示装置及其驱动方法和帧存储器		
公开(公告)号	JP2003302953A	公开(公告)日	2003-10-24
申请号	JP2003031916	申请日	2003-02-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	リーベックウォン		
发明人	リー,ベック ウォン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C11/401 H04N5/20 H04N5/66		
CPC分类号	G09G3/2092 G09G3/3611 G09G2360/121 G09G2360/128 G09G2360/18		
FI分类号	G09G3/36 G09G3/20.631.B G09G3/20.641.P H04N5/20 H04N5/66.A H04N5/66.102.Z G11C11/34.371.K G11C11/4063 G11C5/02.100 G11C7/10.210		
F-TERM分类号	5C006/AF01 5C006/AF04 5C006/AF06 5C006/AF44 5C006/AF46 5C006/BC16 5C006/BF02 5C006/BF09 5C006/FA13 5C006/FA14 5C006/FA41 5C006/FA51 5C021/PA17 5C021/PA79 5C021/XA35 5C058/AA06 5C058/BA07 5C058/BB13 5C080/BB05 5C080/DD08 5C080/DD22 5C080/DD27 5C080/EE19 5C080/EE29 5C080/FF01 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ02 5M024/BB26 5M024/DD09 5M024/PP01 5M024/PP03 5M024/PP10		
优先权	1020020007366 2002-02-08 KR		
外部链接	Espacenet		

摘要(译)

本发明的目的是减少数据灰度信号校正单元连接到帧存储器的部分。根据本发明的液晶显示装置包括数据灰度信号校正单元400，该数据灰度信号校正单元400连接到帧存储器420，用于以突发模式输出和记录数据。数据灰度信号校正单元400从数据灰度信号源接收当前帧的灰度信号，以突发模式将其记录在帧存储器420中，并突发记录在帧存储器420中的前一帧的灰度信号。读取模式，并且生成并输出考虑到当前帧的灰度信号和紧接在前的帧的灰度信号而校正的灰度信号。帧存储器400的数据引脚和命令引脚共享将帧存储器420连接到数据灰度信号校正单元400的总线。

