

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号
特開2003－233086
(P2003－233086A)

(43)公開日 平成15年8月22日(2003.8.22)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
	1/133 550		2 H 0 9 3
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 0 6
	9/35		5 C 0 8 0
G 0 9 G 3/20	623	G 0 9 G 3/20	5 C 0 9 4
		623 V	
審査請求 未請求 請求項の数 6 O L (全 11数) 最終頁に続く			

(21)出願番号 特願2002－34941(P2002－34941)

(22)出願日 平成14年2月13日(2002.2.13)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 岡田 隆史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 田中 幸生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

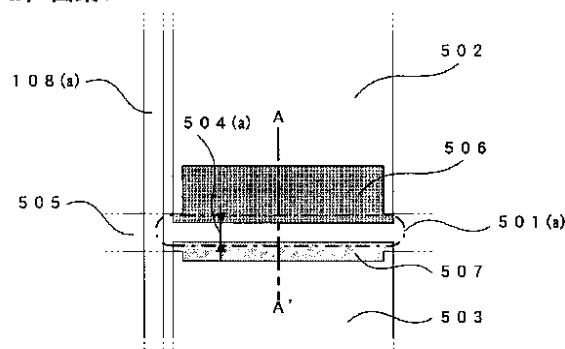
(54)【発明の名称】 液晶表示装置

(57)【要約】

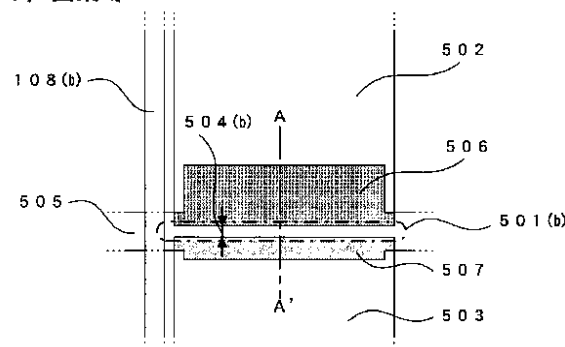
【課題】 大型、高精細液晶表示装置において、低コストを維持し、かつ表示ムラを低減した、すなわち画像性能の高い液晶表示装置を実現する。

【解決手段】 ソース信号駆動回路においてマルチプレクサ構成を採用し、かつ前後段の画素電極間容量の値を、マルチプレクサ駆動により信号が振り分けられる複数のカラムに接続される画素間において異なった値となるように構成する。

(a) 画素P



(b) 画素Q



【特許請求の範囲】

【請求項1】 ソース信号回路にマルチプレクサ駆動を用いる液晶表示装置であって、注目するゲートラインに画素トランジスタを介して接続される画素電極と、同一のソースラインに前記画素トランジスタを介して接続され、前記注目するゲートラインの1ライン後段のゲートラインに画素トランジスタを介して接続される前記画素電極との間に形成される容量値をCddとおくとき、前記マルチプレクサ駆動により、1水平期間内の複数の選択期間で駆動される隣接する前記ソースラインに、前記画素トランジスタを介して接続される前記画素電極の間で、前記Cddを異なった値となるように構成されることを特徴とする液晶表示装置。

【請求項2】 前記1水平期間内の複数の選択期間のうち、最初の前記選択期間で駆動される前記画素電極に相当する前記CddをCdd(V1)、同じく2番目以降の前記選択期間で駆動される前記画素電極に相当する前記Cddを総称してCdd(Vn)とおくとき、表示領域内の全ての前記画素電極において、Cdd(V1) < Cdd(Vn)を満たすように構成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記注目するゲートラインに画素トランジスタを介して接続される画素電極に書き込まれる電圧極性と、前記注目するゲートラインの1ライン後段のゲートラインに画素トランジスタを介して接続される前記画素電極に書き込まれる電圧極性とは、表示領域内の全ての前記画素電極において互いに逆極性であり、かつ前記1水平期間内の複数の選択期間で駆動される前記画素電極にそれぞれ書き込まれる電圧極性は、隣り合う前記画素電極間においては、表示領域内の全ての前記画素電極において互いに逆極性となるよう駆動することを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 ソース信号回路にマルチプレクサ駆動を用いる液晶表示装置であって、注目するゲートラインに画素トランジスタを介して接続される画素電極と、同一のソースラインに前記画素トランジスタを介して接続され、前記注目するゲートラインの1ライン後段のゲートラインに画素トランジスタを介して接続される前記画素電極との間に形成される容量値をCddとおくとき、同じく同一の前記ソースラインに前記画素トランジスタを介して接続される複数の前記画素電極に対応する前記Cddの値が、前記画素電極に、それぞれ前記画素トランジスタを介して接続されている複数のゲートラインおきに規則的に異なる値を有するような前記ソースラインが表示領域内に少なくとも1本は存在するように構成されることを特徴とする液晶表示装置。

【請求項5】 前記注目するゲートラインに画素トランジスタを介して接続される画素電極に書き込まれる電圧極性と、前記注目するゲートラインの1ライン後段のゲートラインに画素トランジスタを介して接続される前記

*画素電極に書き込まれる電圧極性とが互いに逆極性であるときの、前記注目するゲートラインに画素トランジスタを介して接続される画素電極に対応する前記CddをCdd(H1)、同じく前記注目するゲートラインに画素トランジスタを介して接続される画素電極に書き込まれる電圧極性と、前記注目するゲートラインの1ライン後段のゲートラインに画素トランジスタを介して接続される前記画素電極に書き込まれる電圧極性とが互いに同極性であるときの、前記注目するゲートラインに画素トランジスタを介して接続される画素電極に対応する前記CddをCdd(H2)とおくとき、表示領域内の少なくとも特定の一部の領域は、Cdd(H1) < Cdd(H2)を満たすように構成されることを特徴とする請求項4に記載の液晶表示装置。

【請求項6】 前記Cddとして前記Cdd(H1)を有する前記画素電極に書き込まれる電圧と、前記画素電極に前記画素トランジスタを介して接続されている前記同一のゲートラインに属し、かつ前記画素電極に電圧が書き込まれた選択期間の次の選択期間に画素電極に書き込まれる電圧とは互いに逆極性となり、かつ前記Cddとして前記Cdd(H2)を有する前記画素電極に書き込まれる電圧と、前記画素電極に前記画素トランジスタを介して接続されている前記同一のゲートラインに属し、かつ前記画素電極に電圧が書き込まれた選択期間の次の選択期間に画素電極に書き込まれる電圧とは互いに同極性となるように、表示領域内の少なくとも特定の一部の領域は駆動するように構成されることを特徴とする請求項5に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、低コスト、及び高画質を同時に満たすように構成したものである。

【0002】

【従来の技術】近年、液晶表示装置の大型化、高精細化、高画質化が急激に進んでおり、これらの要求を満たすための取り組みが盛んに行われている。

【0003】液晶表示装置の高精細化が進むと、表示部に画像信号を供給するためのソースドライバの出力端子数が増大するためにコスト高になるという問題が生じる。これを解決する方法として、マルチプレクサ駆動がよく用いられる。マルチプレクサ駆動とは、1本のソースドライバからの出力を複数のソースラインに振り分ける駆動方法であり、これによってソースドライバ出力端子数を減らすことが可能となる。例えば、3ライン分のシリアルデータをマルチプレクサ素子に入力し、これをパラレルに変換して画素に書き込む場合は、ソースドライバ出力端子数は3分の1に低減できるため、従来では例えば1パネルにつき3個のソースドライバICが必要であったところを、1個でまかなうことが可能となる。

構成上は、振り分け数はいくつでも可能であるが、通常では2ライン振り分け、或いは3ライン振り分けが一般的である。振り分け数が多くなるとその分、1ソースラインあたりのマルチプレクサゲートのオン期間が短くなり、各ソースラインへのデータ書き込みに対して充電誤差が生じやすくなる。従って、この充電誤差が許容範囲内に入る程度に、ライン振り分け数を決定することが一般的である。

【0004】一方、マルチプレクサ駆動に伴うもう1つの課題として、ソースラインに信号が書き込まれ、マルチプレクサ素子がオフした後、ソースドライバ入力信号レベルが大きく変動することにより、その変動がマルチプレクサ素子等の容量を介して、保持されているソースライン信号を変動させることによる表示ムラが挙げられる。これに対する対策としては、例えば特開2001-109435号公報に開示されているように、マルチプレクサ駆動に伴うソース信号書き込みの振り分け順序を、1水平期間ごとに異なるように駆動することにより、電位変動を分散させて視認しにくいようにする方法や、特開2001-324963に開示されているように、ソースラインの保持電位の変動分に応じて予め入力電位をシフトすることにより補正する方法などが用いられている。

【0005】

【発明が解決しようとする課題】しかしながら、マルチプレクサ駆動に伴うソース信号書き込みの振り分け順序を工夫した場合においても、電位変動が減少するわけではないため、表示ムラは視認される場合もある。又、ソース入力信号で補正する場合も、複雑な調整が必要となるという欠点も有する。

【0006】本発明は、以上のような課題を解決するためになされたものであり、ソース信号供給方法としてマルチプレクサ駆動を用いることによる低コスト化の利点を損なうことなく、表示ムラ等を画質上問題としない水準にまで低減させることを目的とするものである。

【0007】

【課題を解決するための手段】本発明の液晶表示装置は、請求項1に記載のように、ソース信号回路にマルチプレクサ駆動を用いる液晶表示装置であって、注目するゲートラインに画素トランジスタを介して接続される画素電極と、同一のソースラインに前記画素トランジスタを介して接続され、前記注目するゲートラインの1ライン後段のゲートラインに画素トランジスタを介して接続される前記画素電極との間に形成される容量値をCddとおくとき、前記マルチプレクサ駆動により、1水平期間内の複数の選択期間で駆動される隣接する前記ソースラインに、前記画素トランジスタを介して接続される前記画素電極の間で、前記Cddを異なった値となるように構成されることを特徴とする。

【0008】又、請求項4に記載のように、ソース信号

回路にマルチプレクサ駆動を用いる液晶表示装置であって、注目するゲートラインに画素トランジスタを介して接続される画素電極と、同一のソースラインに前記画素トランジスタを介して接続され、前記注目するゲートラインの1ライン後段のゲートラインに画素トランジスタを介して接続される前記画素電極との間に形成される容量値をCddとおくとき、同じく同一の前記ソースラインに前記画素トランジスタを介して接続される複数の前記画素電極に対応する前記Cddの値が、前記画素電極に、それぞれ前記画素トランジスタを介して接続されている複数のゲートラインおきに規則的に異なる値を有するような前記ソースラインが表示領域内に少なくとも1本は存在するように構成されることを特徴とする。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について、図1から図8を用いて説明する。

【0010】（実施の形態1）まず、マルチプレクサ駆動の定義を明確化するために、マルチプレクサ駆動を行うための構成、及び各ノードにおける信号波形について述べる。図6(a)はマルチプレクサ駆動部の構成を示す説明図、図6(b)は従来の駆動方法での各ノードの理想信号波形を示す説明図である。以下に図6を用いて、画素に信号がどのようにして書き込まれるかを順を追って説明する。

【0011】まず、ソース信号入力ノード101にソースシリアル信号入力パルス波形119が外部のソースドライバから入力される。ここでは通常よく用いられるライン反転駆動を想定しており、1水平期間ごとに信号の極性が切り変わる。この際、通常の駆動方法では1水平期間内に入力される信号は1本のソースラインに書き込まれる信号のみであるのに対し、マルチプレクサ駆動では複数本のソースラインに書き込まれる信号を有しており、図6の例では2本分である。すなわち、1水平期間のうち前半と後半に信号を分けてシリアルに2種類のソース信号電位1(119(a))、ソース信号電位2(119(b))を出力しており、通常この期間は等間隔であるので2分の1水平期間ごとに信号を切り換えている。ライン反転駆動の場合はこの1水平期間内のシリアル信号は全て同極性となっているが、ドット反転駆動の場合にはこれらのシリアル信号間も互いに逆極性に交互に出力される。本発明において課題としている表示ムラは、ドット反転駆動の場合に主に発生するものであるため、図6においてはドット反転駆動を想定することになっている。

【0012】次に、画素用ゲート信号入力ノード110に入力されている画素用ゲート信号入力パルス波形120がオンすると、画素用ゲート信号ライン111を通して画素トランジスタ素子1(112(a))、画素トランジスタ素子2(112(b))が導通する。次に、マルチプレクサ用ゲート信号入力ノード1(103)に入

力されているマルチプレクサ用ゲート信号入力パルス波形1(121(a))がオンすると、マルチプレクサ素子1(107(a))が導通し、ソース信号電位1(119(a))が、マルチプレクサ素子1(107(a))、ソースライン1(108(a))、ソース電極1(109(a))、及び画素トランジスタ素子1(112(a))を介して画素電極1(113(a))に書き込まれる。この時、マルチプレクサ用ゲート信号入力ノード2(105)に入力されているマルチプレクサ用ゲート信号入力パルス波形2(121(b))はまだオフ状態であるので、画素電極2(113(b))にはソース信号電位1(119(a))は書き込まれない。マルチプレクサ用ゲート信号入力パルス波形1(121(a))がオフし書き込みが終了した後、マルチプレクサ用ゲート信号入力パルス波形2(121(b))がオンすると、今度はマルチプレクサ素子2(107(b))が導通し、ソース信号電位2(119(b))が、マルチプレクサ素子2(107(b))、ソースライン2(108(b))、ソース電極2(109(b))、及び画素トランジスタ素子2(112(b))を介して画素電極2(113(b))に書き込まれる。この時、マルチプレクサ用ゲート信号入力ノード1(103)に入力されているマルチプレクサ用ゲート信号入力パルス波形1(121(a))はすでにオフ状態となっているので、画素電極1(113(a))にはソース信号電位2(119(b))は書き込まれず、従って直前に書き込まれたソース信号電位1(119(a))を保持している。

【0013】ここで、ソース電極1(109(a))の電位変化、すなわちソース信号出力パルス波形1(122(a))に着目すると、まずマルチプレクサ用ゲート信号入力パルス波形1(121(a))がオンするタイミングで電位が変動し、信号のスルー状態を経て、マルチプレクサ用ゲート信号入力パルス波形1(121(a))がオフした後、そのまま信号のホールド状態に移行するので電位そのものは前の状態が維持される。この状態は、次の1水平期間において再びマルチプレクサ用ゲート信号入力パルス波形1(121(a))がオン状態になるまで維持され、この時点で新たな信号電位に切り替わる。また、ソース電極2(109(b))の電位変化についても同様に、電位が切り替わる。次に、画素電極1(113(a))の電位変化、すなわち画素書き込み電位パルス波形1(123(a))に着目すると、まずソース信号出力パルス波形1(122(a))の変動に追従して電位が変動し、信号のスルー状態を経て、画素用ゲート信号入力パルス波形120がオフした後、そのまま信号のホールド状態に移行するので電位そのものは前の状態が維持される。この状態は、次のフレームにおいて再び画素用ゲート信号入力パルス波形120がオン状態になるまで維持され、この時点で

新たな信号電位に切り替わる。また、画素電極2(113(b))の電位変化についても同様に、電位が切り替わる。以上がマルチプレクサ駆動の基本動作についての説明である。

【0014】尚、図6は簡単のためソースラインの2ライン振り分け方式の場合を例にとって示しているが、3ライン振り分け、もしくはそれ以上についても原理的に可能であり、基本的な動作は同じである。従って、以下の実施の形態に記載する例も、全て2ライン振り分け方式に対して説明するが、これらはあくまで例であり、2ライン振り分け方式のみに限るものではない。

【0015】次に、マルチプレクサ駆動を実際に行う際に表示ムラが発生する原因を、図7を用いて説明する。図7は、マルチプレクサ駆動部の実信号波形を示す説明図である。図7において、ソース信号電位1(119(a))とソース信号電位2(119(b))とは互いに逆極性であるため、電位変動の振幅が大きい。この時、マルチプレクサ用ゲート信号入力パルス波形1(121(a))はすでにオフ状態となっていて、ソース信号出力パルス波形1(122(a))はすでにホールド状態にあるため、マルチプレクサ素子1(107(a))のソース信号入力ライン102、及びソースライン1(108(a))にそれぞれ接続している端子間に生じている容量、或いはソース配線間容量等を介して、上述の電位変動の影響を受けて、ソース信号出力変動電圧201が生じる。一方、画素書き込み電位パルス波形1(123(a))は、ソース信号出力変動電圧201が発生する時点ではスルー状態であるため、ソース信号出力変動電圧201に相当する画素書き込み変動電圧202が生じ、この結果、表示ムラが発生することになり、画質上問題となることがわかる。

【0016】図8は、以上のような駆動回路を有した液晶表示装置を示す説明図である。アレイ基板301上にソースドライバ302、ゲートドライバ303等の他に、マルチプレクサ素子1(107(a))、2(107(b))及び、マルチプレクサ用ゲートライン1(104)、2(106)に、図7に示すようなマルチプレクサ用ゲート信号入力パルス波形1(121(a))、及び2(121(b))を出力するためのマルチプレクサ駆動用コントローラIC304が設けられている。パルス波形は、このマルチプレクサ駆動用コントローラIC304が有するパルス発生機能により生成され、出力される。

【0017】以下に、上記のような表示ムラの課題を解決するための、本発明における実施の形態1について述べる。図2は、本発明の実施の形態1の液晶表示装置において、信号書き込み前後における画素電極の電位波形を示す説明図である。図2において、(a)は図6に示す画素電極1(113(a))（以下、画素Pと記述）、(b)は同じく画素電極2(113(b))（以

下、画素Qと記述)に対する電位波形をそれぞれ示している。ここで、本実施の形態1における駆動方法としては、1水平期間ごとに、画素電位の書込電位が逆極性となる、いわゆる1Hライン反転を想定している。さらに、上下方向に隣り合う画素電極間で形成される容量をCddとおくとき、Cddがある特定の値を有することを想定している。以下に図2を用いて、画素電極の電位変動について順を追って説明する。

【0018】まず、図2(a)において、画素用ゲート信号入力パルス波形(n段目)401がオンすると、ソース信号入力波形402の正極側ソース電位402

(a)に向かい、画素書込電位パルス波形(n段目)403が変化する。次に、画素用ゲート信号入力パルス波形(n段目)401がオフすると、画素書込電位パルス波形(n段目)403はスルー状態からホールド状態へ移行する。その後、1水平期間遅れて同様に画素用ゲート信号入力パルス波形(n+1段目)404がオンすると、ソース信号入力波形402の負極側ソース電位402(b)に向かい、画素書込電位パルス波形(n+1段目)405が変化する。この際に、画素書込電位パルス波形(n段目)403が、画素書込電位パルス波形(n+1段目)405が変化するタイミングで、負極側に若干の電位変動を生じている。これは、上述したCddの容量を介して画素書込電位パルス波形(n+1段目)405の変動が画素書込電位パルス波形(n段目)403に影響したためである。同様にして画素書込電位パルス波形(n+1段目)405は、正極側に若干の電位変動を生じる。すなわち、1Hライン反転を想定した場合、Cddを介した電位変動は、表示内の全画素電極に対し、液晶に印加される電圧が小さくなる方向に発生することがわかる。つまり、通常のノーマリーホワイトで動作する液晶を用いた場合では、画面全体にわたり、若干白っぽく表示されることになる。

【0019】尚、図2ではマルチプレクサ駆動を想定しない場合の電位波形を示しており、本実施の形態1はマルチプレクサ駆動を前提としたものであるが、上記画素電位の変動の仕方はマルチプレクサ駆動とは本質的に無関係な現象であるため、説明の煩雑さを避けるために、マルチプレクサ駆動を想定しない場合について説明を行った。

【0020】ところで、本発明の目的はマルチプレクサ駆動に起因する表示ムラを低減することであるが、図6における画素電極1(113(a)) (画素Pに相当)、画素電極2(113(b)) (画素Qに相当)において、上記容量Cddが同じ値である場合は、上記表示ムラは何ら解決されない。そこで本発明は、上記容量Cddを介した電位変動を積極的に利用し、画素Pと画素Qとで上記容量Cddの値を故意に異ならせるように構成することで、表示ムラを低減させることを目論んだものである。以下にそのメカニズムについて説明する。

【0021】画素P、及び画素QにおけるCddの値をそれぞれCdd(P)、及びCdd(Q)とおくと、図2に示すCdd(P)起因での画素電位変動量 ΔV_p (Cdd)406(a)、及びCdd(Q)起因での画素電位変動量 ΔV_q (Cdd)406(b)は、Cdd(P)とCdd(Q)の大きさの比に応じて変化する。そこで、画素P、及び画素Qの全変動量をそれぞれ ΔV_p 、 ΔV_q とおくと、これらはCdd(P)起因での画素電位変動量 ΔV_p (Cdd)406(a)、Cdd(Q)起因での画素電位変動量 ΔV_q (Cdd)406(b)、及びソース信号出力変動電圧 $\Delta V(Cmx)$ 201を用いて以下のように表せる。

【0022】 $\Delta V_p = \Delta V_p(Cdd) + \Delta V(Cmx)$ 、 $\Delta V_q = \Delta V_q(Cdd)$

ここで、電圧変動が小さくなる方向をマイナスと考えると、 $\Delta V_p(Cdd) < 0$ 、 $\Delta V_q(Cdd) < 0$ 、 $\Delta V(Cmx) < 0$ となる。表示ムラは、 $\Delta V_p - \Delta V_q \neq 0$ となることに対応する。ここで、Cdd(P) = Cdd(Q)の場合、 $\Delta V_p(Cdd) = \Delta V_q(Cdd)$ となり、 $\Delta V_p - \Delta V_q = \Delta V(Cmx) \neq 0$ となり、表示ムラが発生する。そこで、Cdd(P) < Cdd(Q)とした場合を考える。この場合、 $|\Delta V_p(Cdd)| < |\Delta V_q(Cdd)|$ となり、 $0 < |\Delta V_p - \Delta V_q| < |\Delta V(Cmx)|$ 、すなわち表示ムラを低減することが可能であることがわかる。

【0023】次に、Cdd(P) < Cdd(Q)を実現するための、具体的な画素構成について図1、図3を用いて述べる。図1は、1画素内の構造を示した平面図であり、(a)は画素P、(b)は画素Qをそれぞれ示している。図1において、前後段間の画素容量部(画素P)501(a)はCdd(P)なる容量値を有し、同じく前後段間の画素容量部(画素Q)501(b)はCdd(Q)なる容量値を有し、Cdd(P) < Cdd(Q)となるようにそれぞれ形成されている。Cddなる容量は、画素電極(n段目)502と画素電極(n+1段目)503との間に形成され、これらはいわゆるオーバーラップ容量ではなく、平行平板容量により形成される。この場合、平行平板容量は、画素電極(n段目)502と画素電極(n+1段目)503との間の距離Dintの逆数と、これらの対向する長さLintとの積に比例する形で決定される。従って、容量Cddを異ならしめる方法として、上記2種類の値(Dint、Lint)のどちらかを変化させる、すなわち2通りの方法があり、どちらの方法を用いても良いが、図1ではLintは固定とし、Dintの方を変化させている。図1において、画素電極間距離Dint(P)(画素P)504(a)、及び画素電極間距離Dint(Q)(画素Q)504(b)は、Dint(P) > Dint(Q)となるように構成されており、この結果、Cdd(P) < Cdd(Q)を満足することが可能となっている。図

3は、図1に示した1画素内の構造の平面図におけるA-A'矢視断面図を示したものであり、(a)は画素P、(b)は画素Qをそれぞれ示している。図3において、蓄積容量電極(n段目)505と画素電極(n段目)502との間にいわゆるオーバーラップ容量により、蓄積容量部(n段目)506が形成されている。この蓄積容量部(n段目)506は、書き込まれた画素電位を保持するために必要となるものである。一方、蓄積容量電極(n段目)505と画素電極(n+1段目)503との間にもいわゆるオーバーラップ容量により、蓄積容量電極(n段目)画素電極(n+1段目)間容量部507が形成されている。この容量は、実際には必要な容量ではないにも関わらず、このようなオーバーラップ構成にする理由は、Dintの値を画素によって変えたい時に、画素電極(n+1段目)503のエッジの位置を変更する方法が最も好ましいが、それに伴って開口率が変化するのを防ぐためである。Dintの値を変える方法として、画素電極(n段目)502のエッジの位置を変更する方法もあり、こちらもオーバーラップ構成であるため開口率の変動はないが、蓄積容量部(n段目)506の容量値が画素によって変化してしまい、表示特性に影響する可能性があるので好ましくない。一方、蓄積容量電極(n段目)画素電極(n+1段目)間容量部507は、画素電極(n+1段目)503のエッジの位置の変更により同じく変化してしまうが、上述のようにもともと必要な容量でないので設計的な制約を受けておらず、従って表示上は問題とならない。以上述べたように構成することによって、表示ムラを低減することができる。

【0024】尚、図3の構成は、特にトップゲート型の薄膜トランジスタの形成プロセスを想定した場合の構成となっているが、ボトムゲート型の薄膜トランジスタの形成プロセスを用いる場合においても同様の考え方で構成することは可能である。又、高開口率を実現する、いわゆるHA(High Aperture)構成や、COA(Color Filter On Array)構成を用いても、同様に構成することは可能である。

【0025】(実施の形態2)表示ムラの課題を解決するための、本発明における実施の形態2について以下に述べる。

【0026】まず本題に入る前に、実施の形態1との比較において、前提となる駆動条件についての違いと、その違いを考慮しなければならない背景について述べる。実施の形態1では、駆動方法として1Hライン反転駆動を前提としており、通常はこのような方法を用いる。それに対し、実施の形態2は、複数ラインごとのライン反転駆動を前提とするものである。これは、例えばOCB(Optically Compensated Birefringence)液晶など、高速応答する液晶を用いる場合、逆転移と呼ばれる現象を防止するために黒

挿入と呼ばれる駆動を行う必要があるが、これは1走査期間の複数倍の期間に1回の割合で黒信号を書き込むものであり、例えば4H期間に1回の割合で黒信号を書き込む場合は、4ラインごとのライン反転駆動を行う必要が生じる。この駆動方法を4Hライン反転駆動と呼ぶことにし、以下にこれを前提として説明していく。

【0027】図4は、本発明の実施の形態2の液晶表示装置において、信号書き込み前後における画素電極の電位波形を示す説明図である。図4において、(a)は1ライン後段の画素の電位極性が同極性のライン、(b)は同じく1ライン後段の画素の電位極性が逆極性のラインに対する電位波形をそれぞれ示している。ここで実施の形態1の場合と同様に、上下方向に隣り合う画素電極間で形成される容量をCddとおくとき、Cddがある特定の値を有することを想定している。以下に図4を用いて、画素電極の電位変動について順を追って説明する。

【0028】まず、図4(a)において、画素用ゲート信号入力パルス波形(n段目)701がオンすると、ソース信号入力波形702の正極側ソース電位1(702(a))に向かい、画素書込電位パルス波形(n段目)703が変化する。次に、画素用ゲート信号入力パルス波形(n段目)701がオフすると、画素書込電位パルス波形(n段目)703はスルー状態からホールド状態へ移行する。その後、1水平期間遅れて同様に画素用ゲート信号入力パルス波形(n+1段目)704がオンすると、ソース信号入力波形702の正極側ソース電位2(702(b))に向かい、画素書込電位パルス波形(n+1段目)705が変化する。この際に、画素書込電位パルス波形(n段目)703が、画素書込電位パルス波形(n+1段目)705が変化するタイミングで、正極側に若干の電位変動を生じている。これは、上述したCddの容量を介して画素書込電位パルス波形(n+1段目)705の変動が画素書込電位パルス波形(n段目)703に影響したためである。

【0029】次に、図4(b)の後段が逆極性の場合についてであるが、これは実施の形態1の1Hライン反転の類推からわかる通り、負極側に若干の電位変動を生じる。すなわち、1ライン後段の画素の電位極性が同極性の場合と、逆極性の場合とでは電位変動の受ける方向が逆になることがわかる。ところで、4Hライン反転を想定した場合、1ライン後段の画素の電位極性は、同極性が3ライン続いた後、逆極性が1ラインというように、規則的に同極性と逆極性が繰り返される。従って、容量Cddを介した電位変動は、周期的な横筋という形で表示上視認され、表示ムラの新たな原因の1つとなる。

【0030】尚、図2において前に説明したのと同様に、図4においてもマルチプレクサ駆動を想定しない場合の電位波形を示しており、本実施の形態2はマルチプレクサ駆動を前提としたものであるが、上記画素電位の

変動の仕方はマルチプレクサ駆動とは本質的に無関係な現象であるため、説明の煩雑さを避けるために、マルチプレクサ駆動を想定しない場合について説明を行った。

【0031】次に、4Hライン反転に、通常考えられる1Vカラム反転を組み合わせた、いわゆる4H1V反転駆動を想定した場合の充電ムラが生じるメカニズムを図5(a)を用いて説明する。図5(a)は、従来型の4H1V反転駆動における画素電位極性を示す説明図である。図5(a)において、画素は電位変動の受け方によって4種類に分けられる。すなわち、画素P(1ライン後段：同極性)801(a)、画素P(1ライン後段：逆極性)802(a)、画素Q(1ライン後段：同極性)803(a)、画素Q(1ライン後段：逆極性)804(a)の4種類である。この4種類の画素に対し、画素電位の全変動量をそれぞれ、 ΔV_{pp} 、 ΔV_{pm} 、 ΔV_{qp} 、 ΔV_{qm} とおき、Cdd起因での画素電位変動量の絶対値を $|\Delta V(Cdd)|$ 、Cmx起因での画素電位変動量の絶対値を $|\Delta V(Cmx)|$ とおくと、 ΔV_{pp} 、 ΔV_{pm} 、 ΔV_{qp} 、 ΔV_{qm} を、 $\Delta V(Cdd)$ 、 $\Delta V(Cmx)$ を用いて以下のように表せる。

【0032】

$$\begin{aligned}\Delta V_{pp} &= +|\Delta V(Cdd)| - |\Delta V(Cmx)| \\ \Delta V_{pm} &= -|\Delta V(Cdd)| - |\Delta V(Cmx)| \\ \Delta V_{qp} &= +|\Delta V(Cdd)| \\ \Delta V_{qm} &= -|\Delta V(Cdd)|\end{aligned}$$

ただし、議論の単純化のため、ここでの容量Cddは全画素について共通の値であると仮定する。

【0033】上式からわかるように、画素Pに着目すると、 ΔV_{pp} は $\Delta V(Cmx)$ による電位変動を $\Delta V(Cdd)$ により、低減する方向に作用しているのに対し、 ΔV_{pm} は、逆に $\Delta V(Cmx)$ による電位変動を $\Delta V(Cdd)$ により、増長する方向に作用している。そこで本発明において、4H1V駆動の方法に工夫を施すことにより、充電ムラの低減することを目論んだ。以下にその方法について図5(b)を用いて説明する。

【0034】図5(b)は、本発明における4H1V反転駆動における画素電位極性を示す説明図である。従来型では画素Pと画素Qの極性は、1ライン後段が同極性であろうと逆極性であろうと、常に互いに逆極性であるのに対し、本発明においては、画素P(1ライン後段：同極性)801(b)と同ラインにおける隣りの画素Qの極性は、互いに逆極性となり、かつ、画素P(1ライン後段：逆極性)802(b)と同ラインにおける隣りの画素Qの極性は、互いに同極性となるように駆動されている。すなわち、4ラインに1ラインの割合で、画素Pと画素Qが同極性であるため、完全な1V反転とはなっていない。そもそも従来、1V反転を用いている理由は、2カラム以上の反転駆動においては、画素電極の左右にそれぞれ存在するソース-画素間容量に起因する周

期的な縦筋、或いは表示パターンによってはフリッカが発生する懸念が生じるからである。その意味では本発明の駆動方法はいわば、疑似1V反転ともいえるものであり、4ライン中3ラインは1V反転とすることにより、実際上は、縦筋、フリッカ等は問題ないレベルに抑制されている。この場合の画素電位変動について同様に表すと、

$$\begin{aligned}\Delta V_{pp} &= +|\Delta V(Cdd)| - |\Delta V(Cmx)| \\ \Delta V_{pm} &= -|\Delta V(Cdd)| \\ \Delta V_{qp} &= +|\Delta V(Cdd)| \\ \Delta V_{qm} &= -|\Delta V(Cdd)|\end{aligned}$$

となり、従来駆動において問題となっていた、 ΔV_{pm} における電位変動の増長を抑制することが可能となる。一方、 ΔV_{pp} は、 $|\Delta V(Cdd)| - |\Delta V(Cmx)|$ となるように $|\Delta V(Cdd)|$ を制御することにより、 $\Delta V_{pp} = 0$ とすることが可能である。しかしながら、ここで問題となることは、 $\Delta V_{pp} = 0$ となる程度にまで $|\Delta V(Cdd)|$ を大きくとると、今度は $|\Delta V_{pm}|$ 、 $|\Delta V_{qp}|$ 、 $|\Delta V_{qm}|$ が増大してしまう点である。このうち、 ΔV_{qp} については、隣接が $\Delta V_{pp} = 0$ であるため、さほど問題とはならないのに対し、 ΔV_{pm} と ΔV_{qm} とは隣接し、かつ共に同程度の変動量であることから、横スジとして視認される懸念がある。そこで本発明では、画素P(1ライン後段：逆極性)802(b)と、画素Q(1ライン後段：逆極性)804(b)に対応するCddの値をCdd(H1)とし、1ライン後段が同極性である画素、すなわち画素P(1ライン後段：同極性)801(b)と、画素Q(1ライン後段：同極性)803(b)に対応するCddの値をCdd(H2)とすると、 $Cdd(H1) < Cdd(H2)$ となるように構成する。このとき、画素電位変動量を改めて記述すると、 $\Delta V_{pp} = +|\Delta V(Cdd(H2))| - |\Delta V(Cmx)|$ 、 $\Delta V_{pm} = -|\Delta V(Cdd(H1))|$ 、 $\Delta V_{qp} = +|\Delta V(Cdd(H2))|$ 、 $\Delta V_{qm} = -|\Delta V(Cdd(H1))|$ と表せる。このようにすることにより、 $|\Delta V_{pp}|$ を小さく保ったまま、同時に $|\Delta V_{pm}|$ 、及び $|\Delta V_{qm}|$ も小さく保つことができ、表示ムラをさらに低減することが可能となる。

【0035】尚、本実施の形態2では、説明を簡略化するため、画素Pと画素Qとの間でCddを同じ値として説明を行ったが、これらを互いに異ならしめるよう設定してもよい。特に、画素P(1ライン後段：同極性)801(b)と、画素Q(1ライン後段：同極性)803(b)に対応するCddの値をそれぞれCdd(H2:P)、Cdd(H2:Q)とし、 $Cdd(H2:P) > Cdd(H2:Q)$ を満たすよう設定すれば、 ΔV_{qp} も同時に低減することができ、さらに効果的である。画

素Pと画素QとでCddを異ならせる点については、実施の形態1においてもすでに述べている。ただし、 $Cdd(P) < Cdd(Q)$ であり、不等号が本実施の形態2の場合と逆である点には留意する必要がある。これは、実施の形態1が、1Hライン反転駆動を想定したものであることに起因しており、4Hライン反転においては不等号が逆になることは、実施の形態1からの類推により明らかである。

【0036】尚、 $Cdd(H1) < Cdd(H2)$ を実現するための具体的な画素構成については、実施の形態1において $Cdd(P) < Cdd(Q)$ を実現するための、具体的な画素構成として示した図1、図3の構成を適用することが可能であることはいうまでもない。以上述べたように構成することによって、表示ムラを低減することができる。

【0037】尚、本実施の形態2においては、発明の要素として2つの項目がある。すなわち、4H1V反転駆動の新規方式、及び $Cdd(H1) < Cdd(H2)$ とする画素構成であり、本実施の形態2の記述では、まず最初に4H1V反転駆動の新規方式の効果について述べ、次にこの駆動方式を前提とし、さらに $Cdd(H1) < Cdd(H2)$ の構成を組み合わせることで、さらなる効果が得られることを述べたが、これらはそれぞれ単独で用いる場合においても個別に効果を奏するものである。上述したように、OCB液晶等を用いる際に必要となる黒挿入駆動を行うためには例えば4H1V反転のような、複数ラインごとの反転駆動を用いる必要があるが、ここでいう4H1V反転とは、本実施の形態2の記述における、従来型の4H1V反転の場合を指しており、新規方式では黒挿入駆動を行うことはできない。従って、OCB液晶等を用いる場合は、従来型の4H1V反転を用いざるを得ないが、これに本実施の形態2における発明の要素の1つである $Cdd(H1) < Cdd(H2)$ の構成を組み合わせることにより、表示ムラの低減効果を得ることは可能である。一方、OCB液晶等を用いない場合は、このような制約はなく、従来型の4H1V反転、4H1V反転の新規方式、或いは1Hごとの反転というこれら3通りのどれを用いてもよい。この際にこれらの駆動を選定する方法としては、 $\Delta V(Cdd)$ に起因する横筋ムラ要因と、 $\Delta V(Cmx)$ に起因する縦筋ムラ要因のどちらが表示ムラの主要因であるかによって判断すればよい。すなわち、前者の場合であれば1Hごとの反転駆動を用い、後者の場合であれば従来型の4H1V反転を用いればよいが、4H1V反転の新規方式を用いれば、さらに表示ムラは低減される。

【0038】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。すなわち、大型、高精細液晶表示装置において、低コストを維持し、かつ表示ムラを低減した、すなわち画像性能の高

い液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の液晶表示装置における画素構成を示す平面図

【図2】本発明の実施の形態1の液晶表示装置における画素電位波形を示す説明図

【図3】本発明の実施の形態1の液晶表示装置における画素構成を示す断面図

【図4】本発明の実施の形態2の液晶表示装置における画素電位波形を示す説明図

【図5】本発明の実施の形態2の液晶表示装置における画素電位極性を示す説明図

【図6】マルチプレクサ駆動部の構成及び各ノードの理想信号波形を示す説明図

【図7】マルチプレクサ駆動部の実信号波形を示す説明図

【図8】マルチプレクサ駆動部を有する液晶表示装置の全体構成を示す説明図

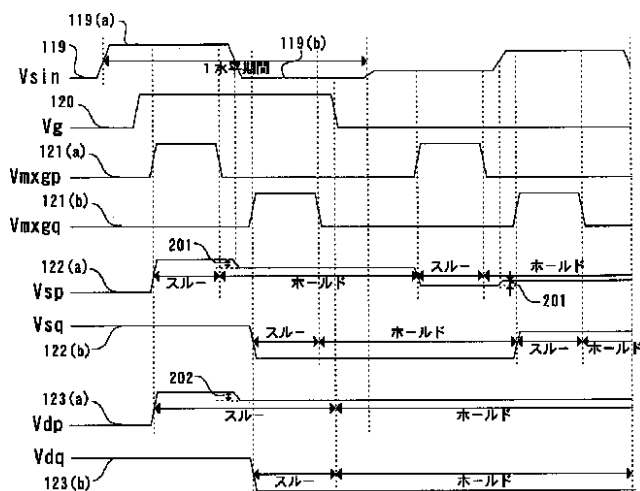
【符号の説明】

- 101 ソース信号入力ノード
- 102 ソース信号入力ライン
- 103 マルチプレクサ用ゲート信号入力ノード1
- 104 マルチプレクサ用ゲートライン1
- 105 マルチプレクサ用ゲート信号入力ノード2
- 106 マルチプレクサ用ゲートライン2
- 107 (a) マルチプレクサ素子1
- 107 (b) マルチプレクサ素子2
- 108 (a) ソースライン1
- 108 (b) ソースライン2
- 109 (a) ソース電極1
- 109 (b) ソース電極2
- 110 画素用ゲート信号入力ノード
- 111 画素用ゲート信号ライン
- 112 (a) 画素トランジスタ素子1
- 112 (b) 画素トランジスタ素子2
- 113 (a) 画素電極1 (画素P)
- 113 (b) 画素電極2 (画素Q)
- 114 (a) 液晶容量1
- 114 (b) 液晶容量2
- 115 (a) 蓄積容量1
- 115 (b) 蓄積容量2
- 116 共通容量線信号入力ノード
- 117 共通容量線信号入力ライン
- 118 対向電極
- 119 ソースシリアル信号入力パルス波形
- 119 (a) ソース信号電位1
- 119 (b) ソース信号電位2
- 120 画素用ゲート信号入力パルス波形
- 121 (a) マルチプレクサ用ゲート信号入力パルス波形1

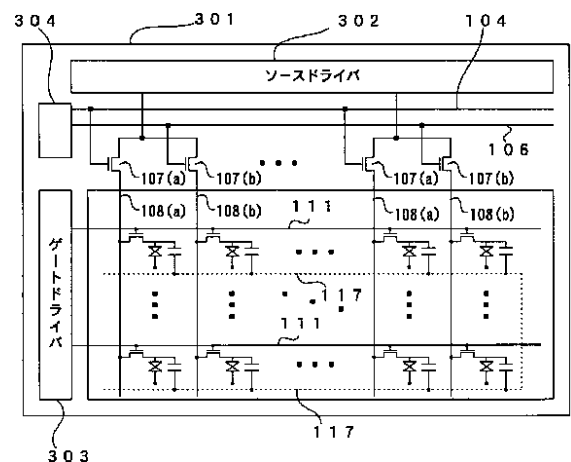
- 1 2 1 (b) マルチプレクサ用ゲート信号入力パルス
波形2
- 1 2 2 (a) ソース信号出力パルス波形1
- 1 2 2 (b) ソース信号出力パルス波形2
- 1 2 3 (a) 画素書き込み電位パルス波形1
- 1 2 3 (b) 画素書き込み電位パルス波形2
- 2 0 1 ソース信号出力変動電圧
- 2 0 2 画素書き込み変動電圧
- 3 0 1 アレイ基板
- 3 0 2 ソースドライバ
- 3 0 3 ゲートドライバ
- 3 0 4 マルチプレクサ駆動用コントローラ I C
- 4 0 1 画素用ゲート信号入力パルス波形 (n 段目)
- 4 0 2 ソース信号入力波形
- 4 0 2 (a) 正極側ソース電位
- 4 0 2 (b) 負極側ソース電位
- 4 0 3 画素書込電位パルス波形 (n 段目)
- 4 0 4 画素用ゲート信号入力パルス波形 (n + 1 段目)
- 4 0 5 画素書込電位パルス波形 (n + 1 段目)
- 4 0 6 (a) C d d (P) 起因での画素電位変動量 ΔV_p (C d d)
- 4 0 6 (b) C d d (Q) 起因での画素電位変動量 ΔV_q (C d d)
- 5 0 1 (a) 前後段間の画素容量部 (画素 P)
- 5 0 1 (b) 前後段間の画素容量部 (画素 Q)
- 5 0 2 画素電極 (n 段目)
- 5 0 3 画素電極 (n + 1 段目)
- 5 0 4 (a) 画素電極間距離 D i n t (P) (画素 *

- * P)
- 5 0 4 (b) 画素電極間距離 D i n t (Q) (画素 Q)
- 5 0 5 蓄積容量電極 (n 段目)
- 5 0 6 蓄積容量部 (n 段目)
- 5 0 7 蓄積容量電極 (n 段目) - 画素電極 (n + 1 段目) 間容量部
- 6 0 1 ガラス基板
- 6 0 2 アンダーコート絶縁膜
- 10 6 0 3 ゲート絶縁膜
- 6 0 4 層間絶縁膜
- 6 0 5 パッシベーション用絶縁膜
- 7 0 1 画素用ゲート信号入力パルス波形 (n 段目)
- 7 0 2 ソース信号入力波形
- 7 0 2 (a) 正極側ソース電位 1
- 7 0 2 (b) 正極側ソース電位 2
- 7 0 3 画素書込電位パルス波形 (n 段目)
- 7 0 4 画素用ゲート信号入力パルス波形 (n + 1 段目)
- 20 7 0 5 画素書込電位パルス波形 (n + 1 段目)
- 8 0 1 (a) 画素 P (1 ライン後段: 同極性)
- 8 0 1 (b) 画素 P (1 ライン後段: 同極性)
- 8 0 2 (a) 画素 P (1 ライン後段: 逆極性)
- 8 0 2 (b) 画素 P (1 ライン後段: 逆極性)
- 8 0 3 (a) 画素 Q (1 ライン後段: 同極性)
- 8 0 3 (b) 画素 Q (1 ライン後段: 同極性)
- 8 0 4 (a) 画素 Q (1 ライン後段: 逆極性)
- 8 0 4 (b) 画素 Q (1 ライン後段: 逆極性)

【図7】

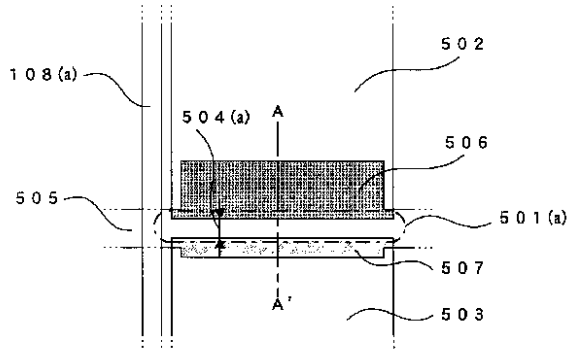


【図8】

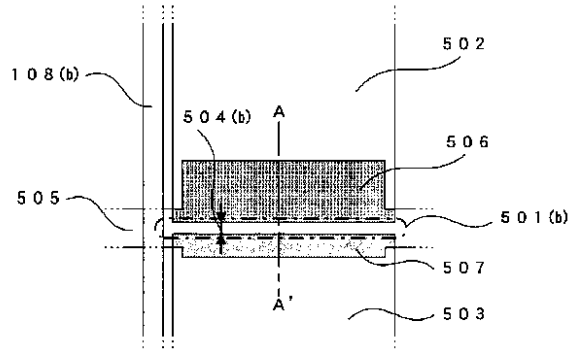


【図1】

(a) 画素P

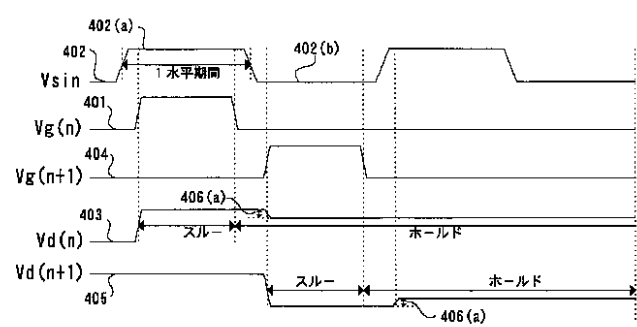


(b) 画素Q

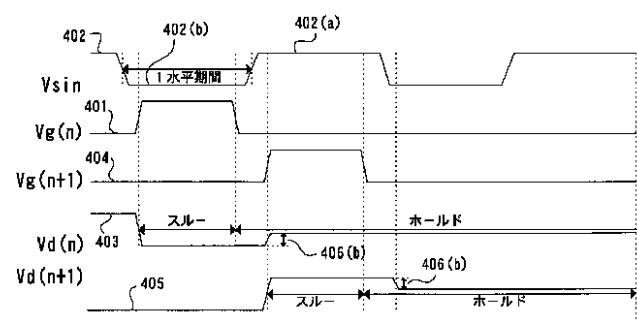


【図2】

(a) 画素P

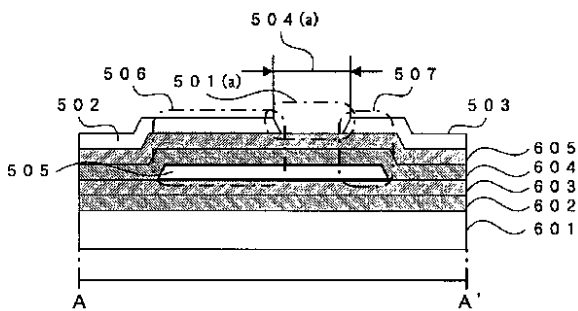


(b) 画素Q

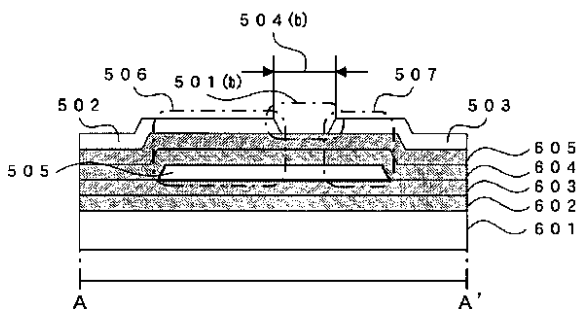


【図3】

(a) 画素P

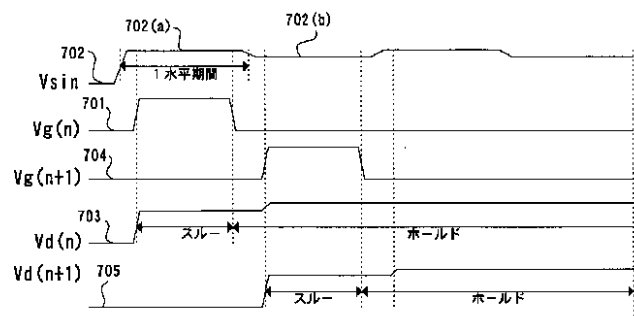


(b) 画素Q

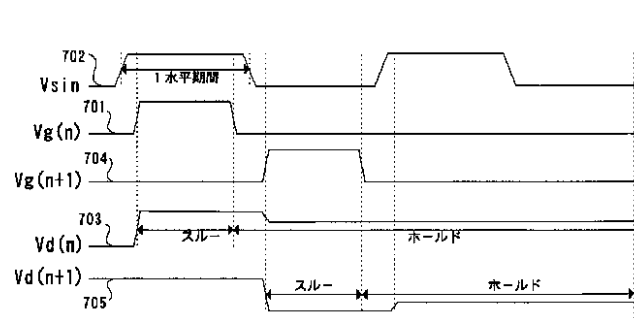


【図4】

(a) 前後段同極性



(b) 前後段逆極性

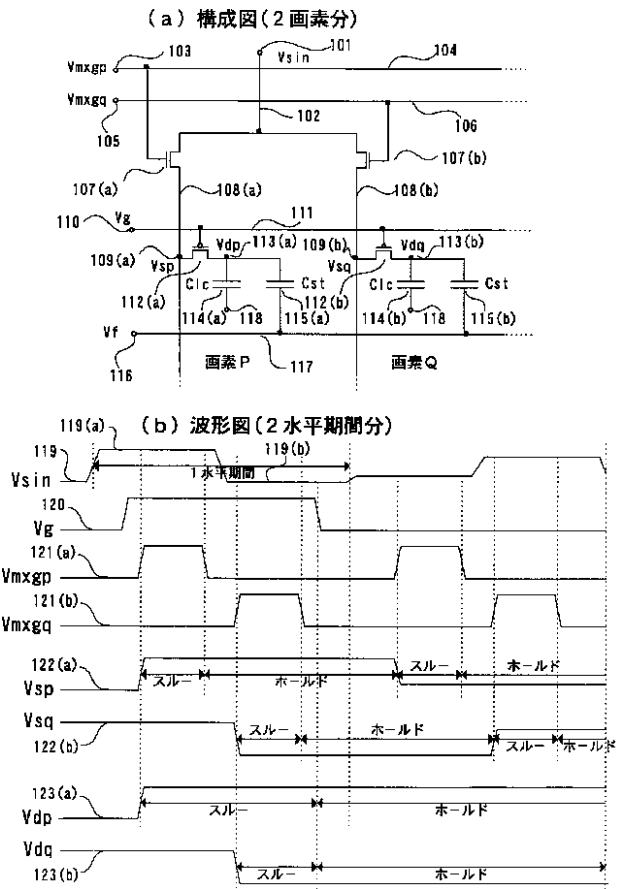


【図5】

(a) 従来			
	画素P	画素Q	
802(a) ~	—	+	804(a)
801(a) ~	+	—	803(a)
801(a) ~	+	—	803(a)
801(a) ~	+	—	803(a)
802(a) ~	+	—	804(a)
801(a) ~	—	+	803(a)
801(a) ~	—	+	803(a)
801(a) ~	—	+	803(a)
802(a) ~	—	+	804(a)
801(a) ~	+	—	803(a)

(b) 本発明			
	画素P	画素Q	
802(b) ~	—	—	803(b)
801(b) ~	+	—	803(b)
801(b) ~	+	—	803(b)
801(b) ~	+	—	804(b)
802(b) ~	+	+	803(b)
801(b) ~	—	+	803(b)
801(b) ~	—	+	803(b)
801(b) ~	—	+	804(b)
802(b) ~	—	—	803(b)
801(b) ~	+	—	803(b)

【図6】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/20		G 0 9 G 3/20	6 2 3 Y
	6 2 4		6 2 4 B
	6 4 2		6 4 2 A
	6 8 0		6 8 0 F
3/36		3/36	

(72)発明者	木村 雅典	F ターム(参考)	2H092 JA24 JB22 JB31 JB61 NA01
	大阪府門真市大字門真1006番地 松下電器産業株式会社内		2H093 NA06 NA16 NA31 NC02 NC16 NC34 NC35 ND10
(72)発明者	熊川 克彦		5C006 AC11 AC26 AC27 AF42 BA19 BB16 BC06 BC08 BC23 FA22 FA38 GA02
	大阪府門真市大字門真1006番地 松下電器産業株式会社内		5C080 AA10 BB05 CC03 DD05 DD07 DD22 DD28 FF11 FF13 JJ02 JJ04 JJ06
			5C094 AA03 AA05 AA14 BA03 BA43 CA19 EA04 EA07 FB19

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003233086A	公开(公告)日	2003-08-22
申请号	JP2002034941	申请日	2002-02-13
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	岡田隆史 田中幸生 木村雅典 熊川克彦		
发明人	岡田 隆史 田中 幸生 木村 雅典 熊川 克彦		
IPC分类号	G02F1/1368 G02F1/133 G09F9/30 G09F9/35 G09G3/20 G09G3/36		
FI分类号	G02F1/1368 G02F1/133.550 G09F9/30.338 G09F9/35 G09G3/20.623.V G09G3/20.623.Y G09G3/20.624.B G09G3/20.642.A G09G3/20.680.F G09G3/36		
F-TERM分类号	2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB61 2H092/NA01 2H093/NA06 2H093/NA16 2H093/NA31 2H093/NC02 2H093/NC16 2H093/NC34 2H093/NC35 2H093/ND10 5C006/AC11 5C006/AC26 5C006/AC27 5C006/AF42 5C006/BA19 5C006/BB16 5C006/BC06 5C006/BC08 5C006/BC23 5C006/FA22 5C006/FA38 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD22 5C080/DD28 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA05 5C094/AA14 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/FB19 2H192/AA24 2H192/CB02 2H192/DA12 2H192/DA65 2H192/DA67 2H192/FB05 2H192/FB22 2H192/GD61 2H192/JA17 2H193/ZA04 2H193/ZB42 2H193/ZF02		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现一种大型低成本，低成本且保持显示不均的液晶显示装置，即具有高图像性能的液晶显示装置。源信号驱动电路采用多路复用器配置，并且在与通过多路复用器驱动向其分配信号的多列连接的像素之间，前级和后级中的像素间电极电容的值不同。要配置。

