

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 290469

(P2001 - 290469A)

(43)公開日 平成13年10月19日(2001.10.19)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	623	G 0 9 G 3/20	5 C 0 8 0

審査請求 未請求 請求項の数 7 O L (全 11数)

(21)出願番号 特願2000 - 104578(P2000 - 104578)

(22)出願日 平成12年4月6日(2000.4.6)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉川 文丈

東京都港区芝五丁目7番1号 日本電気株式
会社内

(74)代理人 100082935

弁理士 京本 直樹 (外 2 名)

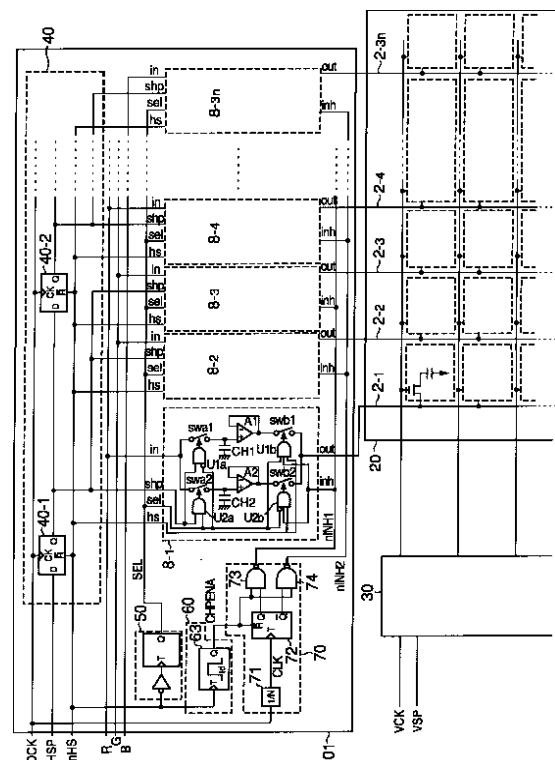
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 表示むら等の発生を抑制し、かつ電流集中を緩和できるデータライン駆動回路を実現する。

【解決手段】 T F T液晶表示パネルの複数のドレインラインすなわち、データラインへのデータ書き込みを行うサンプルホールド (S / H) 回路群を有するデータライン駆動回路において、各 S / H回路は個別にドレインラインへの出力を禁止する機能を有するとともに、液晶表示パネルへのデータ書き込み開始から一定期間、 S / H回路群の出力を時分割で動作させる機能を有する。



【特許請求の範囲】

【請求項 1】 液晶表示パネルの複数のデータラインへのデータ書き込みを行うデータサンプルホールド回路群を有し、前記サンプルホールド回路群の各々は個別に前記データラインへの出力を禁止する機能を有するデータライン駆動回路を備える液晶表示装置において、前記データライン駆動回路は、前記液晶表示パネルへのデータ書き込み開始から一定期間は、前記液晶表示パネルへの書き込み時の電流集中を緩和するようにサンプルホールド回路の出力を時分割で動作させることを特徴とする液晶表示装置。

【請求項 2】 前記サンプルホールド回路群の各々は、動作タイミングが 1 水平同期周期ずれる関係にある 2 系統のサンプルホールド回路を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記データライン駆動回路は、電源給電側よりもっとも遠いサンプルホールド回路の電源電圧及びグランド電圧を監視し、電源給電側の電源電圧、グランド電圧との差が一定値以上となったとき、前記サンプルホールド回路の出力を時分割動作させることにより液晶表示パネルへの書き込み時の電流集中による電源電圧降下、グランド電位上昇を緩和するように構成されていることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】 前記データライン駆動回路は、液晶表示パネルへの映像信号入力を監視し、電源電圧もしくはグランド電圧との電位差が一定値以下となったときのみ前記サンプルホールド回路の出力を時分割動作させることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 5】 前記データライン駆動回路は、液晶表示パネルへの映像信号入力を監視し、前記サンプルホールド回路がホールドしている映像信号との逆転現象に対するマージンが少ないときのみ前記サンプルホールド回路の出力を時分割動作させて、前記液晶表示パネルへの書き込み時の電流集中による電源電圧降下およびグランド電位上昇を緩和することを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 6】 液晶表示パネルの複数のデータラインへのデータ書き込みを行う 2 系統のデータサンプルホールド回路群を有し、前記 2 系統のサンプルホールド回路の各々は動作タイミングが 1 水平同期周期ずれる関係であるとともに、個別に前記データラインへの出力を禁止する機能を有するデータライン駆動回路を備え、かつ、前記データライン駆動回路は、前記液晶表示パネルへのデータ書き込み開始から一定期間は、前記液晶表示パネルへの書き込み時の電流集中を緩和するようにサンプルホールド回路の出力を時分割で動作させることを特徴とする液晶表示装置。

【請求項 7】 水平同期周期で映像データのサンプリングと、データラインへの書き込みとを交互に行うサン

ルホールド回路を 1 データラインあたり 2 系統もつデータライン駆動回路を備え、前記水平同期信号の立ち上がりから一定期間、互いに逆位相の一对のトグル状出力禁止信号を出力する出力禁止信号発生回路と、前記水平同期信号の立ち下がり毎に反転する選択信号を出力する選択信号発生回路とを備えることにより、奇数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一对のトグル状出力禁止信号の一方の信号にて制御するとともに、偶数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一对のトグル状出力禁止信号の他方の信号にて制御するものであり、かつ、前記 2 系統のサンプルホールド回路の各々は動作タイミングが 1 水平同期周期ずれる関係であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関し、特に液晶表示パネルのデータライン用の駆動回路に関する。

【0002】

【従来の技術】フルカラーで映像を表示する TFT 液晶表示パネルを駆動する液晶表示パネル駆動回路として、液晶表示パネルのデータライン 1 本あたりに 1 系統のデータサンプルホールド回路を設け、アナログ電圧で映像信号をサンプリング・ホールドする方式でフルカラー表示を行う TFT 液晶表示パネルが広く使用されてきている。

【0003】以下、従来の液晶表示パネルの駆動回路例として、特開平 9-97037 号公報で提案されている駆動回路について、図面を参照して説明する。

【0004】図 9 は同公報に開示の液晶表示パネル駆動装置の構成を示すものであり、TFT タイプの液晶表示パネル 1 とデータライン駆動回路 8 と走査ライン駆動回路 18 とからなる。データライン駆動回路 8 としては、液晶パネル 1 の複数のデータライン 2-1 ~ 2-n について 1 本あたりに 1 系統のデータサンプルホールド回路（以下、S/H 回路と称す）を有し、液晶パネル 1 の複数のデータライン 2-1 ~ 2-n の各 1 本毎または 2 本以上毎にデータ書き込みタイミングを順次ずらせるとともに、S/H 回路がデータ書き込みの終了を検知してから所定時間経過後に次の新しいデータを S/H 回路でサンプリングさせるものを用いるというものである。これにより、ドレインライン 1 本あたり 1 系統のデータ S/H 回路を持つ駆動回路において、データサンプリングタイミングと連動させてデータ書き込みタイミングをずらすことにより書き込み時の電流を分散化するものである。

【0005】より、詳細に述べるならば、図 9 において、2-1 ~ 2-n はデータラインである。3-1 ~ 3

- mは走査ラインである。4 - 1・1 ~ 4 - m・nはそれぞれスイッチング素子である。5 - 1・1から5 - m・nはそれぞれ液晶セルである。6 - 1・1 ~ 6 - m・nはそれぞれ補助容量である。この場合、例えば4 - 1・1と5 - 1・1と6 - 1・1とで液晶表示パネル1の1つの画素を構成している。

【0006】7は液晶表示パネル1の対向電極ラインであり、Vcom 信号が印加される。データライン駆動回路8は、液晶表示パネル1の複数のデータライン2 - 1 ~ 2 - nについて1本あたりに1系統のS / H回路を有し、液晶表示パネル1の複数のデータライン2 - 1 ~ 2 - nの各1本毎または2本以上毎にデータ書き込みタイミングを順次ずらせるとともに、S / H回路がデータ書き込みを終了してから所定時間経過後に次の新しいデータをS / H回路でサンプリングする。9はデータサンプリング用クロックラインであり、走査期間を液晶表示パネル1の横方向画素数nで割った周期のパルスCPHが印加される。10はほぼ水平帰線期間にハイとなるパルスOEH'をデータ入力、パルスCPHをクロックとするn + 2段のシフトレジスタであり、各段のシフトレジスタ出力よりそれぞれパルスOEH'と同じ幅で1CPH期間だけ位相のずれたパルスが出力される。

【0007】11はデータライン駆動回路8内の映像信号ラインである。12 - 1 ~ 12 - nは映像信号を時系列的にサンプリングするスイッチ群である。13 - 1 ~ 13 - nはサンプリングした映像信号をホールドするコンデンサ群である。14 - 1 ~ 14 - nは液晶表示パネルのデータラインに映像信号データを送り出すオペアンプ群である。15 - 1 ~ 15 - nはオペアンプ群の出力電流源群であり、上記シフトレジスタ10の1 ~ n段までの出力パルスがそれぞれ出力電流源群15 - 1 ~ 15 - nに加えられている。16 - 1 ~ 16 - nはアンド回路である。17 - 1 ~ 17 - n + 1はインバータであり、例えばアンド回路16 - 1の出力は出力電流源15 - 1に加えられるパルスの立ち下がりより1CPH期間遅れて立ち上がる1CPH幅のサンプリングパルスとなる。

【0008】データライン駆動回路8は、例えばデータライン2 - 1に対しては16 - 1, 12 - 1, 13 - 1, 14 - 1, 15 - 1で1サンプルホールド回路を構成しており、特にAND回路16 - 1とインバータ17 - 1は論理回路を構成している。シフトレジスタ10の第1段から第n段までの各出力パルスのそれぞれ1段後および2段後の出力パルスを論理演算してn個のスイッチ群12 - 1 ~ 12 - nを制御することによりシフトレジスタ10の第1段から第n段までの各出力パルスのそれぞれ後縁よりクロックパルス1個分遅れたタイミングからクロックパルス2個分遅れたタイミングまでの期間にn個のコンデンサにそれぞれサンプルを行わせる。

【0009】走査ライン駆動回路18は液晶表示パネル

1の走査ライン3 - 1 ~ 3 - mを順番に選択していく回路である。19は走査用のクロックラインであり、1水平周期(以下、1Hと略す)のパルスCPVが印加される。20は垂直スタートパルスSTVと走査用クロックパルスCPVを入力とするシフトレジスタである。21 - 1 ~ 21 - mはシフトレジスタ20の出力バッファ群である。

【0010】以上のように構成された従来の駆動回路について、図10を用いてその動作を以下に説明する。図10において、VIDEOは、液晶表示パネル1を駆動するためにテレビなどの映像信号(R・G・B)を復調、振幅調整、およびガンマ補正し、かつ1Hごとに極性を反転させた信号であり、データライン駆動回路8内の映像信号ライン11に加えられる。

【0011】OEH'は、ほぼ水平帰線期間にハイとなるパルスであり、CPHはシフトレジスタ10のクロックであり、走査期間を液晶表示パネル1の横方向画素数nで割った周期のパルスである。10 - 1 ~ 10 - nは、データライン駆動回路8内のオペアンプ群14 - 1 ~ 14 - nの出力電流源群15 - 1 ~ 15 - nの動作を制御するパルスであり、このパルス10 - 1 ~ 10 - nがハイのときにオペアンプ群14 - 1 ~ 14 - nの各段の出力電流源15 - 1 ~ 15 - nがオンとなり、液晶表示パネル1のデータライン2 - 1 ~ 2 - nに、サンプリングおよびホールドされた映像信号データが送り出される。

【0012】16 - 1 ~ 16 - nはそれぞれデータライン2 - 1 ~ 2 - nに対応した映像信号をサンプリングするための1CPH幅のサンプリングパルスである。Vcomは、液晶表示パネル1の対向電極ライン7に印加される信号であり、VIDEOと同様に、1Hごとに極性反転された信号である。CPVは、走査ライン駆動回路18内のシフトレジスタ20のクロックパルスであり、クロックパルスCPVの立ち上がりから次の立ち上がりまでの期間、走査ライン3 - 1 ~ 3 - mのうち1ラインが選択され、これが順次シフトされていく。

【0013】Iはデータライン駆動回路8のオペアンプ群に流れる電流波形である。オペアンプ群14 - 1 ~ 14 - nにはそれぞれパルス10 - 1 ~ 10 - nがハイとなっている期間に電流が流れている。図10において、期間t1 ~ t2, t2 ~ t3, t3 ~ t4, ..., tn ~ tn+1に、それぞれ液晶表示パネル1のデータライン2 - 1 ~ 2 - nに対応した映像信号データがサンプリングされ、映像信号ホールド用のコンデンサ群13 - 1 ~ 13 - nにサンプリングされた映像信号データがホールドされる。

【0014】次に、期間t1' ~ t1'', t2' ~ t2'', t2' ~ t2'', ..., tn' ~ tn'' (図示せず)に、それぞれデータライン駆動回路8内のシフトレジスタ10の出力パルス10 - 1 ~ 10 - nがハイとなるので、オペアンプ

ブ群 14 - 1 ~ 14 - n が順次アクティブ状態となり、液晶表示パネル 1 のデータライン 2 - 1 ~ 2 - n にデータが書き込まれ、走査ライン駆動回路 18 によって選択された走査ライン 3 - 1 ~ 3 - m に接続されたスイッチング素子 4 - 1・1 ~ 4 - 1・n, 4 - 2・1 ~ 4 - 2・n, 4 - 3・1 ~ 4 - 3・n ~ 4 - m・n を介して液晶表示パネル 1 の横 1 行の画素に順次映像信号データが加えられる。

【0015】以下同様に、データサンプリングとデータ書き込みとを繰り返して、液晶表示パネル 1 のすべての 10 行の画素に映像信号データが加えられ、液晶表示パネル 1 上に映像が表示されることとなる。また、S/H 回路各段のサンプリング動作は、データ書き込みの終了後 1 CPH 幅の期間を置いてから始まる構成となっている。

【0016】図 10 に示されるように、データライン駆動回路 8 のオペアンプ群 14 - 1 ~ 14 - n に流れ込む電流波形は時間的に分散・平均化されるため、電流の尖頭値が小さくなっている。このような構成により、液晶表示パネル 1 の各データライン 2 - 1 ~ 2 - n への映像信号の書き込みがタイミング的に順次ずれていくことになり、データライン駆動回路 8 内のオペアンプ群 14 - 1 ~ 14 - n 等の出力駆動素子群に流れ込む電流を時間的に分散させることができるため、データライン駆動回路 8 の電源ラインおよびアースラインのインピーダンスの影響を軽減させることができるというものである。

【0017】

【発明が解決しようとする課題】この従来例では、書き込み期間をデータライン毎（もしくは複数ライン毎）に順次ずらすことによって電流分散を実現しており、その結果 TFT ゲート ON とデータライン用ドライバの画素 30 への書き込みのタイミングが画面の左右で大きく異なる（書き込み終了からゲートが閉じるまでの時間が異なる）ため、リークなどにより表示むら等が発生する恐れがある。

【0018】本発明は、以上の問題を解決する電流集中を緩和したデータライン駆動回路を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明によれば、液晶表示パネルの複数のデータラインすなわち、ドレイライン 40 へのデータ書き込みを行う S/H 回路群を有するドレイライン駆動回路において、各 S/H 回路は個別にドレイラインへの出力を禁止する機能を有するとともに、液晶表示パネルへのデータ書き込み開始から一定期間、S/H 回路群の出力を時分割で動作させる機能を有することを特徴とする液晶表示装置が得られる。

【0020】また、電源供給側よりもっとも遠い S/H 回路の電源電圧及びグランド電圧を監視し、電源電圧降下もしくはグランド電位上昇検出時、S/H 回路群の出力を時分割動作させる機能をもつことを特徴とする。 50

【0021】さらに、映像信号を監視し、映像信号 S/H 電圧と電源電圧もしくはグランド電圧とのマージンが少ない状態が発生したとき、液晶表示パネルへのデータ書き込み開始から一定期間、S/H 回路群の出力を時分割で動作させる機能を有することを特徴とする。

【0022】とくに本発明によれば、水平同期周期で映像データのサンプリングと、データラインへの書き込みとを交互に行うサンプルホールド回路を 1 データラインあたり 2 系統もつデータライン駆動回路を備え、前記水平同期信号の立ち上がりから一定期間、互いに逆位相の一对のトグル状出力禁止信号を出力する出力禁止信号発生回路と、前記水平同期信号の立ち下がり毎に反転する選択信号を出力する選択信号発生回路とを備えることにより、奇数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一对のトグル状出力禁止信号の一方の信号にて制御するとともに、偶数番目のデータラインに接続された前記サンプルホールド回路の出力を、前記水平同期信号と前記一对のトグル状出力禁止信号の他方の信号にて制御するものであり、かつ、前記 2 系統のサンプルホールド回路の各々は動作タイミングが 1 水平同期周期ずれる関係であることを特徴とする液晶表示装置が得られる。

【0023】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0024】第 1 の実施の形態は、液晶表示パネルへの書き込み開始時に交互書き込み動作を常に行うことにより、書き込み開始時の電流集中を緩和するものである。

第 1 の実施の形態について図 1 を参照して説明する。

【0025】水平同期周期で映像データのサンプリングと、データライン（以下、ドレイラインと称す）への書き込みとを交互に行う S/H 回路を 1 ドレイラインあたり 2 系統もつドレイライン駆動回路 101 は、シフトレジスタ回路 40 と、選択信号発生回路 50 と、書き込みを禁止する禁止期間制御回路 60 と、出力禁止信号発生回路 70 を備える。

【0026】シフトレジスタ回路 40 は複数のフリップフロップ回路 40 - 1、40 - 2・・・を備え、ドットクロック {DCK}、水平スタートパルス {HSP} および水平同期信号 {nHS} が入力されている。選択信号発生回路 50 は、水平同期信号 {nHS} の立ち下がり毎に反転する選択信号 {SEL} を出力する。

【0027】禁止期間制御回路 60 は、水平同期信号 {nHS} の立ち上がりから (td) の一定期間ハイ（以下 "H" と表記する）を出力するワンショットタイマ 61 を備える。禁止信号発生回路 70 は、このワンショットタイマ 61 の出力がロー（以下 "L" と表記する）の期間中リセットされドットクロック {DCK} を分周器 71 により N 分周したクロック信号 {CLK} によりトグル動作する T - フリップフロップ 72 と、その

出力を入力とするANDゲート73, 74により上記一定期間、互いに逆位相の関係にある一対のトグル状出力禁止信号{nINH1, nINH2}を出力する。

【0028】さらに、水平同期信号{nHS}の他に上記出力禁止信号発生回路70の2つ出力{nINH1, nINH2}のどちらか一方を入力とするANDゲートU1b・U2bの出力にて制御される、アンプA1・A2の出力スイッチswb1・swb2を有する、S/H回路8-1~8-3nから構成される。

【0029】次に、本発明の第1の実施の形態の動作について図2を参照して説明する。まず、水平同期信号{nHS}の立ち上がりでワンショットタイマ61の出力{CHPEN A}が一定期間"H"となる。この期間tdは、後述する参考例として説明するように、本発明が適用されない場合、すなわち、通常書き込み状態では、電源ライン、グラウンドラインに集中的に電流が流れる期間(図8の最下段参照)を目安に決められる。その期間はコントラスト等を考慮して、ほぼブランキング期間に相当すると考えて良い。具体例としては、6μsec程度であり、これは、通常の1Hの1/10程度である。

【0030】その結果、T-フリップフロップ72のリセットが解除され、ドットクロック{DCK}をN分周したクロック信号{CLK}を2分周した信号およびその反転信号が出力される。さらに、NANDゲート73, 74により水平同期信号{nHS}の立ち上がりから上記一定期間、交互に"L"となるトグル状の一対の出力禁止信号{nINH1, nINH2}が生成される。

【0031】S/H回路8の動作を、8-1の右半分に図示した回路を代表としS/H系統1(U1a, swa1, CH1, A1, U1b, swb1)を例に説明する。まず、選択信号{SEL}が"L"の期間中、ホールドコンデンサCH1には、シフトレジスタ回路40によりタイミングが決定されるサンプリングパルスshpにより、各ドレインラインに書き込むための映像信号データがホールドされる。

【0032】次に、選択信号{SEL}が"H"の期間中、水平同期信号{nHS}が"H"かつ禁止信号{nINH1, nINH2}のどちらか一方(図1では奇数番目のS/H回路ではnINH1, 偶数番目のS/H回路ではnINH2)と接続されているinh入力が"H"の間、swb1がON状態となりアンプA1を介してホールドコンデンサCH1にホールドされた映像信号データが液晶表示パネル2のドレインライン2-1に出力(out)される。尚、S/H系統2(U2a, swa2, CH2, A2, U1b, swb2)は、動作タイミングが1水平同期周期ずれる以外は同じ動作である。

【0033】ここで、本例においては、2つの禁止信号がS/H回路に交互(nINH1→8-1, 8-

3, . . . , 8-(3n-1), nINH2→8-2, 8-4, . . . , 8-3n)に接続されており、その結果、水平同期信号{nHS}の立ち上がり直後から一定期間、S/H回路の書き込み動作が禁止信号{nINH1, nINH2}との接続に従い交互に行われることになり、ドレインライン駆動回路101の電源ライン及びグラウンドラインに流れる電流のピークは、各々全S/H回路が一斉に動作した場合の半分に抑えられ、電源電圧降下及びグラウンド電位の上昇を低減することができる。

【0034】なお、液晶表示パネル20および走査ライン駆動回路30については、図9の従来例の液晶表示パネル1および走査ライン駆動回路18に対応するものであり、実質的な相違点はないので、ここでは説明を省略する。

【0035】次に、本発明の第2の実施の形態につき、図3を参照して説明する。本実施の形態は、一斉書き込みを行い、駆動回路の内部電源電圧降下(もしくはグラウンド電圧の上昇)を検出した時に交互書き込み動作を行うものである。第1の実施の形態と同様に、書き込み出力制御回路は、S/H回路の電源ライン90の給電部と給電部からもっとも遠い点との電位差、及び、S/H回路のグラウンドライン100の給電部と給電部からもっとも遠い点との電位差を検出する検出器62及び63と、検出器62・63の出力と基準電位Vrefを比較する比較器64と、比較器64の出力の立ち下がりから図示の(td)の一定期間"H"を保持するオフディレイ回路65からなる制御回路602と、この制御回路602の出力が"L"の期間中リセットされドットクロック{DCK}を分周器71によりN分周したクロック信号{CLK}によりトグル動作するT-フリップフロップ72と、その出力を入力とするANDゲート73, 74により禁止信号{nINH1, nINH2}を出力する、禁止信号発生回路70と、第1の実施の形態と同様のS/H回路8-1~8-3nから構成される。

【0036】この第2の実施の形態の動作を図4を参照して以下に説明する。図4は、電源側の電圧降下検出時の動作例を示すものであり、液晶表示パネルへの書き込み開始時、各S/H回路からドレインラインに一斉にデータ出力(画素及び寄生容量への充放電)が行われる。

【0037】この電流は、ドレインライン駆動回路の電源ライン及びグラウンドラインを流れその配線抵抗によりS/H回路の電源電圧降下及びグラウンドライン電位の上昇を招くことになる。

【0038】ここで、電源ライン90の両端は、検出器62の入力に接続されており検出器62は入力差電圧即ち電源ライン90の給電部から終端部の間の電位降下量を出力する。

【0039】又、グラウンドライン100の両端は検出器63の入力に接続されており同様にグラウンドライン100の給電部から終端部の間の電位上昇量を出力する。

【0040】検出器 62, 63 の出力及び基準電圧源 V_{ref} は比較器 64 の入力に接続されており、比較器 64 は、検出器 62, 63 の少なくともどちらか一方の出力電圧が基準電圧源 V_{ref} より大きい時 "H" となる電圧異常検出信号 {WAR} を出力する。

【0041】電圧異常検出信号 {WAR} は、オフディレイ回路 65 により一定時間以上の幅の "H" 信号に整形された制御信号 {CHPEN A} として出力される。制御信号 {CHPEN A} の "H" により、T-フリップフロップ 72 のリセットが解除され、ドットクロック {DCK} を N 分周したクロック信号 {CLK} を 2 分周した信号およびその反転信号が出力され、NAND ゲート 73, 74 により電圧異常検出から一定期間、交互に "L" となる禁止信号 {nINH1, nINH2} が生成される。

【0042】S/H 回路 8 の動作は第 1 の実施の形態と同じであり、その結果、液晶表示パネルへのデータ書き込み時の出力電流により一定値以上の内部電源電圧の降下（もしくはグラウンド電位の上昇）が発生した瞬間及びその後一定期間、S/H 回路の書き込み動作が禁止信号 {nINH1, nINH2} との接続に従い交互に行われることになり、ドレインライン駆動回路 101 の電源ライン 90 及びグラウンドライン 100 に流れる電流のピークは、各々全 S/H 回路が一斉に動作した場合の半分に抑えられ、電源電圧降下、グラウンド電位の上昇を低減することができる。

【0043】次に、本発明の第 3 の実施の形態を図 5 を参照して、説明する。第 1 の実施の形態では、液晶への書き込み開始時に常に交互書き込み動作を行うのに対し、第 3 の実施の形態においては、通常は一斉書き込みを行い、映像信号と電源電圧・グラウンド電位の電位差が小さく両者の逆転関係が起きやすい場合のみ書き込み開始時交互書き込み動作を行うものである。

【0044】図 5 に示すように、書き込み出力制御回路は、映像信号電圧の監視・判定を行う制御回路 603 と S/H 回路の書き込み抑制信号を生成する禁止信号発生回路 70 と S/H 回路 8-1 ~ 8-3n で構成される。

【0045】制御回路 603 は、映像信号サンプリング開始パルス {HSPi} をセット、サンプリング終了パルス {HSPo} の立ち下がりエッジでクリアされるフリップフロップ 66 の出力と、映像信号 $R \cdot G \cdot B$ をデータ入力とし、フリップフロップ 66 の出力を映像信号監視期間入力、垂直同期信号 {nVS} をホールドデータリセット入力とするピークホールド回路 67 と、ピークホールド回路 67 の MAX 値出力・MIN 値出力を基準電圧 $V_H \cdot V_L$ と比較する比較器 68・69 と比較器 68・69 の出力を入力とする OR ゲート 610 と、水平同期信号 {nHS} の立ち上がりから一定期間 "H" を出力するワンショットタイマ 61 と、ワンショットタイマ 61 の出力と OR ゲート 610 の出力とを入力とす

る AND ゲート 611 とから構成される。

【0046】図 6 を参照して、本提案の第 3 の実施の形態の動作を説明する。図 6 は、映像信号 ($R \cdot G \cdot B$) が、矢印 NZ で示す時点で外部ノイズ等により通常より高い電圧の映像信号が入力された時の例を示すものであり、RS フリップフロップ 66 は、サンプリング開始パルス {HSPi} でセットされサンプリング終了パルス {HSPo} でクリアされる監視期間信号 {MON} を出力する。

【0047】映像信号ピークホールド回路 67 は、監視期間信号 {MON} が "H" の間、映像信号 ($R \cdot G \cdot B$) の電圧を監視し、その最大値を MAX 出力に、最小値を MIN 出力にホールドする。尚、各ホールドデータは垂直同期信号 {nVS} 時に MAX 出力はグラウンド電位に、MIN 出力は電源電位にリセットされる。

【0048】比較器 68 は基準電圧 V_H とピークホールド回路 67 の MAX 出力を比較し MAX 出力 $> V_H$ の場合 "H" を出力する。

【0049】又、比較器 69 は基準電圧 V_L とピークホールド回路 67 の MIN 出力を比較し MIN 出力 $< V_L$ の場合 "H" を出力する。

【0050】これらは OR ゲート 610 を介し S/H 電圧注意信号 {WAR} として出力される。更に注意信号 {WAR} と、水平同期信号 {nHS} の立ち上がりで一定期間 (t_d) "H" となるワンショットタイマ 61 の出力は、AND ゲート 611 を介して、禁止信号発生許可信号 {CHPEN A} として出力される。

【0051】したがって、図 6 の最下段の矢印 TW 以降、出力禁止信号発生回路 70 と S/H 回路の動作は、第 1 の実施の形態と同じである。その結果、ノイズ印加などにより、映像信号電圧と電源電圧もしくは映像信号とグラウンド電圧が接近し、両電位間のマージンが少ない状態が発生したとき、液晶表示パネルへの書き込み開始から一定期間は、書き込み動作が禁止信号 {nINH1, nINH2} との接続に従い交互に行われることになり、ドレインライン駆動回路 101 の電源ライン及びグラウンドラインに流れる電流のピークは、各々全 S/H 回路が一斉に動作した場合の半分に抑えられ、電源電圧降下及びグラウンド電位の上昇を低減することができる。

【0052】かつ、通常状態すなわち両電位間に十分なマージンがある時は一斉書き込み動作となるため、書き込み時間を長くとする事ができる。

【0053】以上述べたように、本発明によれば、書き込み開始直後からの一定期間、もしくは、内部電源電圧降下・グラウンド電圧上昇を検出した時、S/H 回路の一斉動作を止め交互動作とすることにより、電源・グラウンド電位と S/H 回路にホールドしている映像信号電圧の逆転関係が発生することを抑制し、ドレインライン駆動回路のラッチアップ等を防止することができる。

【0054】なお、上述の例では、S/H 回路の奇数番

目と偶数番目を交互に制御したが、本発明はそれに限らず、例えば液晶表示パネルの左半分に対応する S / H 回路と右半分に対応する S / H 回路とを交互に制御する場合にも適用できる。さらに、上記の説明では S / H 回路を 1 ドレインラインあたり 2 系統もつドレインライン駆動回路とした場合について述べたが、本発明は、S / H 回路を 1 ドレインラインあたり 1 系統の場合にも適用できることは言うまでもない。

【0055】また、水平同期周期で映像データのサンプリング、データのドレインラインへの書き込みを交互に行う S / H 回路を 1 ドレインラインあたり 2 系統もつドレインライン駆動回路としただけでは、上記本発明の効果は得られない。

【0056】すなわち、各 S / H 回路は個別にデータラインへの出力を禁止する上記実施の形態で説明した機能を省略した場合を、図 7 および図 8 を参照して、以下に参考例として説明しておく。

【0057】ドレインライン駆動回路 101 の書き込み出力制御回路は、水平同期信号 { n H S } の立ち下がり毎に反転する選択信号 { S E L } と水平同期信号 { n H S } を入力とする AND ゲート U1b・U2b にて制御される、アンプ A1・A2 の出力スイッチ swb1・swb2 を有する S / H 回路 8-1 ~ 8-3n、から構成される。

【0058】S / H 回路 8 の動作を、S / H 系統 1 (構成: U1a, swa1, CH1, A1, U1b, swb1) を例に説明する。選択信号 { S E L } が " L " の期間中、まず、ホールドコンデンサ CH1 には、シフトレジスタ回路 40 によりタイミングが決定されるサンプリングパルスにより、各ドレインラインに書き込むための映像信号データがホールドされる。

【0059】次に、選択信号 { S E L } が " H " の期間中、水平同期信号 { n H S } が " H " の間、swb1 が ON 状態となりアンプ A1 を介してホールドコンデンサ CH1 にホールドされた映像信号データが液晶表示パネル 2 のドレインライン 2-1 ~ 2-3n に出力される。

【0060】尚、S / H 系統 2 は、動作タイミングが 1 水平同期周期ずれる以外は同じ動作である。

【0061】従って、この参考例では、水平同期信号 { n H S } が " H " になるタイミングで、全 S / H 回路の書き込み動作が一斉に行われることになる。この例では、常にドレインライン駆動回路の全 S / H 回路が一斉に書き込み動作を行うため、電源ライン・グラウンドライ

ンに集中的な電流が流れ (図 8 の最下段を参照)、電源ライン・グラウンドラインのインピーダンスにより、電源電圧降下・グラウンド電位上昇が大きくなり、S / H でホールドしている信号電圧によっては、両者の反転関係によるラッチアップが発生する恐れがある。

【0062】

【発明の効果】このように、本発明の構成によれば、書き込み開始直後からの一定期間、もしくは、内部電源電圧降下・グラウンド電圧上昇を検出した時、S / H 回路の一斉動作を止め交互動作とすることにより、電源・グラウンド電位と S / H 回路にホールドしている映像信号電圧の逆転関係が発生することを抑制し、ドレインライン駆動回路のラッチアップ等を防止することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態によるデータライン駆動回路を示す回路ブロック図である。

【図 2】図 1 の駆動回路における動作説明用のタイムチャートである。

【図 3】本発明の第 2 の実施の形態によるデータライン駆動回路を示す回路ブロック図である。

【図 4】図 3 の駆動回路における動作説明用のタイムチャートである。

【図 5】本発明の第 3 の実施の形態によるデータライン駆動回路を示す回路ブロック図である。

【図 6】図 5 の駆動回路における動作説明用のタイムチャートである。

【図 7】本発明に關係する参考例によるデータライン駆動回路を示す回路ブロック図である。

【図 8】図 7 の駆動回路における動作説明用のタイムチャートである。

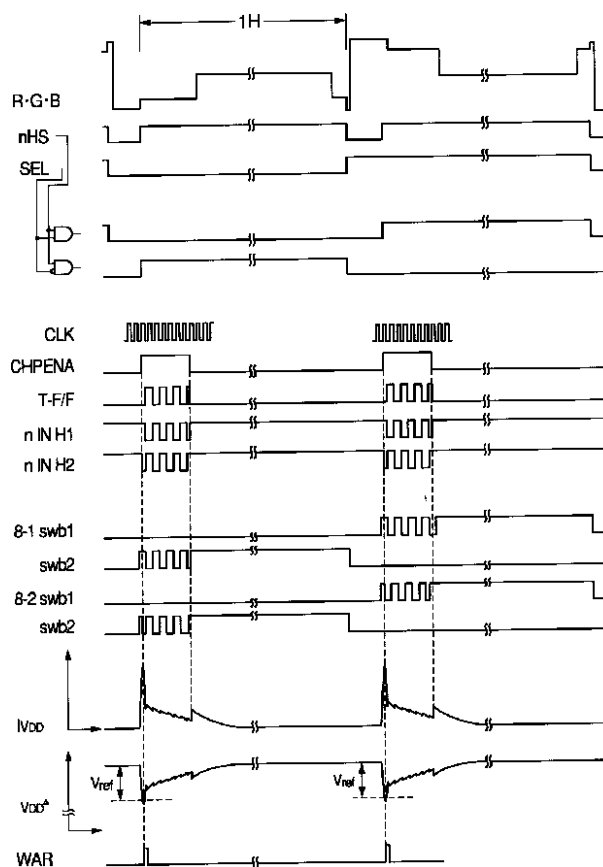
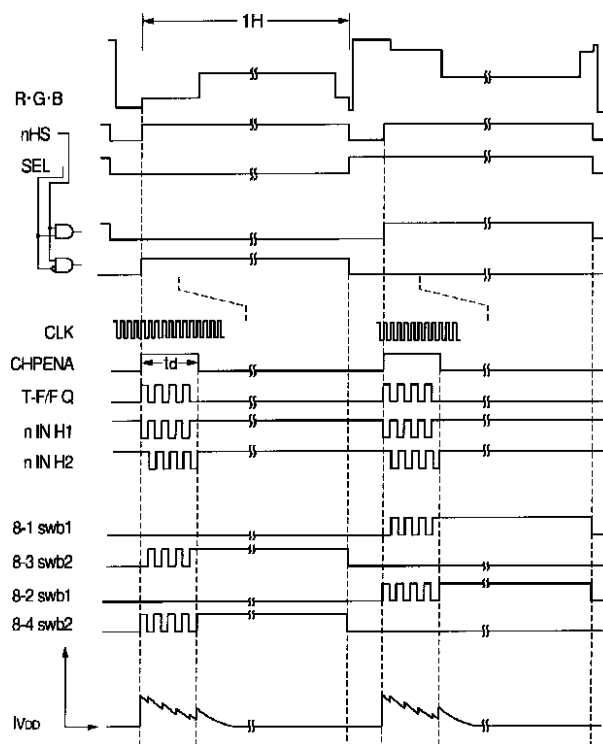
【図 9】従来例によるデータライン駆動回路を示す回路ブロック図である。

【図 10】図 9 の駆動回路における動作説明用のタイムチャートである。

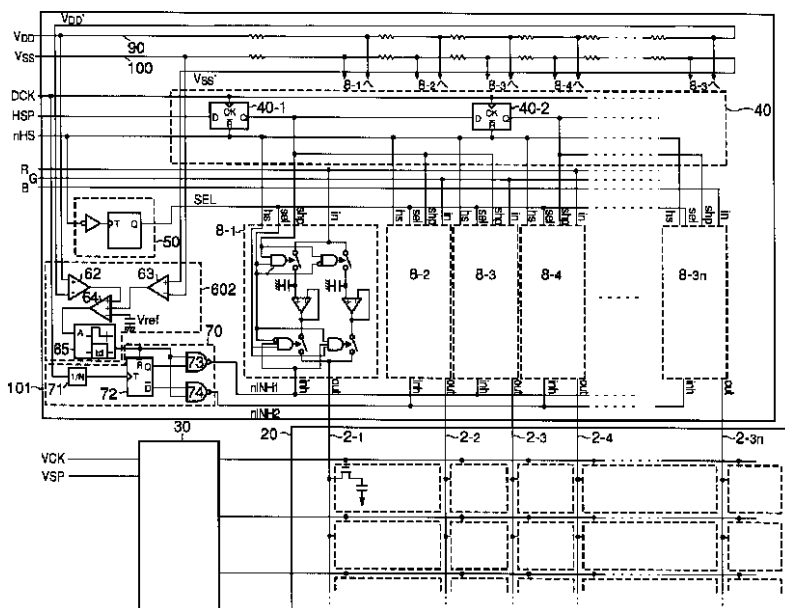
【符号の説明】

- 101 データライン駆動回路 (ドレインライン駆動回路)
- 20 液晶表示パネル
- 30 走査ライン駆動回路
- 40 シフトレジスタ回路
- 50 選択信号発生回路
- 60 禁止期間制御回路
- 70 出力禁止信号発生回路

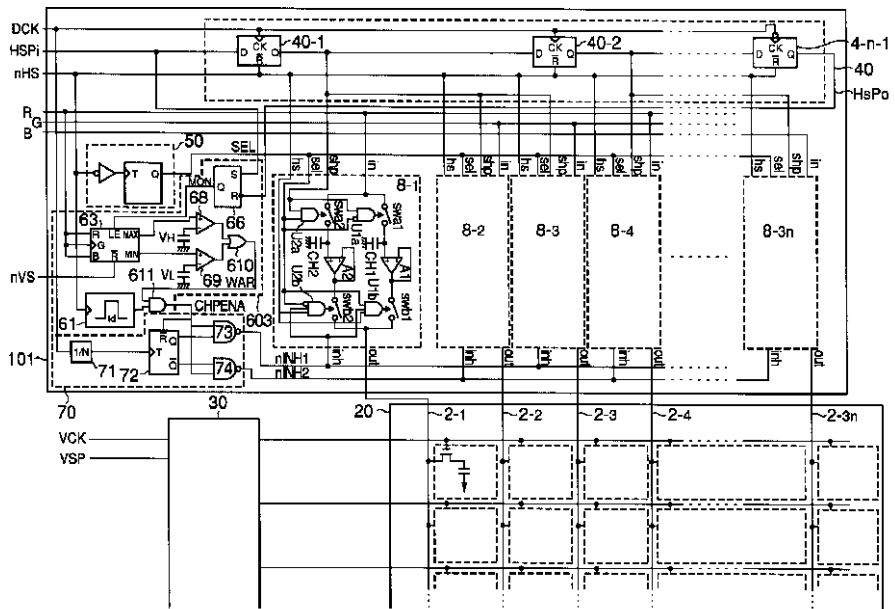
【図4】



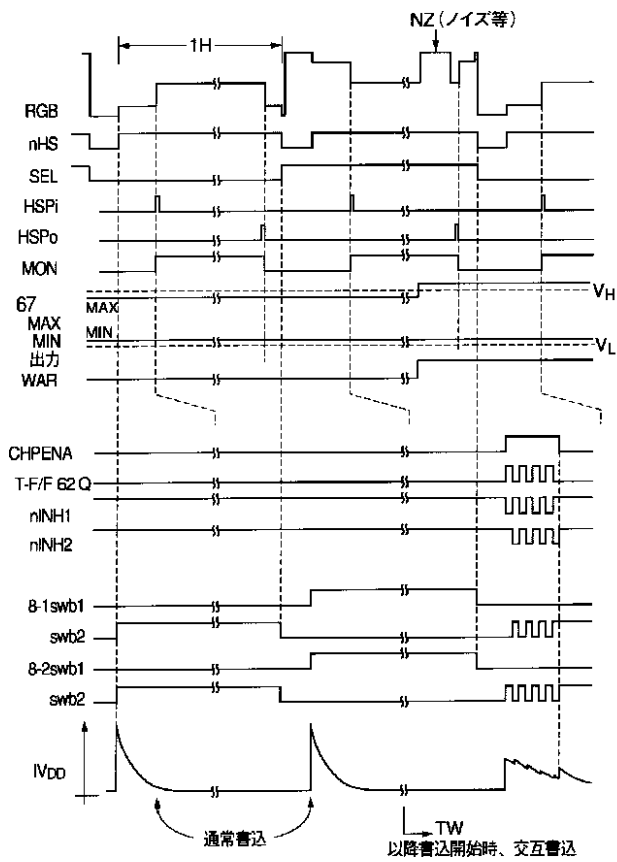
【図 3】



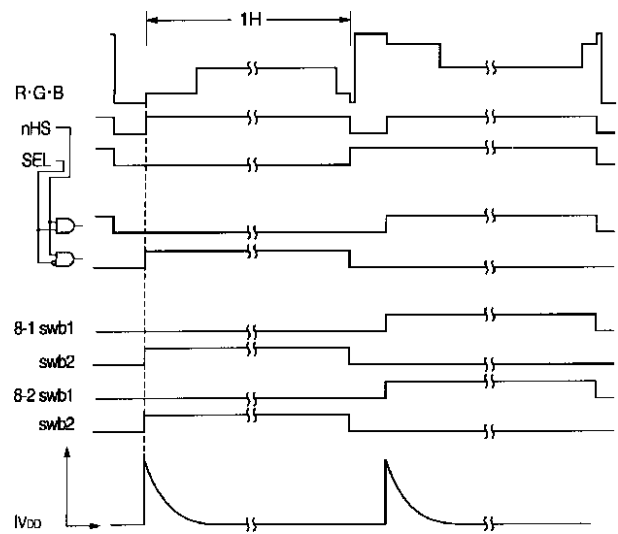
【図5】



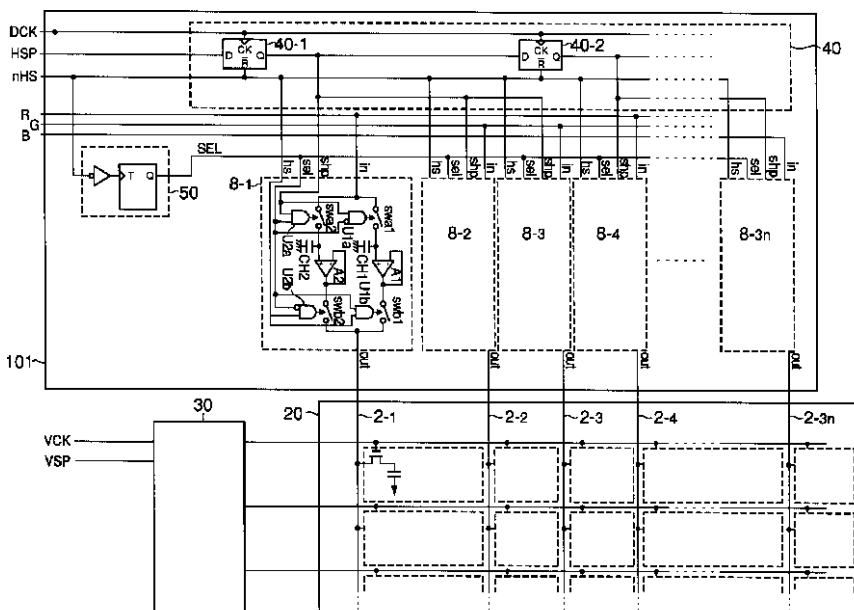
【図6】



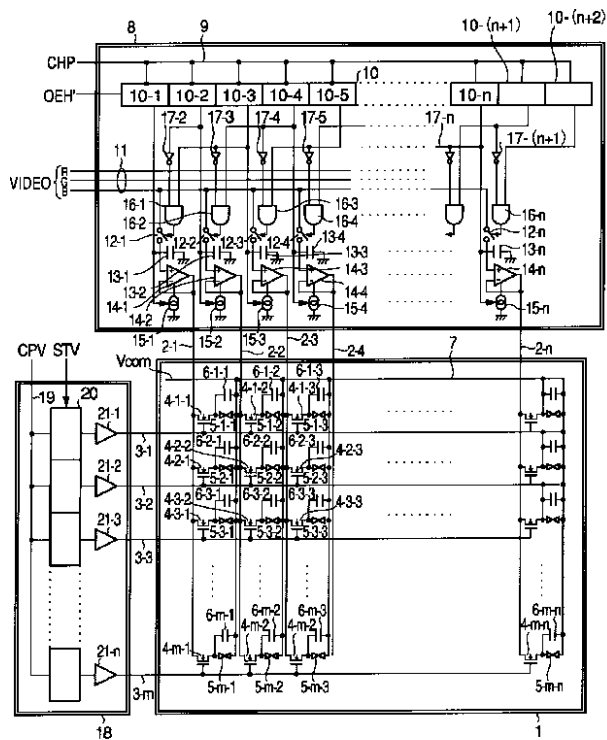
【図8】



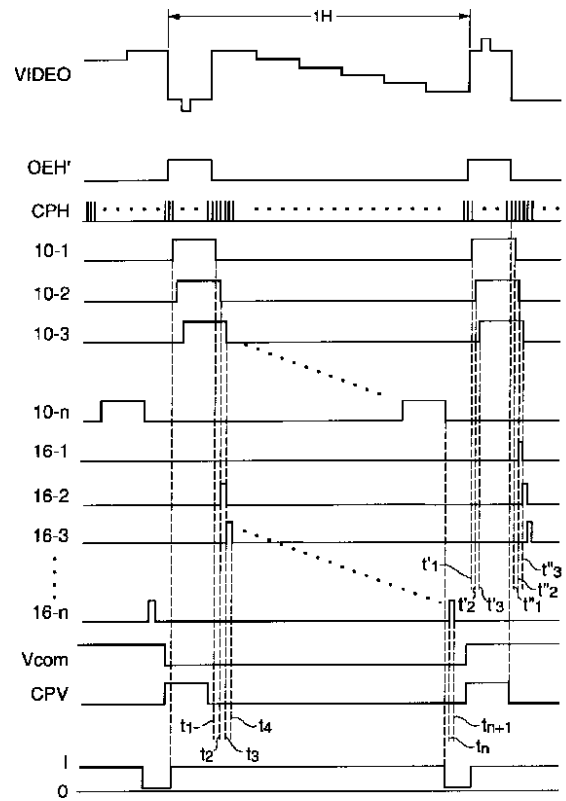
【図7】



【図9】



【図10】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2001290469A	公开(公告)日	2001-10-19
申请号	JP2000104578	申请日	2000-04-06
申请(专利权)人(译)	NEC公司		
[标]发明人	吉川文丈		
发明人	吉川 文丈		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.623.L		
F-TERM分类号	2H093/NA31 2H093/NC22 2H093/NC23 2H093/NC59 2H093/ND01 2H093/ND17 2H093/ND46 2H093/ND60 5C006/AA22 5C006/AC09 5C006/AC21 5C006/BB16 5C006/BC13 5C006/BF11 5C006/BF26 5C006/FA22 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZK21		
外部链接	Espacenet		

摘要(译)

解决的问题：实现能够抑制显示不均的发生并减轻电流集中的数据线驱动电路。在具有多个TFT液晶显示面板的漏极线的数据线驱动电路中，即用于将数据写入数据线的采样保持（S/H）电路组中，每个S/H电路分别是漏极线。从开始向液晶显示面板写入数据开始，S/H电路组的输出以时分方式工作一定时间。

