

(51) Int. Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	621	G 0 9 G 3/20	5 C 0 8 0
	633	633 G	

審査請求 未請求 請求項の数 16 O L (全 16数)

(21)出願番号	特願2000 - 72769(P2000 - 72769)	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成12年3月15日 (2000.3.15)	(71)出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(72)発明者	長尾 将志 千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内
		(74)代理人	100083552 弁理士 秋田 収喜

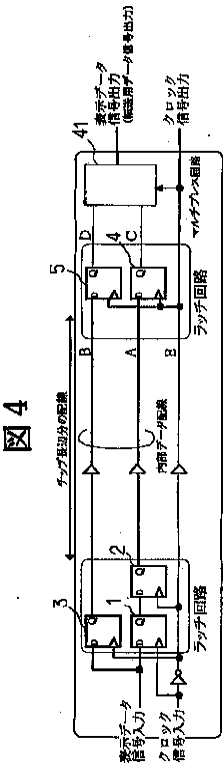
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 表示データおよびクロック信号を各ドレインドライバ間で順次転送する際に、各ドレインドライバで正確に表示データを取り込むことができる液晶表示装置を提供する。

【解決手段】 複数の画素を有する液晶表示素子と、前記画素を駆動する駆動回路とを備える液晶表示装置であって、前記駆動回路は、内部信号線と、外部から入力されるクロック信号の第1のレベルから第2のレベル、および第2のレベルから第1のレベルへの切り替わり時のタイミングに同期して、外部から入力される表示データを取り込み、前記内部信号線に出力するデータ取り込み手段と、前記クロック信号の第1のレベルから第2のレベル、あるいは第2のレベルから第1のレベルへの切り替わり時のタイミングに同期して、前記内部信号線上の表示データを取り込み、外部に出力するデータ出力手段とを有する。



【特許請求の範囲】

【請求項 1】 複数の画素を有する液晶表示素子と、前記画素を駆動する駆動回路とを備える液晶表示装置であって、

前記駆動回路は、内部信号線と、

外部から入力されるクロック信号の第 1 のレベルから第 2 のレベル、または第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期し

て、外部から入力される表示データを取り込み、前記内部信号線に出力するデータ取り込み手段と、

前記クロック信号の第 1 のレベルから第 2 のレベル、あるいは第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して、前記内部信号線上の表示データを取り込み、外部に出力するデータ出力手段とを有することを特徴とする液晶表示装置。

【請求項 2】 前記内部信号線は、前記駆動回路の液晶駆動電圧出力に使用している表示データ転送用の内部バスラインを兼用していることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記データ取り込み手段は、前記クロック信号の第 1 のレベルから第 2 のレベル、または第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して取り込んだ表示データに対して、外部から入力される制御信号に基づき演算を施して前記内部信号線に出力し、

前記データ出力手段は、前記クロック信号の第 1 のレベルから第 2 のレベル、あるいは第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して、取り込んだ前記内部信号線上の表示データに対して前記制御信号で再演算を施して、表示データを外部から入力された状態にして出力することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】 前記データ取り込み手段は、前記外部から入力される表示データが自分の駆動回路内で使用するときは、前記表示データに対して、外部から入力される制御信号に基づき演算を施して前記内部信号線に出力し、前記外部から入力される表示データを次段の駆動回路に出力する場合は、前記クロック信号の第 1 のレベルから第 2 のレベル、または第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して取り込んだ表示データに対して前記演算を行わ

ないで前記内部信号線に出力し、前記データ出力手段は、前記内部信号線上の表示データを演算を行わずにそのまま出力することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】 前記駆動回路は、前記外部から入力されるクロック信号を、外部に出力するクロック出力手段を有し、

前記クロック出力手段は、前記データ出力手段に入力された後のクロック信号を所定時間遅延して外部に出力す

る遅延手段を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】 前記遅延手段は、ディレイロックドループ回路を有することを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】 前記データ出力手段に供給する電源と、前記クロック出力手段に供給する電源とを分離したことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】 前記駆動回路は、前記外部から入力されるクロック信号を、縦続接続されたインバータ回路を通して次段の駆動回路に出力し、

前記インバータ回路の数は、クロック信号入力端子からクロック信号出力端子までの伝送経路中で、回路素子によるクロック信号の論理反転回数が奇数回数になるよう設定されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】 複数の画素を有する液晶表示素子と、前記画素を駆動する駆動回路とを備える液晶表示装置であって、

前記駆動回路は、2 系統の内部信号線と、外部から入力されるクロック信号の第 1 のレベルから第 2 のレベル、および第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングに同期して、外部から入力される表示データを取り込み、交互に一方の内部信号線あるいは他方の内部信号線に出力するデータ取り込み手段と、

前記クロック信号の第 1 のレベルから第 2 のレベル、あるいは第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングに同期して、前記 2 系統の内部信号線上の表示データを取り込み、当該取り込んだ 2 系統の表示データを交互に出力することにより、1 系統の表示データとして出力するデータ出力手段とを有することを特徴とする液晶表示装置。

【請求項 10】 前記内部信号線は、前記駆動回路の液晶駆動電圧出力に使用している表示データ転送用の内部バスラインを兼用していることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】 前記データ取り込み手段は、前記クロック信号の第 1 のレベルから第 2 のレベル、および第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングに同期して取り込んだ表示データに対して、外部から入力される制御信号に基づき演算を施して前記内部信号線に出力し、

前記データ出力手段は、前記クロック信号の第 1 のレベルから第 2 のレベル、あるいは第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングに同期して、取り込んだ前記内部信号線上の表示データに対して前記制御信号で再演算を施して、表示データを外部から入力された状態にして出力することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 12】 前記データ取り込み手段は、前記外部から入力される表示データが自分の駆動回路内で使用するとき、前記表示データに対して、外部から入力される制御信号に基づき演算を施して前記内部信号線に出力し、前記外部から入力される表示データを次段の駆動回路に出力する場合は、前記クロック信号の第 1 のレベルから第 2 のレベル、および第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングに同期して取り込んだ表示データに対して前記演算を行わないで前記内部信号線に出力し、

前記データ出力手段は、前記内部信号線上の表示データを演算を行わずにそのまま出力することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 13】 前記駆動回路は、前記外部から入力されるクロック信号を、外部に出力するクロック出力手段を有し、

前記クロック出力手段は、前記データ出力手段に入力された後のクロック信号を所定時間遅延して外部に出力する遅延手段を有することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 14】 前記遅延手段は、ディレイロックドループ回路を有することを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】 前記データ出力手段に供給する電源と、前記クロック出力手段に供給する電源とを分離したことを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 16】 前記駆動回路は、前記外部から入力されるクロック信号を、縦続接続されたインバータ回路を通して次段の駆動回路に出力し、

前記インバータ回路の数は、クロック信号入力端子からクロック信号出力端子までの伝送経路中で、回路素子によるクロック信号の論理反転回数が奇数回数になるよう設定されていることを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、駆動回路（ドレインドライバ）間でデジタル信号を転送する方式の液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】STN（Super Twisted Nematic）方式、あるいは TFT（Thin Film Transistor）の液晶表示モジュールは、ノート型パソコン等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路を備えている。そして、このような液晶表示装置において、例えば、特開平 6 - 13724 号公報に記載されているように、カスケード接続された駆動回路の先頭の駆動回路にのみ、デジタル信号（例えば、表示データ、あるい

はクロック信号）を入力し、他の駆動回路には、駆動回路内を通して、デジタル信号を順次転送する方式（以下、デジタル信号順次転送方式と称する。）のものが知られている。前記公報（特開平 6 - 13724 号）に記載されている液晶表示装置では、駆動回路を構成する半導体集積回路装置（IC）は、液晶表示パネルのガラス基板に直接実装されているが、例えば、特開平 6 - 3684 号公報に記載されているように、この駆動回路を構成する半導体集積回路装置（IC）をテープキャリアパッケージに搭載し、前述したデジタル信号順次転送方式を採用した液晶表示装置も知られている。

【0003】

【課題を解決するための手段】前述したようなデジタル信号順次転送方式を採用する液晶表示装置では、タイミングコントローラ（または表示制御装置）から送出された表示データとクロック信号とは、各駆動回路内の信号線、および各駆動回路間の伝送線路（ガラス基板上の伝送線路またはテープキャリアパッケージ上の伝送線路）を伝搬することになる。そのため、各駆動回路内の信号線の抵抗および容量、各駆動回路間の伝送線路の抵抗および容量、さらには、各駆動回路と各駆動回路間の伝送線路との接続部の接続抵抗などにより、表示データおよびクロック信号は遅延される。この場合に、この遅延時間は、表示データの各ビット、および、クロック信号毎に相違する。そして、クロック信号と各ビット毎の表示データとの間で、位相のずれが大きくなると、クロック信号で表示データを取り込む際のセットアップ期間、あるいは、ホールド期間が減少し、最悪の場合、各駆動回路で表示データを取り込むことができなくなる恐れがある。

【0004】さらに、表示データを、クロック信号の立ち上がり時点と立ち下がり時点で取り込む、デュアルエッジ取り込み方式の場合には、高速（数 MHz 以上）のクロック信号で表示データを取り込む必要があるため、各駆動回路で表示データを取り込むことができなくなる恐れが大きくなる。このように、デジタル信号順次転送方式を採用する従来の液晶表示装置では、表示データおよびクロック信号の遅延により、各駆動回路で表示データを取り込めなくなり、誤表示が起こる恐れがあるという問題点があった。本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、表示データおよびクロック信号を各駆動回路間で順次転送する際に、各駆動回路で正確に表示データを取り込むことが可能となる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0005】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

10

20

30

40

50

下記の通りである。即ち、本発明は、複数の画素を有する液晶表示素子と、前記画素を駆動する駆動回路とを備える液晶表示装置であって、前記駆動回路は、内部信号線と、外部から入力されるクロック信号の第 1 のレベルから第 2 のレベル、または第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して、外部から入力される表示データを取り込み、前記内部信号線に出力するデータ取り込み手段と、前記クロック信号の第 1 のレベルから第 2 のレベル、あるいは第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して、前記内部信号線上の表示データを取り込み、外部に出力するデータ出力手段とを有することを特徴とする。

【0006】また、本発明は、複数の画素を有する液晶表示素子と、前記画素を駆動する駆動回路とを備える液晶表示装置であって、前記駆動回路は、2 系統の内部信号線と、外部から入力されるクロック信号の第 1 のレベルから第 2 のレベル、および第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングに同期して、外部から入力される表示データを取り込み、交互に一方の内部信号線あるいは他方の内部信号線に出力するデータ取り込み手段と、前記クロック信号の第 1 のレベルから第 2 のレベル、あるいは第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングに同期して、前記 2 系統の内部信号線上の表示データを取り込み、当該取り込んだ 2 系統の表示データを交互に出力することにより、1 系統の表示データとして出力するデータ出力手段とを有することを特徴とする。

【0007】本発明の好ましい実施の形態では、前記内部信号線が、前記駆動回路の液晶駆動電圧出力に使用している表示データ伝送用の内部バスラインを兼用していることを特徴とする。本発明の好ましい実施の形態では、前記データ取り込み手段は、前記クロック信号の第 1 のレベルから第 2 のレベル、または第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して取り込んだ表示データに対して、外部から入力される制御信号に基づき演算を施して前記内部信号線に出力し、前記データ出力手段は、前記クロック信号の第 1 のレベルから第 2 のレベル、あるいは第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して、取り込んだ前記内部信号線上の表示データに対して前記制御信号で再演算を施して、表示データを外部から入力された状態にして出力することを特徴とする。

【0008】本発明の好ましい実施の形態では、前記データ取り込み手段は、前記外部から入力される表示データが自分の駆動回路内で使用するとき、前記表示データに対して、外部から入力される制御信号に基づき演算を施して前記内部信号線に出力し、前記外部から入力される表示データを次段の駆動回路に出力する場合は、前

記クロック信号の第 1 のレベルから第 2 のレベル、または第 2 のレベルから第 1 のレベルへの切り替わり時のタイミングの少なくとも 1 つに同期して取り込んだ表示データに対して前記演算を行わないで前記内部信号線に出力し、前記データ出力手段は、前記内部信号線上の表示データを演算を行わずにそのまま出力することを特徴とする。

【0009】本発明の好ましい実施の形態では、前記駆動回路が、前記外部から入力されるクロック信号を、外部に出力するクロック出力手段を有し、前記クロック出力手段は、前記データ出力手段に入力された後のクロック信号を所定時間遅延して外部に出力する遅延手段を有することを特徴とする。本発明の好ましい実施の形態では、前記遅延手段が、ディレイロックドループ回路を有することを特徴とする。本発明の好ましい実施の形態では、前記データ出力手段に供給する電源と、前記クロック出力手段に供給する電源とを分離したことを特徴とする。本発明の好ましい実施の形態では、前記駆動回路は、前記外部から入力されるクロック信号を、縦続接続されたインバータ回路を通して次段の駆動回路に出力し、前記インバータ回路の数は、クロック信号入力端子からクロック信号出力端子までの伝送経路中で、回路素子によるクロック信号の論理反転回数が奇数の回数になるよう設定されていることを特徴とする。

【0010】前記手段によれば、表示データおよびクロック信号を各駆動回路間で順次転送する方式を採用した液晶表示装置において、各駆動回路で正確に表示データを取り込むことが可能となる。また、各駆動回路内で、表示データおよびクロック信号を転送する内部信号線を、前記駆動回路の液晶駆動電圧出力に使用している表示データ伝送用の内部バスラインで兼用するようにしたので、各駆動回路のチップサイズを小さくすることが可能となる。また、表示データ転送用回路の電源と、クロック信号転送用回路の電源とを分離するようにしたので、クロック信号転送用回路に対する表示データ転送用回路の影響を低減することが可能となる。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[実施の形態 1] 図 1 は、本発明の実施の形態 1 の液晶表示モジュールの表示パネルの基本構成を示すブロック図である。同図に示すように、本実施の形態の液晶表示モジュールは、液晶表示パネル 100 と、タイミングコントローラ 110 と、電源回路 120 と、ドレインドライバ 130 と、ゲートドライバ 140 と、フレキシブルプリント配線基板（以下、FPC 基板と称する。）150 から構成される。液晶表示パネル 100 は、画素電極 PIX、薄膜トランジスタ TFT 等が形成される TFT

基板、対向電極、カラーフィルタ等が形成されるフィルタ基板とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

【0012】各画素は、画素電極PIXと薄膜トランジスタTFTから成り、複数の走査信号線（またはゲート信号線）Gと映像信号線（またはドレイン信号線）Dとの交差する部分に対応して設けられる。なお、本実施の形態では、画素電極PIXの電位を保持するために、保持容量CSTを各画像毎に設けている。CLは、保持容量CSTに基準電圧Vcomを供給するための容量線である。なお、容量線CLは、前のラインの走査信号線Gで代用することもできる。各画素の薄膜トランジスタTFTは、ソースが画素電極PIXに接続され、ドレインが映像信号線Dに接続され、ゲートが走査信号線Gに接続され、画素電極PIXに表示電圧（階調電圧）を供給するためのスイッチとして機能する。なお、ソース、ドレインの呼び方は、バイアスの関係で逆となることもあるが、ここでは、映像信号線Dに接続される方をドレインと称する。

【0013】タイミングコントローラ110と、ドレインドライバ130と、ゲートドライバ140とは、液晶表示パネル100のTFT基板を構成する透明性の絶縁基板（ガラス基板）上に、それぞれ実装される。そして、前述したように、タイミングコントローラ110から送出されたデジタル信号（表示データ、クロック信号等）、および電源回路から供給される階調基準電圧は、先頭のドレインドライバ130に入力され、各ドレインドライバ130内の内部信号線、および各ドレインドライバ130間の伝送線路（ガラス基板上の伝送線路）を伝搬して、各ドレインドライバ130に入力される。ここで、各ドレインドライバ130の電源電圧は、電源回路120からFPC基板150を介して、各ドレインドライバ130に供給される。

【0014】同様に、タイミングコントローラ110から送出されたデジタル信号（クロック信号等）は、先頭のゲートドライバ140に入力され、各ゲートドライバ140内の内部信号線、および各ゲートドライバ140間の伝送線路（ガラス基板上の伝送線路）を伝搬して、各ゲートドライバ140に入力される。但し、ゲートドライバ側では、電源回路120から供給されるゲートドライバ140の電源電圧も、先頭のゲートドライバ140に供給され、各ゲートドライバ140内の内部電源線、および各ゲートドライバ140間の伝送線路（ガラス基板上の伝送線路）を介して、各ゲートドライバ140に供給される。

【0015】タイミングコントローラ110は、1個の

半導体集積回路（LSI）から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ（R・G・B）を基に、ドレインドライバ130、およびゲートドライバ140を制御・駆動する。ゲートドライバは、タイミングコントローラ110から送出されるフレーム開始指示信号（FLM）およびシフトクロック（CL3）に基づき、1水平走査時間毎に、順次液晶表示パネル100の各ゲート信号線GにHighレベルの選択走査電圧を供給する。これにより、液晶表示パネル100の各ゲート信号線Gに接続された複数の薄膜トランジスタ（TFT）が、1水平走査時間の間導通する。

【0016】図2は、図1に示すドレインドライバ130の概略構成を示すブロック図である。なお、この図2において、添字のiは外部から入力される信号を意味し、添字のoはドレインドライバ130内を伝搬して外部へ出力される信号を意味している。例えば、CL2iは外部から入力される表示データラッチ用クロック信号で、CL2oはドレインドライバ130内を伝搬して外部（次段のドレインドライバ130）へ出力される表示データラッチ用クロック信号である。同図に示すラッチ回路（1）135は、ラッチアドレスセクタ132から送出されるデータ取り込み信号に基づき、データ取込・演算回路133から送出される表示データを順次ラッチする。なお、データ取込・演算回路133から送出される表示データは、データ出力回路134を経て外部に出力される。ここで、ラッチアドレスセクタ132は、クロック制御回路131から送出される表示データラッチ用クロック信号（CL2；以下、単に、クロック信号（CL2）と称する。）に基づき、データ取り込み信号を生成する。ラッチ回路（2）136は、クロック制御回路131から送出される出力タイミング制御用クロック（CL1）に基づき、ラッチ回路（1）135にラッチされた表示データを取り込み、デコーダ回路137に出力する。

【0017】デコーダ回路137は、階調電圧生成回路139から供給される64階調の階調電圧から、ラッチ回路（2）136から送出された表示データに対応する階調電圧を選択してアンプ回路138に出力する。アンプ回路138は、デコーダ回路137から送出された階調電圧を増幅（電流増幅）して各ドレイン信号線D（Yi）に供給する。以上の動作により、液晶表示パネル100に画像が表示される。なお、デコーダ回路137およびアンプ回路138は、それぞれ正極用の回路と、負極性の回路とで構成されるが、ここでは詳細な説明は省略する。また、階調電圧生成回路139は、外部から供給される正極性の階調基準電圧（V0～V4）に基づき正極性の64階調の階調電圧と、外部から供給される負極性の階調基準電圧（V5～V9）に基づき負極性の6

4階調の階調電圧を生成する。

【0018】図3は、図2に示すデータ取込・演算回路133、およびデータ出力回路134の回路構成を示す回路図である。この図3において、点線より左側（矢印A Aの方向）が、データ取込・演算回路133で、点線より右側（矢印B Bの方向）が、データ出力回路134を表す。同図に示すように、データ取込・演算回路133は、演算回路（21, 22, 23）と、ラッチ回路31とで構成され、また、データ出力回路134は、演算回路（24, 25, 26）と、ラッチ回路（32, 33）と、マルチプレクス回路（41, 42）、遅延回路51とで構成される。なお、図3では、表示データ転送用の内部信号線は、ドレインドライバ130の液晶駆動電圧出力に使用している表示データ伝送用の内部バスラインで兼用した場合を図示している。

【0019】以下、各部の動作について説明する。図4は、図3に示す回路図において、内部バスライン1本当たりの回路構成を示す図であり、図5は、図4に示すクロック信号（CL2）と、表示データと、内部信号線上の表示データのタイミングチャートを示す図である。なお、この図4では、演算回路（21, 22, 24, 25）は省略している。図5に示すように、クロック信号（CL2）の立ち上がり時点で、外部から入力された表示データ（D1）はD型フリップ・フロップ回路（以下、単に、FFと称する。）1に取り込まれる。また、クロック信号（CL2）の立ち下がり時点で、外部から入力された表示データ（D2）はFF3に取り込まれて内部バスラインBに出力され、同時に、FF1に取り込まれた表示データ（D1）は、FF2に取り込まれて内部バスラインAに出力される。このように、本実施の形態では、同一タイミングで内部バスラインに表示データが送出される。なお、内部バスラインが、2系統のバスラインで構成される理由は後述する。

【0020】内部バスライン（A, B）に送出された表示データは、ドレインドライバ130の長辺方向に伝搬、即ち、半導体チップの長辺長にわたって伝搬されるために、内部バスラインの配線抵抗および配線容量により遅延が生じ、クロック信号（CL2）との位相ずれが生じる。そのため、クロック信号（CL2）の立ち下がり時点で、内部バスライン上の表示データ（D1）をFF4に取り込み、同時に、内部バスライン上の表示データ（D2）をFF5に取り込み、前述した位相ズレを吸収する。また、FF4とFF5に取り込まれた表示データは、マルチプレクス回路（スイッチ回路）41により、交互に外部に出力される。これにより、外部に出力される表示データは、外部から入力された順番で、外部に出力される。

【0021】なお、図3では、表示データ転送用の内部信号線を、ドレインドライバ130の液晶駆動電圧出力に使用している表示データ伝送用の内部バスラインで兼

用した場合について説明したが、例えば、図6に示すように、表示データ転送用の内部信号線を、ドレインドライバ130の液晶駆動電圧出力に使用している表示データ伝送用の内部バスラインと別に設けるようにしてもよい。但し、図6に示す例では、自ドレインドライバ130の36本の内部バスライン（例えば、6ビット×3（R・G・B用のバスライン）×2=36本）と、それと同等の内部信号線が必要となるので、ドレインドライバ130を構成する半導体チップの面積が増大する分不利となる。これに対して、本実施の形態では、表示データ転送用の内部信号線を、ドレインドライバ130の液晶駆動電圧出力に使用している表示データ伝送用の内部バスラインで兼用するようにしたので、図6に示す例に比して半導体チップの面積を小さくすることができる。

【0022】次に、図3に戻って、演算回路（21, 22）の動作について説明する。図1のタイミングコントローラ110と先頭のドレインドライバ130および各ドレインドライバ130間を接続している表示データ信号伝送線路では表示データの変化による消費電力（伝送線路での充放電等）が問題となる。例えば、3画素（×6ビット=18本）の表示データのうちある9本がHighレベルで、残りの9本がLowレベルで、その次の3画素分の表示データがこの反転レベルとなる場合、18本の全表示データが変化することになり、この動作が高速で、また、振幅が大きい程表示データ伝送線路での充放電により消費電力が大きくなる。そこで、前記状態による消費電力を抑制するために、タイミングコントローラ110では、データ反転信号（図2に示すPOL信号）を一本設け、データ反転信号に基づいて18本の表示データを予め演算し、前記18本の表示データの変化は行わず、データ反転信号のみレベルを反転し、送出する。各ドレインドライバ130の演算回路21は、これらの信号を演算することで3画素（×6ビット=18本）の表示データのうち9本がHighレベルで、残りの9本がLowレベルで、その次の3画素分の表示データは、この反転レベルを生成し、データ反転信号がない場合と同機能を実現し消費電力を抑制する回路である。演算回路21は、排他的論理和から構成され、表1に示すように、データ反転信号（図2にPOL信号）が「0」の時に、表示データを反転しないで出力し、データ反転信号（図2のPOL信号）が「1」の時に、表示データを反転させて出力する。

【0023】

【表1】

入力		出力
データ入力信号	データ反転信号	A
0	0	0
0	1	1
1	0	1
1	1	0

次に、演算回路22の動作について説明する。液晶表示パネル100は、交流化駆動方法により駆動される。この交流化駆動方法の一つにコモン対称法があり、コモン対称法（例えば、ドット反転法、nライン反転法）では、各画素電極に、正極性の階調電圧と負極性の階調電圧を印加する必要がある。図7は、本実施の形態のドレインドライバ130の各色毎の隣接するドレイン信号線（ Y_i 、 Y_{i+1} ）当たりの回路構成をより詳細に示す図である。この図7において、235A、235Bは図2に示すラッチ回路（1）135のそれぞれのラッチ回路を、236A、236Bは図2に示すラッチ回路（2）136のそれぞれのラッチ回路を示す。また、237A、237Bは、図2に示すデコーダ回路137のそれぞれのデコーダ回路を示し、237Aは正極性の階調電圧を選択する高電圧デコーダ回路、237Bは負極性の階調電圧を選択する低電圧デコーダ回路である。同様に、238A、238Bは、図2に示すアンプ回路138のそれぞれのアンプ回路を示し、237Aは正極性の階調電圧を増幅する高電圧アンプ回路、237Bは負極性の階調電圧を選択する低電圧アンプ回路である。

【0024】このように、本実施の形態では、各ドレイン信号線毎に正極性の回路と負極性の回路とを設ける代わりに、隣接する各色毎のドレイン信号線毎に一对の正極性側回路と負極性側回路とを設け、スイッチ部239で切り替えて隣接する各色毎のドレイン信号線のそれぞれに、正極性の階調電圧あるいは負極性の階調電圧を供給するようにしている。例えば、ドレイン信号線（ Y_i ）に正極性の階調電圧、ドレイン信号線（ Y_{i+1} ）に負極性の階調電圧を印加する場合には、スイッチ部239で、ドレイン信号線（ Y_i ）を正電圧アンプ回路238Aに、ドレイン信号線（ Y_{i+1} ）を低電圧アンプ回路238Bに接続し、逆に、ドレイン信号線（ Y_i ）に負極性の階調電圧、ドレイン信号線（ Y_{i+1} ）に正極性の階調電圧を印加する場合には、スイッチ部239で、ドレイン信号線（ Y_i ）を低電圧アンプ回路238Bに、ドレイン信号線（ Y_{i+1} ）を正電圧アンプ回路238Aに接続する。

【0025】しかしながら、正極性側のラッチ回路235は、図3に示す内部バスラインDに接続され、負極性側のラッチ回路235Bは、図3に示す内部バスラインEに接続されている。そのため、ドレイン信号線（ Y_i ）に正極性の階調電圧を供給するためには、内部バス

ラインDに、ドレイン信号線（ Y_i ）に正極性の階調電圧を選択するための表示データ、逆に、ドレイン信号線（ Y_i ）に負極性の階調電圧を供給するためには、内部バスラインEに、ドレイン信号線（ Y_i ）に負極性の階調電圧を選択するための表示データを送出する必要がある。演算回路22は、前述した表示データを、図3に示す内部バスラインD、あるいは、内部バスラインEに送出するために設けられる。

【0026】演算回路22は、スイッチ回路（61、62）で構成され、スイッチ回路61は、交流化信号（図2に示すM信号）の「1」あるいは「0」レベルに応じて、FF3から出力される表示データ、あるいはFF2から出力される表示データを選択して内部バスラインDに送出する。同様に、スイッチ回路62は、交流化信号（図2に示すM信号）の「0」あるいは「1」レベルに応じて、FF2から出力される表示データ、あるいはFF3から出力される表示データを選択して内部バスラインEに送出する。ここで、スイッチ回路62に供給される交流化信号Mは、スイッチ回路61に供給される交流化信号Mの反転信号であるので、内部バスラインDに送出される表示データが、FF3（またはFF2）から出力される表示データである場合には、内部バスラインEに送出される表示データは、FF2（またはFF3）から出力される表示データとなる。この演算回路22の演算内容を、図8に示す。

【0027】演算回路24は、演算回路21と逆の演算を施す回路である。この演算回路24は、2系統の内部バスライン（D、E）毎に設けられる排他的論理和回路で構成され、データ反転信号に基づき、演算回路21で反転された表示データをさらに反転し、また、演算回路21で反転されなかった表示データはそのままの状態では出力する回路である。演算回路25は、交流化信号Mの極性により、2系統の内部バスライン（D、E）上に送出される表示データの順番が入れ替えられているので、この順番を表示データの入力順に並べる変えるために、マルチプレクス回路41でFF4とFF5との選択順を変更させるための回路である。この演算回路25の演算内容を、図9に示す。図9に示すように、この演算回路25は、交流化信号Mが「0」のときは、内部バスラインD→内部バスラインE→内部バスラインDの順に表示データを出させ、交流化信号Mが「1」のときは、内部バスラインE→内部バスラインD→内部バスラインEの順に表示データを出させる。

【0028】演算回路24で説明したように、転送する表示データは、演算回路21で演算された表示データを逆演算する必要がある。そこで、本実施の形態の形態では、このデータ反転信号もFF6～FF8によりクロック信号（CL2）に同期して取り込み、また、前述したように、交流化信号Mにより、2系統の内部バスライン（D、E）上に送出される表示データの順番が入れ替え

られているので、それに合わせて、演算回路23のスイッチ回路(63, 64)により、FF7、FF8から出力されるデータ反転信号を、内部信号線(J, K)に振り分けて送出する。

【0029】この内部信号線(J, K)上のデータ反転信号が、それぞれ、演算回路24における、2系統の内部バスライン(D, E)毎に設けられる排他的論理和回路に入力される。また、クロック信号(CL2)の立ち下がり時点で、内部信号線(J, K)上のデータ反転信号は、FF9およびFF10に取り込まれ、演算回路26により、マルチプレクス回路42でFF9とFF10との選択順を変更させ、入れ替えられている内部信号線(J, K)上のデータ反転信号を、元の状態にして外部に出力する。

【0030】次に、遅延回路51の動作について説明する。図10に示すように、表示データを、クロック信号の立ち上がり時点と立ち下がり時点で取り込む、デュアルエッジ取り込み方式の場合には、セットアップ期間、およびホールド期間に余裕を持たせるために、表示データの切り替わり時点の中間時点に、クロック信号(CL2)の立ち上がり時点および立ち下がり時点が位置している必要がある。しかしながら、図5に示すタイミングチャートから分かるように、本実施の形態では、マルチプレクス回路41から送出される表示データの切り替わり時点と、クロック信号(CL2)の立ち上がり時点および立ち下がり時点とは一致している。これでは、次段のドレインドライバ130では、表示データをFF1～FF3で取り込むことができない。遅延回路51は、外部に出力されているクロック信号(CL2)の位相を遅延し、前述した問題点を解決するために設けられる。

【0031】図11は、図3に示す遅延回路51の一例を示す回路図である。この図11に示す回路は、縦続接続されたn個のインバータ回路で構成される。ここで、このインバータ回路の数(n)は、図12に示すように、各ドレインドライバ130内で、外部から入力されたクロック信号(CL2)が外部へ出力されるまでの伝送経路中に、挿入される回路素子(例えば、インバータ回路)52により、論理レベルが反転する回数が奇数回となるような値に設定することが好ましい。例えば、CMOSインバータ回路では、各MOSトランジスタのしきい値(V_{th})が変化すると、出力パルス信号のデューティ比(即ち、パルス信号の周期に対するHighレベル期間の比)が変化する。そのため、デジタル信号順次転送方式を採用する液晶表示装置では、各ドレインドライバ130をクロック信号(CL2)が伝送していく途中で、クロック信号(CL2)のデューティ比の変化が累積されて、表示データとの位相差が大きくなる。

【0032】しかしながら、前述したように、各ドレインドライバ130で伝搬するクロック信号(CL2)の論理レベルの反転回数が奇数回となるようにすることに

より、例えば、前段のドレインドライバ130でクロック信号(CL2)のデューティ比の大きくなるように変化しても、次段のドレインドライバ130ではクロック信号(CL2)のデューティ比が小さくなるように変化させる。これにより、全体で、クロック信号(CL2)のデューティ比の変化を小さくすることが可能となる。

【0033】なお、デューティ比の変動を防止するために、表示データを反転して次段のドレインドライバにデータ転送する方法は、シャープ技法、第74号(1999年8月)、第32頁に記載されているが、本実施の形態は、表示データをクロック信号(CL2)に同期させて次段に出力する点と、表示データを反転させずにクロック信号(CL2)のみを反転させる点で、上記文献に記載のものと異なっている。上記文献に記載のものは、表示データをクロックに同期させて出力させる思想がないので、デューティ比変動を防止するために全表示データを反転して出力させなければならない。したがって、次段のドレインドライバは、反転された表示データを元に戻すための制御回路が全表示データのビット数分必要になり、ドレインドライバが大規模となる。

【0034】それに対して、本発明では、表示データをクロック信号(CL2)に同期させて次段のドレインドライバに出力するので、表示データを反転して出力する必要がなく、次段のドレインドライバは表示データを反転する前に戻すための回路が不要となる。また、本発明では、クロック信号(CL2)については、デューティ比変動を防止するために、反転して出力することになるが、次段のドレインドライバは、クロック信号(CL2)についてのみ特別な制御回路を設けるだけで良いので回路が簡単になる。具体的には、本実施の形態では、各ドレインドライバのスタートパルスをクロック信号(CL2)で取り込むときのタイミングを正転クロックと、反転クロックで同じにする回路を各ドレインドライバに設ける。

【0035】図13は、図3に示す遅延回路51の他の例を示す回路図であり、図14は、図13に示す遅延ライン310の構成を示す回路図である。また、図15は、図13に示す回路のタイミングチャートを示す図である。この図13に示す回路は、ディレイロックドループ回路であり、アップ・ダウンカウンタ312は、入力(IN)の立ち上がりエッジに対してOUT2(DWN)がHighレベル、OUT3(UP)がLowレベルの状態にあるときは、さらに位相を遅らせるためにカウンタ値を+1する。デコーダ回路311は、アップ・ダウンカウンタ312のカウント値をデコードして、当該カウント値に対応する遅延ライン310のスイッチ素子(HIZ)の一つをオンとし、信号線上の遅延素子DELを増加させて、遅延ライン310の遅延時間を増加させる。逆に、入力(IN)の立ち上がりエッジに対してOUT2(DWN)がLowレベル、OUT3(U

P) が High レベルの状態にあるときは、アップ・ダウンカウンタ 312 は、遅れすぎた位相を元に戻すためにカウンタ値を -1 する。デコーダ回路 311 は、アップ・ダウンカウンタ 312 のカウント値をデコードして、当該カウント値に対応する遅延ライン 310 のスイッチ素子 (HIZ) の一つをオンとし、信号線上の遅延素子 DEL を減少させて、遅延ラインの遅延時間を減少させる。また、入力 (IN) の立ち上がりエッジに対して OUT2 (DWN)、OUT3 (UP) とともに Low レベルの状態にあるときは、位相が一致しているものとして、アップ・ダウンカウンタ 312 はカウンタ値を保持する。

【0036】図 16 は、ドレインドライバ 130 と FPC 基板 150 とのガラス基板との接続方法を説明するための模式断面図である。図 16 に示すように、ドレインドライバ 130 には、FPC 基板 150 の配線層 320 → ガラス基板 SUB1 のメタライズ層 321 → ガラス基板 SUB1 の配線層 322 → ガラス基板 SUB1 のメタライズ層 323 → ドレインドライバ (半導体チップ) 130 のパンプ電極 324 を経て、電源電圧が供給される。この場合に、本実施の形態では、図 17 に示すように、表示データ転送用回路 (例えば、マルチプレクス回路 41 等) 331 に供給する電源と、クロック信号転送用回路 (例えば、遅延回路 51 等) 332 に供給する電源とを分離するようにしている。即ち、表示データ転送用回路用 331 と、クロック信号転送用回路 332 とに、それぞれ別のパッド電極 333、および電源ラインを介して電源を供給するようにしている。なお、図 17 は、本実施の形態のドレインドライバ 130 への電源電圧供給システムを示す図であり、この図 17 において、抵抗 R は、ガラス基板のメタライズ層 321 → ガラス基板の配線層 322 → ガラス基板のメタライズ層 323 → ドレインドライバ (半導体チップ) 130 のパンプ電極 324 間の抵抗成分を示す。

【0037】図 18 は、表示データ転送用回路 331 に供給する電源と、クロック信号転送用回路 332 に供給する電源とを分離しない場合の電源電圧供給システムを示す図であるが、この図 18 に示す例では、表示データ転送用回路 331 のマルチプレクス回路 41 に流れる電流が表示データのビット数だけ必要となるので、前記した抵抗 R での電圧低下が大きく、これにより、クロック信号転送用回路 332 に供給される電源電圧が低下し、クロック信号 (CL2) の振幅が小さくなる。しかしながら、本実施の形態では、表示データ転送用回路 331 に供給する電源と、クロック信号転送用回路 332 に供給する電源とを分離するようにしたので、前述したような、クロック信号転送用回路 332 に供給される電源電圧が低下し、クロック信号 (CL2) の振幅が小さくならない。即ち、本実施の形態では、クロック信号転送用回路 332 に対する表示データ転送用回路 331

の影響を低減することが可能となる。

【0038】[実施の形態 2] 図 19 は、本発明の実施の形態 2 のデータ取込・演算回路 133、およびデータ出力回路 134 の回路構成を示す回路図である。この図 19 においても、点線より左側 (矢印 AA の方向) が、データ取込・演算回路 133 で、点線より右側 (矢印 BB の方向) が、データ出力回路 134 を表す。図 19 に示すように、本実施の形態では、スタンバイ回路 (71, 72) を付加した点で、図 2 に示す前記実施の形態のデータ取込・演算回路 133、およびデータ出力回路 134 と相違する。前述した演算回路 (21, 22, 23) の演算は、外部から入力される表示データが、自ドレインドライバ内で取り込む表示データである場合のみ、必要となるものである。そこで、本実施の形態では、スタンバイ回路 (71, 72) により、外部から入力される表示データが、自ドレインドライバ内で取り込む表示データである場合に、演算回路 (21, 22, 23) を有効とし、それ以外の場合には、演算回路 (21, 22, 23) を無効とするものである。

【0039】図 20 は、図 19 に示すスタンバイ回路 71 の回路構成を示すブロック図である。図 20 に示すように、このスタンバイ回路 71 では、カウンタ回路 350 は、スタートパルス (表示データ取込開始信号) が入力されると、クロック信号 (CL2) をカウントする。また、カウンタ回路 350 のカウンタ数が、所定のカウンタ数以下の場合に、スイッチ回路 351 は、データ反転信号を出力し、カウンタ回路 350 のカウンタ数が、所定のカウンタ数を越えると、スイッチ回路 351 は、一定のバイアス電圧 (High レベルの電圧、あるいは Low レベルの電圧など) Vbb を出力する。これにより、演算回路 21 は、表 1 に示す演算内容を実行することになる。

【0040】なお、スタンバイ回路 72 も、スタンバイ回路 71 と同様の回路構成である。本実施の形態によれば、外部から入力される表示データが、自ドレインドライバ内で取り込む必要のない表示データ (換言すれば、単に転送用の表示データ) である場合に、余分な演算を行う必要がないので、消費電力を低減することができる。また、前記各実施の形態では、ドレインドライバ 130 が、液晶表示パネルのガラス基板に直接実装されている場合について説明したが、本発明は、これに限定されるものではなく、ドレインドライバ 130 が、テープキャリアパッケージに搭載されるデジタル信号順次転送方式の液晶表示装置にも適用可能であることはいうまでもない。以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0041】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明によれば、表示データおよびクロック信号を各駆動回路間で順次転送する方式を採用する液晶表示装置において、各駆動回路で正確に表示データを取り込むことが可能となる。

(2) 本発明によれば、液晶表示素子に表示される画像に誤表示が起こるのを防止できるので、液晶表示素子に表示される画像の表示品質を向上させることが可能となる。

(3) 本発明によれば、各駆動回路内で、表示データおよびクロック信号を転送する内部信号線を、駆動回路の液晶駆動電圧出力に使用している表示データ伝送用の内部バスラインで兼用するようにしたので、各駆動回路のチップサイズを小さくすることが可能となる。

(4) 本発明によれば、表示データ転送用回路の電源と、クロック信号転送用回路の電源とを分離するようにしたので、クロック信号転送用回路に対する表示データ転送用回路の影響を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の液晶表示モジュールの表示パネルの基本構成を示すブロック図である。

【図2】図1に示すドレインドライバの概略構成を示すブロック図である。

【図3】本発明の実施の形態1の示すデータ取込・演算回路、およびデータ出力回路の回路構成を示す回路図である。

【図4】図3に示す回路図において、内部バスライン1本当たりの回路構成を示す図である。

【図5】図4に示すクロック信号(C L 2)と、表示データと、内部信号線上の表示データのタイミングチャートを示す図である。

【図6】表示データ転送用の内部信号線を、内部バスラインと別に設けた場合の構成を示す図である。

【図7】本発明の実施の形態1のドレインドライバの各色毎の隣接するドレイン信号線(Y)当たりの回路構成をより詳細に示す図である。

【図8】図3に示す演算回路22の演算内容を示す図である。

【図9】図3に示す演算回路25の演算内容を示す図である。

【図10】表示データの取り込み時点を説明するための図である。

【図11】図3に示す遅延回路51の一例を示す回路図である。

【図12】図11に示すインバータ回路の数の設定方法を説明するための図である。

【図13】図3に示す遅延回路51の他の例を示す回路図である。

【図14】図13に示す遅延ライン310の構成を示す回路図である。

【図15】図13に示す回路のタイミングチャートを示す図である。

【図16】ドレインドライバとF P C基板とのガラス基板との接続方法を説明するための模式断面図である。

【図17】本発明の実施の形態1のドレインドライバへの電源電圧供給系統を示す図である。

【図18】表示データ転送用回路に供給する電源と、クロック信号転送用回路に供給する電源とを分離しない場合の電源電圧供給系統を示す図である。

【図19】本発明の実施の形態2のデータ取込・演算回路、およびデータ出力回路の回路構成を示す回路図である。

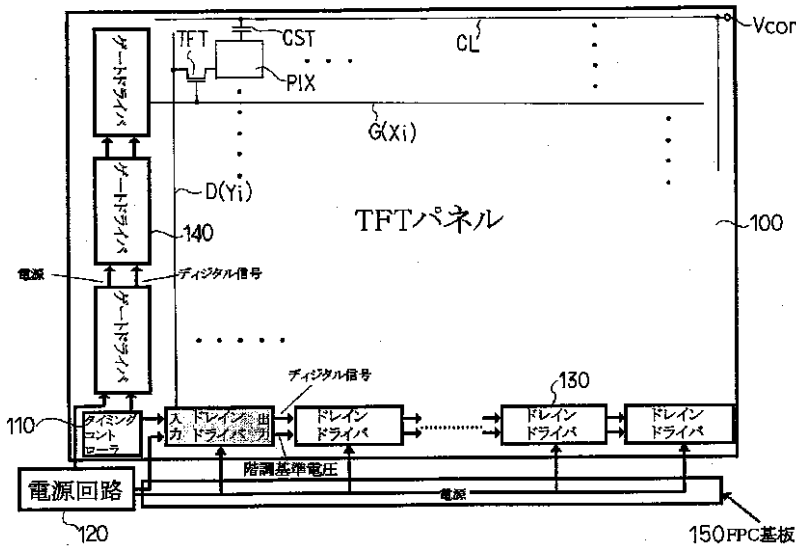
【図20】図19に示すスタンバイ回路71の回路構成を示すブロック図である。

【符号の説明】

1 ~ 10 ... D型フリップ・フロップ回路、21 ~ 26 ... 演算回路、31 ~ 32, 235A, 235B, 236A, 236B ... ラッチ回路、41, 42 ... マルチプレクス回路、51 ... 遅延回路、52 ... 回路素子、61, 62, 63, 64, 351 ... スイッチ回路、71, 72 ... スタンバイ回路、100 ... 液晶表示パネル、110 ... タイミングコントローラ、120 ... 電源回路、130 ... ドレインドライバ、131 ... クロック制御回路、132 ... ラッチアドレスセクタ、133 ... データ取込・演算回路、134 ... データ出力回路、135 ... ラッチ回路(1)、136 ... ラッチ回路(2)、137, 311, 237A, 237B ... デコーダ回路、138, 238A, 238B ... アンプ回路、139 ... 階調電圧生成回路、140 ... ゲートドライバ、150 ... フレキシブルプリント配線基板(F P C基板)、239 ... スイッチ部、310 ... 遅延ライン、312, 350 ... カウンタ、320, 322 ... 配線層、321, 323 ... メタライズ層、324 ... パンプ電極、331 ... 表示データ転送用回路、331 ... クロック信号(C L 2)転送用回路、333 ... パッド電極、SUB1 ... ガラス基板、R ... 抵抗、DEL ... 遅延素子、HIZ ... スイッチ素子、PIX ... 画素電極、TFT ... 薄膜トランジスタ、G ... 走査信号線(またはゲート信号線)、D, Y ... 映像信号線(またはドレイン信号線)、CST ... 保持容量、CL ... 容量線。

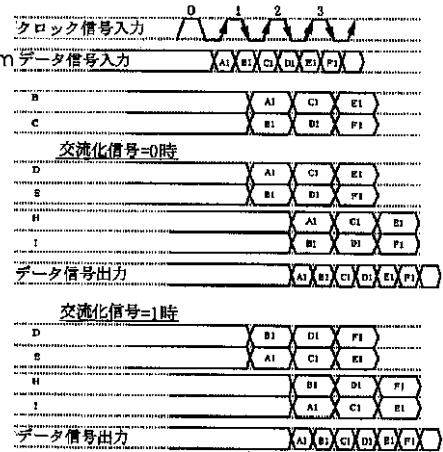
【図1】

図1



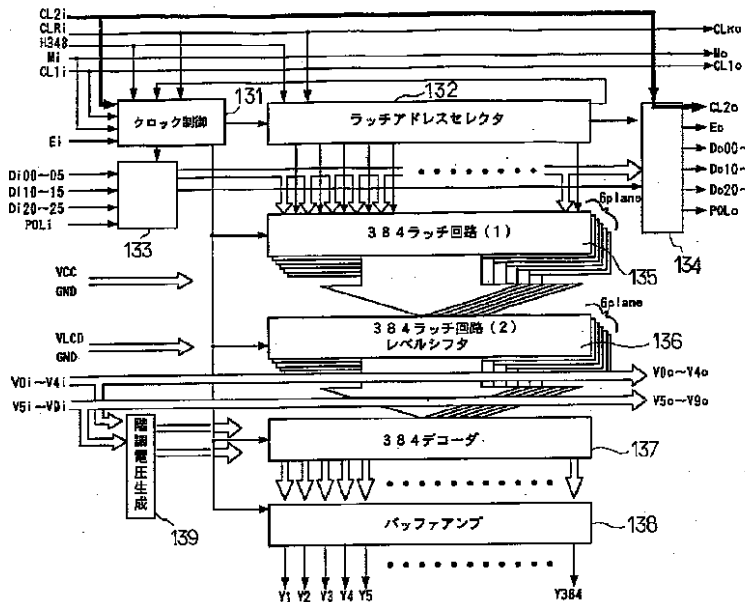
【図9】

図9



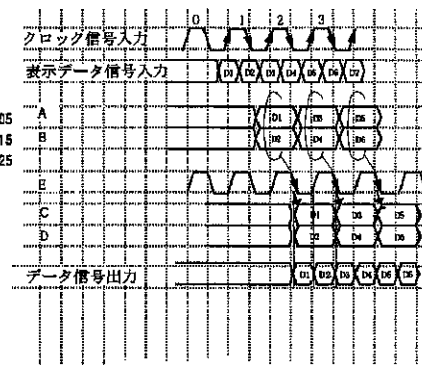
【図2】

図2



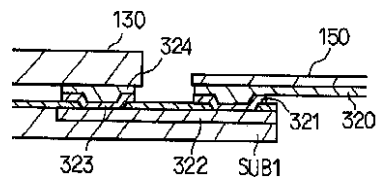
【図5】

図5



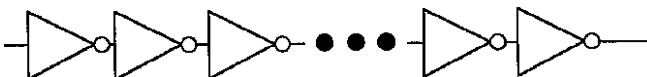
【図16】

図16



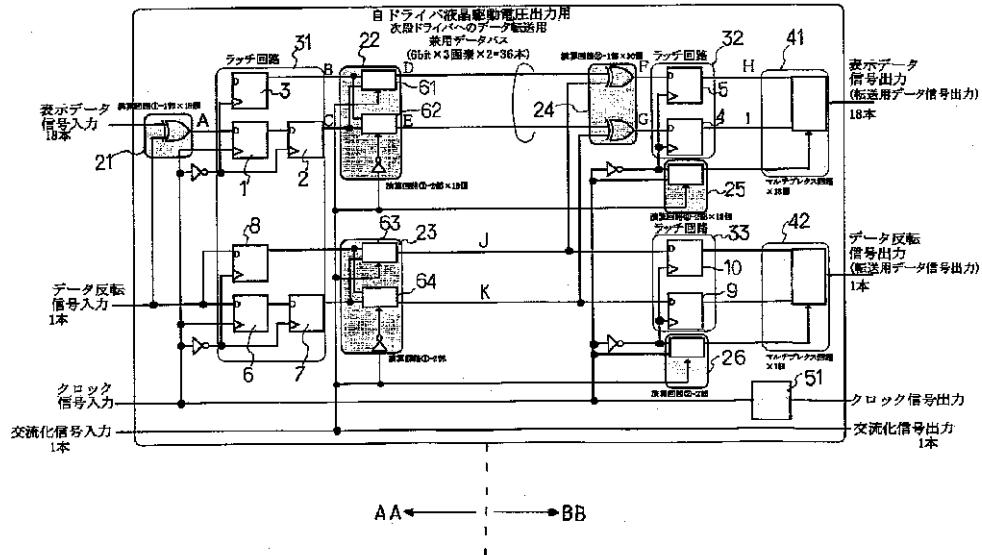
【図11】

図11



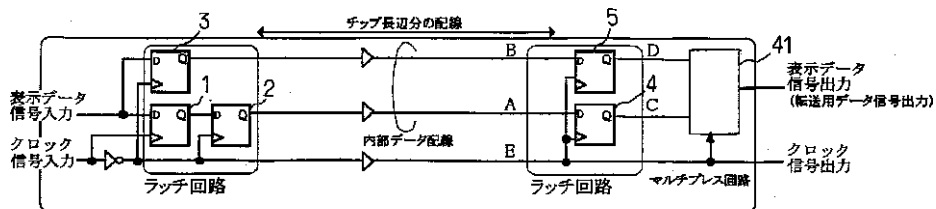
【図3】

図3



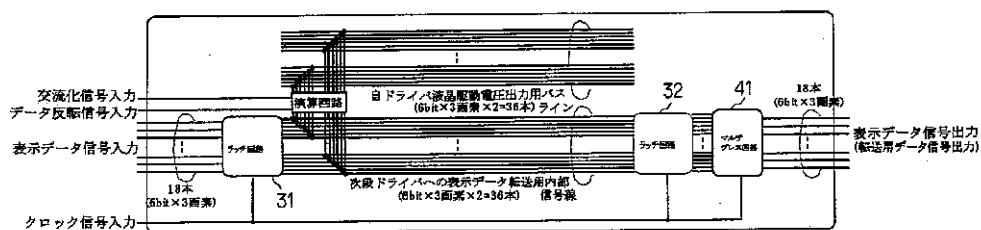
【図4】

図4



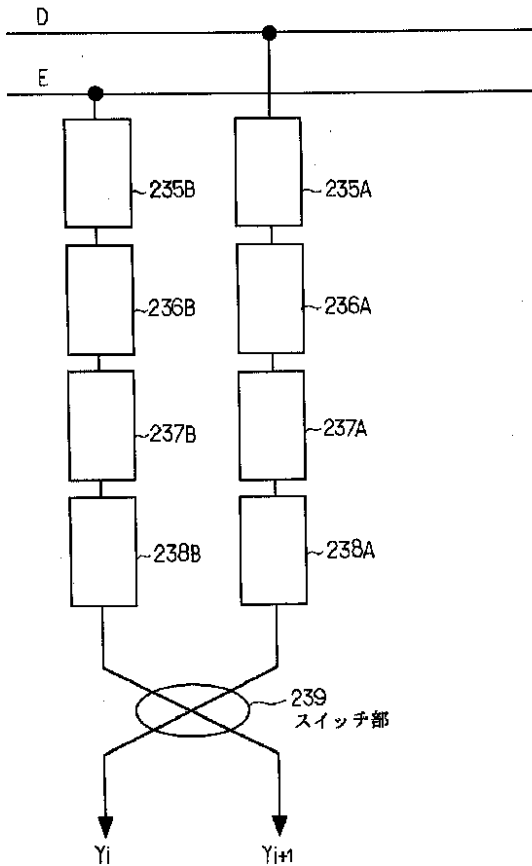
【図6】

図6



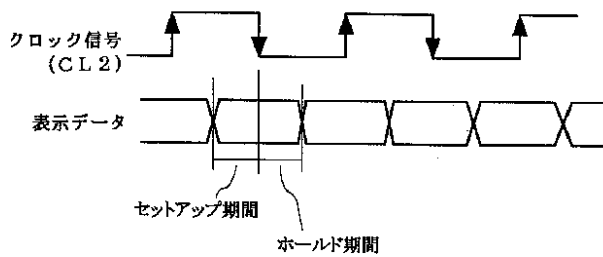
【図7】

図7



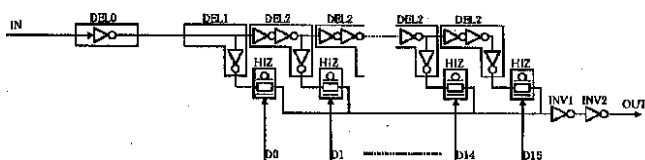
【図10】

図10



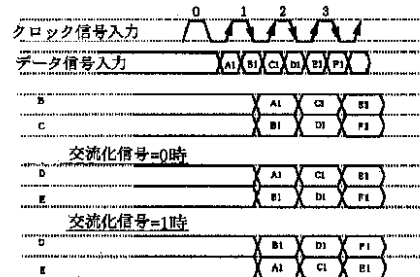
【図14】

図14



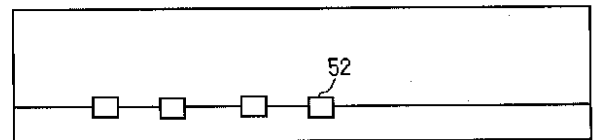
【図8】

図8



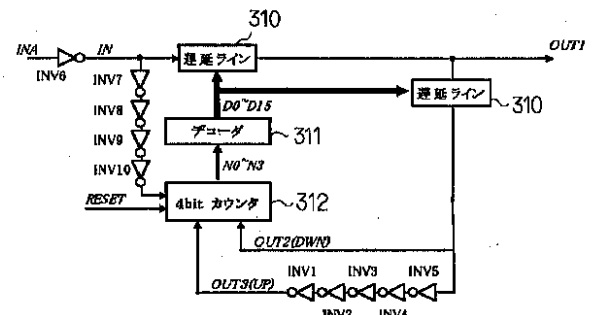
【図12】

図12



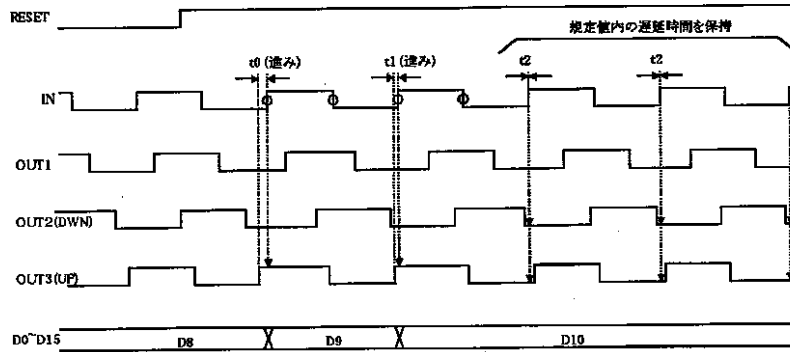
【図13】

図13



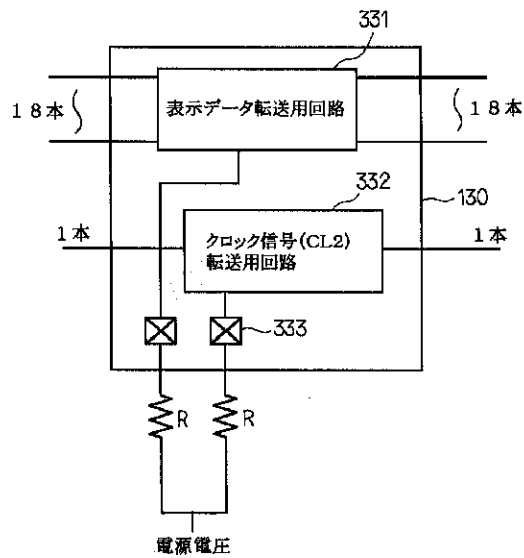
【図15】

図15



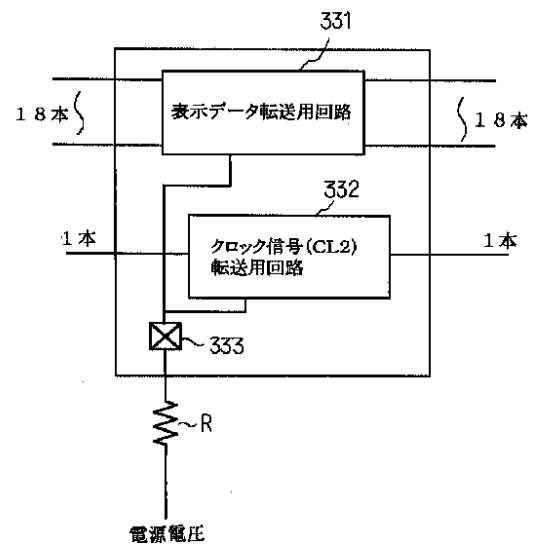
【図17】

図17



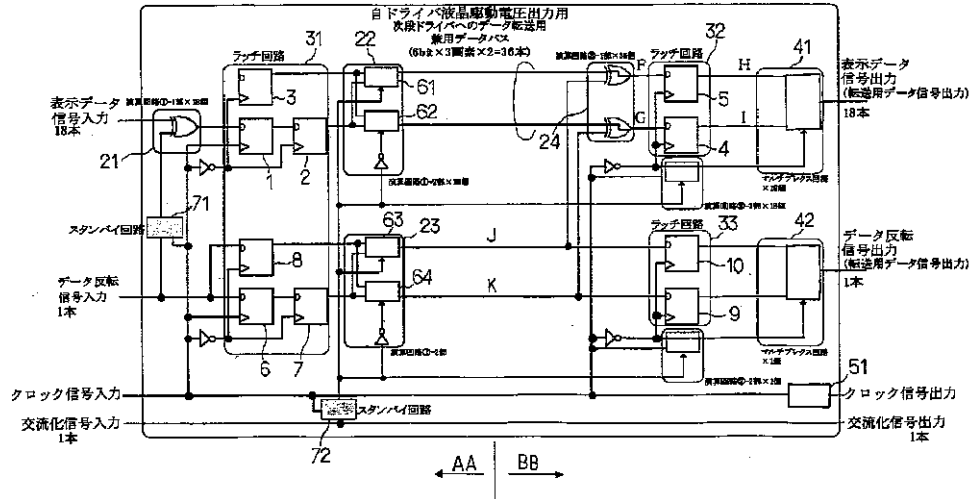
【図18】

図18



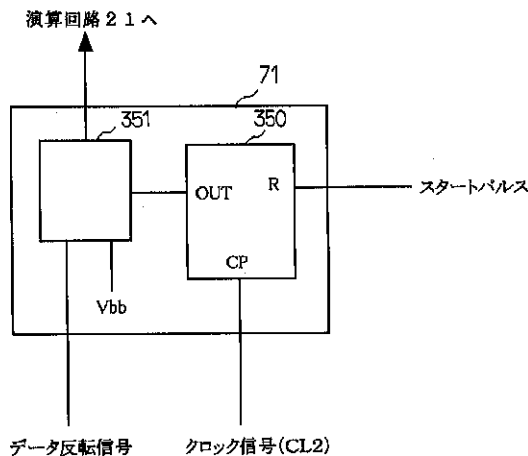
【図19】

図19



【図20】

図20



【手続補正書】

【提出日】平成12年6月2日(2000.6.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】

【発明が解決しようとする課題】前述したようなデジタル信号順次転送方式を採用する液晶表示装置では、タイミングコントローラ(または表示制御装置)から送出

された表示データとクロック信号とは、各駆動回路内の信号線、および各駆動回路間の伝送線路(ガラス基板上の伝送線路またはテープキャリアパッケージ上の伝送線路)を伝搬することになる。そのため、各駆動回路内の信号線の抵抗および容量、各駆動回路間の伝送線路の抵抗および容量、さらには、各駆動回路と各駆動回路間の伝送線路との接続部の接続抵抗などにより、表示データおよびクロック信号は遅延される。この場合に、この遅延時間は、表示データの各ビット、および、クロック信号毎に相違する。そして、クロック信号と各ビット毎の

表示データとの間で、位相のずれが大きくなると、クロック信号で表示データを取り込む際のセットアップ期間、あるいは、ホールド期間が減少し、最悪の場合、各駆動回路で表示データを取り込むことができなくなる恐れがある。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】各画素は、画素電極PIXと薄膜トランジスタTFTから成り、複数の走査信号線（またはゲート信号線）Gと複数の映像信号線（またはドレイン信号線）Dとの交差する部分に対応して設けられる。なお、本実施の形態では、画素電極PIXの電位を保持するために、保持容量CSTを各画像毎に設けている。CLは、保持容量CSTに基準電圧Vcomを供給するための容量線である。なお、容量線CLは、前のラインの走査信号線Gで代用することもできる。各画素の薄膜トランジスタTFTは、ソースが画素電極PIXに接続され、ドレインが映像信号線Dに接続され、ゲートが走査信号線Gに接続され、画素電極PIXに表示電圧（階調電圧）を供給するためのスイッチとして機能する。な *

*お、ソース、ドレインの呼び方は、バイアスの関係で逆となることもあるが、ここでは、映像信号線Dに接続される方をドレインと称する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】なお、デューティ比の変動を防止するために、表示データを反転して次段のドレインドライバにデータ転送する方法は、シャープ技報、第74号（1999年8月）、第32頁に記載されているが、本実施の形態は、表示データをクロック信号（CL2）に同期させて次段に出力する点と、表示データを反転せずにクロック信号（CL2）のみを反転させる点で、上記文献に記載のものと異なっている。上記文献に記載のものは、表示データをクロックに同期させて出力させる思想がないので、デューティ比変動を防止するために全表示データを反転して出力させなければならない。したがって、次段のドレインドライバは、反転された表示データを元に戻すための制御回路が全表示データのビット数分必要になり、ドレインドライバが大規模となる。

フロントページの続き

(72)発明者 秋山 賢一

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(72)発明者 斎藤 一成

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(72)発明者 小倉 明

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72)発明者 縣 健太郎

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

Fターム(参考) 2H093 NA16 NA43 NA53 NA64 NC16
NC21 NC22 NC26 NC27 NC34
NC35 ND34 ND39 ND40 ND42
NE03

5C006 AA16 AC11 AC21 AF71 BB16
BC12 BF04 FA16

5C080 AA10 BB05 DD09 EE29 FF11
GG12 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001265288A	公开(公告)日	2001-09-28
申请号	JP2000072769	申请日	2000-03-15
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	長尾将志 秋山賢一 斎藤一成 小倉明 縣健太郎		
发明人	長尾 将志 秋山 賢一 斎藤 一成 小倉 明 縣 健太郎		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.A G09G3/20.633.G		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NA64 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND34 2H093/ND39 2H093/ND40 2H093/ND42 2H093/NE03 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF71 5C006/BB16 5C006/BC12 5C006/BF04 5C006/FA16 5C080/AA10 5C080/BB05 5C080/DD09 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD23 2H193/ZE37 2H193/ZP03		
其他公开文献	JP3779522B2 JP2001265288A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，当在每个漏极驱动器之间顺序传输显示数据和时钟信号时，能够通过每个漏极驱动器准确地捕获显示数据。一种液晶显示装置，包括：具有多个像素的液晶显示元件；和用于驱动像素的驱动电路，其中，该驱动电路包括内部信号线和从外部输入的时钟信号。数据捕获装置，用于捕获从外部输入的显示数据并将显示数据输出到内部信号线，并与从第一电平切换到第二电平以及从第二电平切换到第一电平的定时同步 并且，与时钟信号从第一电平切换到第二电平或者从第二电平切换到第一电平的定时同步，获取内部信号线上的显示数据并将其输出到外部。数据输出方式

