

(51)Int.Cl. ⁷	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1368			G 0 2 F 1/133	550
	1/133	550	G 0 9 G 3/20	623 B
G 0 9 G 3/20		623		624 B
		624		631 H
		631		641 A

審査請求 有 請求項の数 3 O L (全 7 数) 最終頁に続く

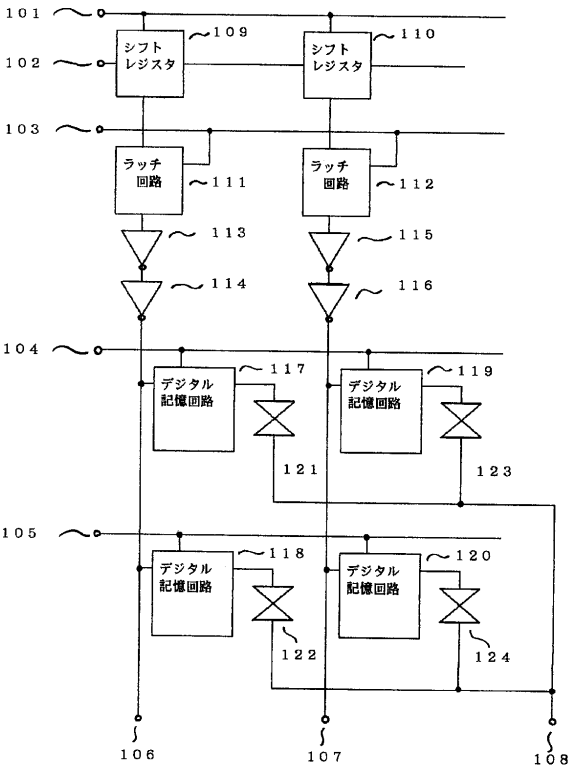
(21)出願番号	特願2000 - 394709(P2000 - 394709)	(71)出願人	000153878
(62)分割の表示	特願平5 - 354091の分割		株式会社半導体エネルギー研究所
(22)出願日	平成5年12月27日(1993.12.27)		神奈川県厚木市長谷398番地
		(72)発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 新規な表示装置を提供する。

【解決手段】 走査線の信号によって、信号線の電位をデジタル記憶回路に取込み、一定の期間電位を保持する。そして、デジタル記憶回路が保持状態である限り、画素電極にはハイ電圧またはロウ電圧が与えられ、画素電極における電位の保持特性を高める。



【特許請求の範囲】

【請求項 1】第一の絶縁表面を有する第一の基板上に設けられた少なくとも一つの画素電極と、少なくとも一つの信号線と、少なくとも一つの走査線と、前記信号線および走査線と接続された少なくとも一つの薄膜トランジスタと、前記薄膜トランジスタおよび前記画素電極と接続されたデジタル記憶回路と、第二の絶縁表面を有する第二の基板上に設けられた対向電極とを有し、前記デジタル記憶回路は二つの薄膜トランジスタと二つの抵抗器を含むインバータからなることを特徴とする表示装置。

【請求項 2】前記信号線には信号線駆動回路が接続され、前記信号線駆動回路は少なくとも一つのシフトレジスタと、前記シフトレジスタと接続された少なくとも一つのラッチ回路と、前記ラッチ回路と接続された少なくとも一つのバッファ回路からなることを特徴とする、請求項 1 記載の表示装置。

【請求項 3】前記表示装置は、前記第一の基板と前記第二の基板との間に液晶が保持された液晶表示装置であることを特徴とする、請求項 1 又は請求項 2 記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型の液晶表示装置、とくにデジタル階調表示の液晶表示装置に関する。

【0002】

【従来の技術】従来のデジタル階調のアクティブマトリクス型の液晶表示装置としては、日経 B P 社刊「フラットパネルディスプレイ 91 173 頁～180 頁」に記載されているものなどが標準的である。

【0003】図 2 は従来の液晶表示装置の例である。アクティブマトリクス型の液晶表示装置はだまかに画素マトリクス部、信号線駆動回路、走査線駆動回路の 3 つに分割できる。以下、図面に基づき動作を説明する。

【0004】画素マトリクスは信号線と走査線をマトリクス状に配置し、その交点部分に画素 T F T を配置し、画素 T F T のゲートは走査線に、ソースは信号線に、ドレインは画素電極に接続している。また、一般に画素電極と対向電極の間の液晶容量は大きな値をとりえないため、画素電極の近傍に電荷を保持する保持容量を配置することが行われる。走査線に T F T のスレッショルド電圧を越える電圧が印加され、T F T がオンすると、T F T のドレインとソースはショート状態となり、信号線の電圧が画素電極に印加され液晶と保持容量に充電される。T F T がオフになるとドレインは開放状態となり、液晶と保持容量に蓄えられた電荷は次に T F T がオンするまで保持される。

【0005】図 3 に 4 階調の信号線駆動回路の例を示す。

ここでは 4 階調の場合を説明するが階調数が異なる場合でも基本動作は同じである。デジタル階調信号は入力端子 302、303 よりシフトレジスタ 310、311 に入力される。シフトレジスタ 310、311 の出力は次の段のシフトレジスタ 312、313 およびラッチ回路 314、315 に入力され、ラッチ回路は一定期間データの保持を行う。この保持期間は入力端子 304 に入力される水平同期信号によってきまる。ラッチ回路の出力信号はデコーダ 316 に入力され 2 ビットのデジタル信号はこのデコーダによって 4 つの電圧選択信号に変換される。この電圧選択信号によってスイッチトランジスタ 317～320 のいずれかが選択され、階調電圧線 305～308 のいずれかの電位が信号線 309 に伝達される。

【0006】図 4 に走査線駆動回路の例を示す。

走査線駆動回路はシフトレジスタと N A N D 回路 403、404、インバータ型バッファ 405、406 によって構成され、垂直同期信号に同期したスタートパルスと水平同期信号に同期したクロックを入力し、順次走査線を駆動していく。

【0007】

【発明が解決しようとする課題】前述した従来の液晶表示装置には以下に示すような 2 つの問題点があった。第一の問題点は T F T がオフ状態のときにおいて、ドレイン～ソース間にリーク電流が流れ、画素の電荷が放電し電位が変動することである。一般的な N チャンネル T F T のドレイン電流、ゲート電圧特性を図 5 に示す。図 5 からわかるように、ゲート電圧がマイナスのときでもドレインには電流が流れている。この電流によって電荷の放電が発生する。N チャンネルの T F T で説明をおこなったが P チャンネル T F T でも同様である。

【0008】通常、画素の書き込み周期は 100 H z 以下であるため、保持時間は 10 m s e c 以上となる。なるべく長く保持時間をとるため、液晶と並列に保持容量をつけることが一般的であるが液晶と保持容量をあわせて 0.1 p F ～ 0.2 p F までしかできない。画素の保持時間を 16.6 m s e c (60 H z)、液晶にかかる電圧を 5 V、保持率を 99%、容量を 0.2 p F とすると、許容される T F T のリーク電流は

$$5 \times (1 - 0.99) \times 0.2 \text{ p F} / 16.6 \text{ m s e c} = 0.6 \text{ p A}$$

となり、この値を使用温度範囲、T F T のばらつきをふくめて実現するのは困難であるため、画素の電荷は放電され、画質の劣化をまねいていた。

【0009】第二の問題点は T F T の動作において、走査線電位が高電位から低電位に、または、低電位から高電位に変化するとき、T F T のゲート、ドレイン間の容量によってドレイン電位が以下に示す V だけ走査線電位が変化する方向へ引き込まれることである。

$$V = V \times C_{gd} / (C_{gd} + C_{lc} + C_{stg})$$

ここで、V は走査線電位の変動幅

C_{gd} は TFT のゲートドレイン間の容量値

C_{lc} は液晶の容量値

C_{stg} は保持容量の容量値

この現象によって、図 6 に示すように画素電極の電位は中心より下側にずれてしまい液晶の劣化をまねいていた。

【0010】本発明の液晶表示装置はこのような 2 つの問題点を解決するものであり、その目的とするところは、保持時間の長さに関わらず保持が可能であり、且つ、走査線の電位変化によって保持電位が変化しない液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】本発明の液晶表示装置は、階調表示方式を時間階調方式として、画素に印加される電圧は二値のみとし、且つ、一つの画素について、一つのデジタル記憶回路を有し、その出力に画素電極を接続している。

【0012】

【作用】本発明では、走査線の信号によって、信号線の電位をデジタル記憶回路に取り込み、一定の期間電位を保持している。画素電極はデジタル記憶回路の出力に接続されているため、記憶回路が保持状態である限り、デジタル記憶回路のハイ電位またはロウ電位が与えられる。

【0013】

【実施例】図 1 に本発明の実施例をしめす。時間階調方式では図 7 に示すように時間的に白黒を切り替え中間調をだす方式である。この実施例の信号線駆動回路の動作について説明する。時間変調されたデジタル階調信号は入力端子 102 よりシフトレジスタ 109 に入力される、シフトレジスタ 109 の出力は次の段のシフトレジスタ 110 およびラッチ回路 111 に入力され、ラッチ回路 111 は一定期間はデータの保持を行う。この保持期間は入力端子 103 に入力される水平同期信号によってきまる。ラッチ回路 111、112 の出力はインバータ形式のバッファ回路 113、114、115、116 を介して信号線 106、107 に出力される。信号線のデータは走査線信号によって各画素電極の近傍に配置されたデジタル記憶回路 117、118、119、120 にとりこまれる。この記憶状態は次に走査線信号がくるまで保持される。図 8 は画素領域およびデジタル記憶回路の例である。このデジタル記憶回路は TFT 807、808 と TFT 809、810 で構成されるインバータを二つ組合わせたもので、TFT 806 がオンすると記憶回路と信号線 802 がショートされ、データがとりこまれる。

【0014】記憶回路の出力は直接画素電極に接続されているため、画素電極の電位は記憶回路の電源電位の高

*電位側もしくは低電位側のいずれか一方の電位に固定される。このように画素の電位は従来例のように容量に蓄電し、電位を保持するのではなく、記憶回路のデータで保持を行うため、画素 TFT のリーク電流による電位変動や TFT オフによる電位変動は発生せず、画質の向上がみこめる。

【0015】また、液晶素子 811 は直流電圧を長期にわたり印加すると劣化が発生するため、本実施例では対向電極をデジタル記憶回路の出力振幅と同じ振幅にて、且つ特定周波数（垂直同期周波数など）で駆動し、液晶に加わる電圧が平均的には 0 になるようにしている。この関係を図 10 にしめす。

【0016】図 9 は記憶回路の第二の例である。TFT 908、910 と抵抗器 907、909 によってインバータを構成し、記憶回路を構成している。この例では、動作は前記した実施例と同様であるが、画素マトリクス内の TFT の極性を一種類のみにすることが可能である。

【0017】

【発明の効果】以上説明したように、本発明は階調表示方式を時間階調表示方式とし、且つ、一つの画素電極に対して、一つずつのデジタル記憶装置により電位をあたえることができ、画素電極の電位を一定にできるという効果がある、またそれによって、画質の向上をはかるという効果がある。

【図面の簡単な説明】

【図 1】 本発明の液晶表示装置の信号線駆動回路の実施例を示す。

【図 2】 アクティブマトリクス型液晶表示装置のブロック図を示す。

【図 3】 従来の信号線駆動回路の例を示す。

【図 4】 走査線駆動回路の例を示す。

【図 5】 TFT のドレイン電流、ゲート電圧特性を示す。

【図 6】 画素の保持特性を示す。

【図 7】 時間階調の動作を示す。

【図 8】 画素及びデジタル記憶回路の実施例を示す。

【図 9】 画素及びデジタル記憶回路の実施例を示す。

【図 10】 対向電極および液晶電圧特性を示す。

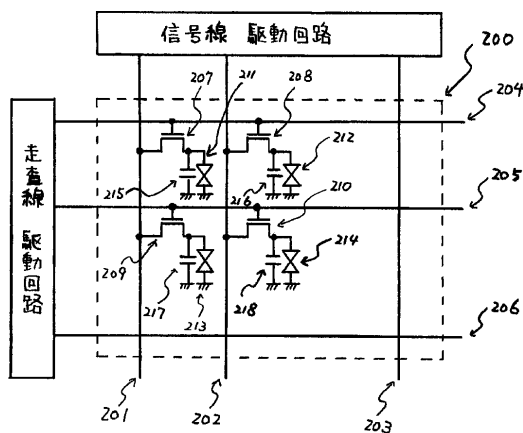
【符号の説明】

クロック入力端子	: 101
スタートパルス入力端子	: 102
水平同期信号入力端子	: 103
走査線	: 104、105
信号線	: 106、107
対向電極接続端子	: 108
シフトレジスタ	: 109、110

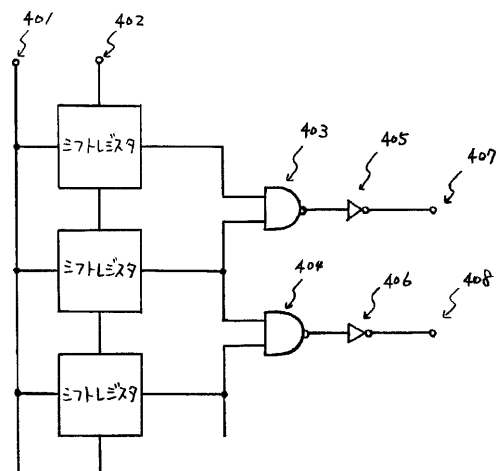
ラッチ回路	: 1 1 1、1 1	*デコーダー	: 3 1 6
2		T F T	: 3 1 7 ~ 3 2
インバータ型バッファ	: 1 1 3 ~ 1 1	0	
6		クロック入力端子	: 4 0 1
デジタル記憶回路	: 1 1 7 ~ 1 2	スタートパルス入力端子	: 4 0 2
0		NAND	: 4 0 3、4 0
液晶	: 1 2 1 ~ 1 2	4	
4		インバータ型バッファ	: 4 0 5、4 0
画素マトリクス	: 2 0 0	6	
信号線	: 2 0 1 ~ 2 0	10 走査線接続端子	: 4 0 7、4 0
3		8	
走査線	: 2 0 4 ~ 2 0	走査線	: 8 0 1
6		信号線	: 8 0 2
T F T	: 2 0 7 ~ 2 1	記憶回路電源端子	: 8 0 3、8 0
0		4	
液晶	: 2 1 1 ~ 2 1	対向電極端子	: 8 0 5
4		T F T	: 8 0 6 ~ 8 1
保持容量	: 2 1 5 ~ 2 1	0	
8		液晶	: 8 1 1
クロック入力端子	: 3 0 1	20 走査線	: 9 0 1
スタートパルス入力端子	: 3 0 2、3 0	信号線	: 9 0 2
3		記憶回路電源端子	: 9 0 3、9 0
水平同期信号入力端子	: 3 0 4	4	
階調電圧端子	: 3 0 5 ~ 3 0	対向電極端子	: 9 0 5
8		T F T	: 9 0 6、9 0
信号線接続端子	: 3 0 9	8、9 1 0	
シフトレジスタ	: 3 1 0 ~ 3 1	液晶	: 9 1 1
3		抵抗器	: 9 0 7、9 0
ラッチ回路	: 3 1 4、3 1	9	
5			

*30

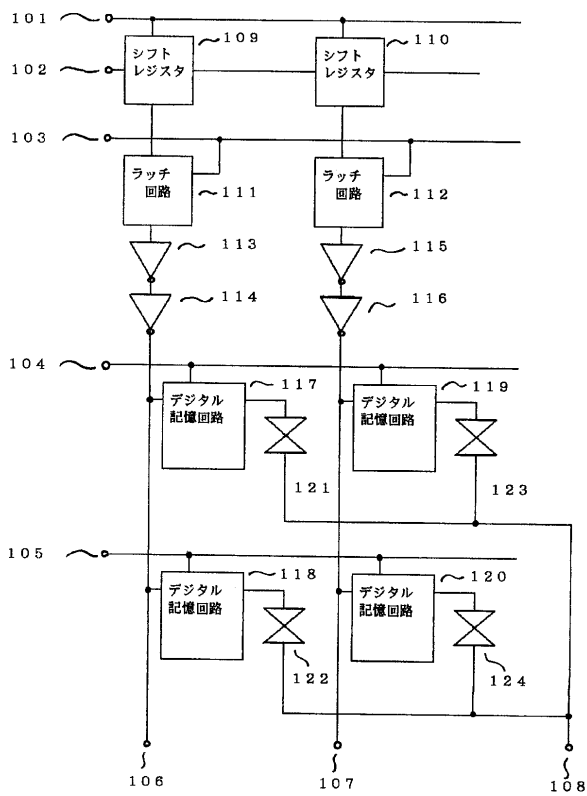
【図 2】



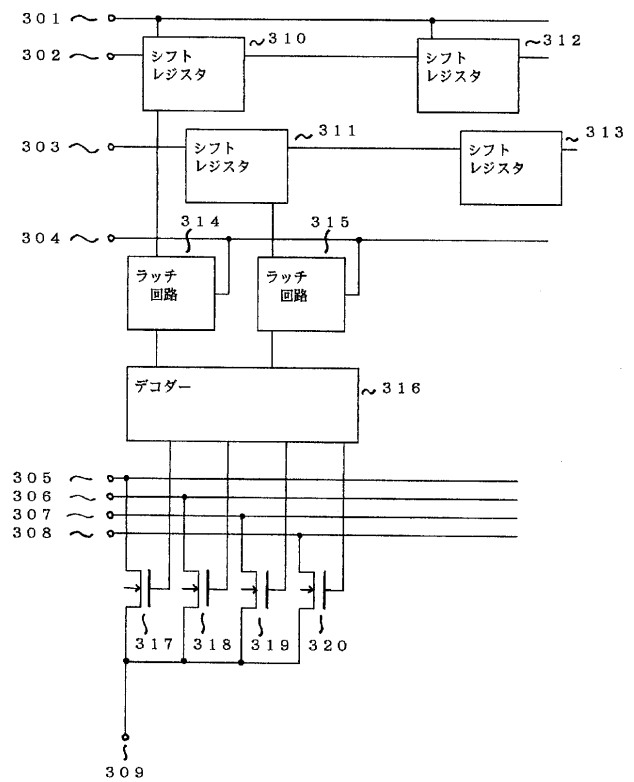
【図 4】



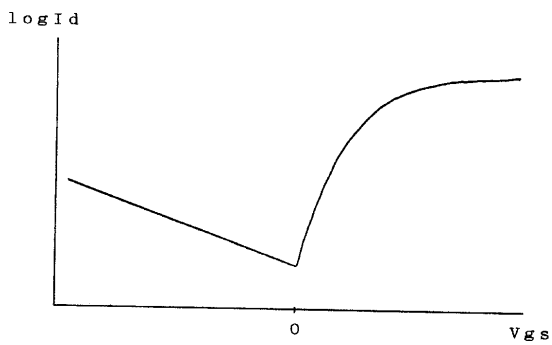
【図1】



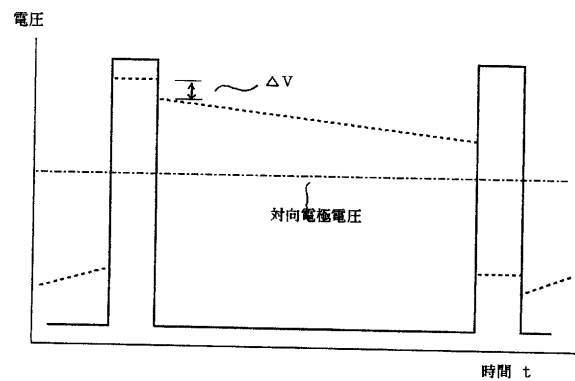
【図3】



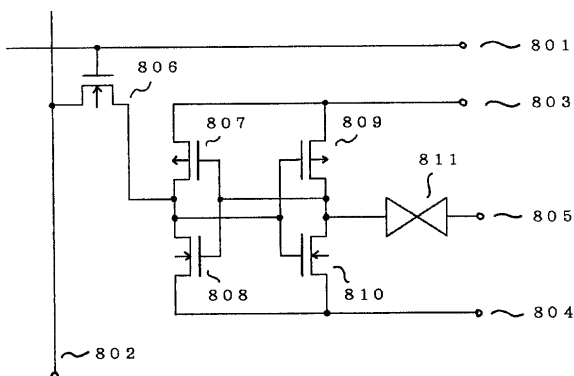
【図5】



【図6】



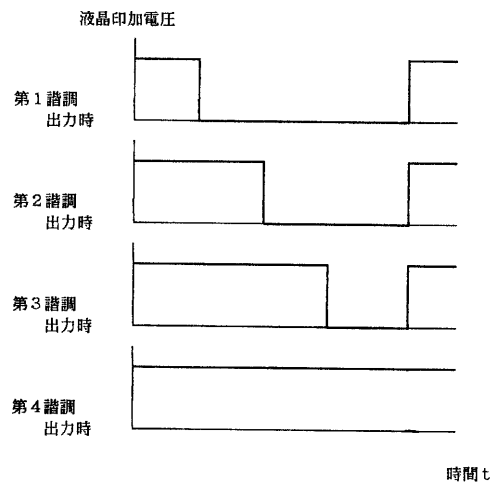
【図8】



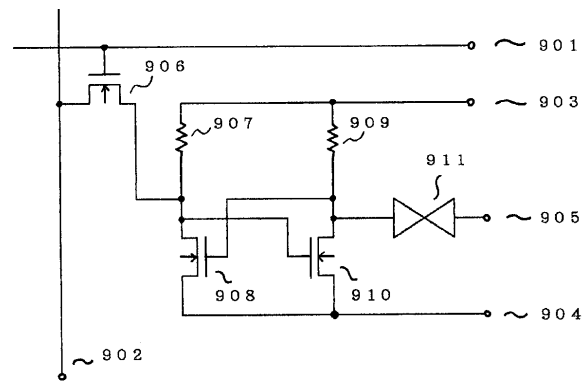
..... 画素電位

— TFTゲート電位

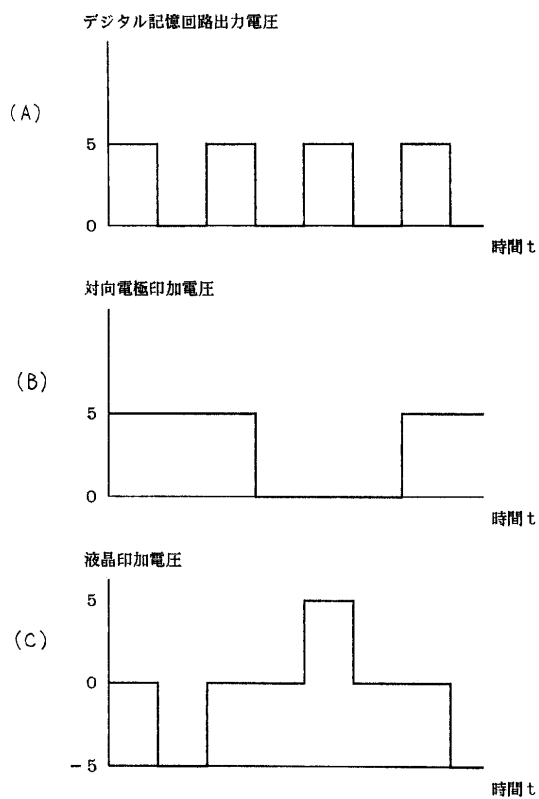
【図 7】



【図 9】



【図 10】



【手続補正書】

【提出日】平成13年1月22日(2001.1.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】第一の絶縁表面を有する第一の基板上に設けられた少なくとも一つの画素電極と、少なくとも一つの信号線と、少なくとも一つの走査線と、前記信号線および前記走査線と接続された少なくとも一つの薄膜トランジスタと、前記薄膜トランジスタおよび前記画素電極と接続された

少なくとも一つのデジタル記憶回路と、
第二の絶縁表面を有する第二の基板上に設けられた対向
電極と、
前記デジタル記憶回路は二つの薄膜トランジスタと二つ
の抵抗器とを含むインバータからなることを特徴とする
表示装置。

【請求項 2】前記信号線には信号線駆動回路が接続さ
れ、前記信号線駆動回路は少なくとも一つのシフトレジ

スタと、前記シフトレジスタと接続された少なくとも一
つのラッチ回路と、前記ラッチ回路と接続された少なく
とも一つのバッファ回路からなることを特徴とする、請
求項 1 記載の表示装置。

【請求項 3】前記表示装置は、前記第一の基板と前記第
二の基板との間に液晶が保持された液晶表示装置である
ことを特徴とする、請求項 1 又は請求項 2 記載の表示装
置。

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/36	
		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 4

专利名称(译)	表示装置		
公开(公告)号	JP2001255561A	公开(公告)日	2001-09-21
申请号	JP2000394709	申请日	2000-12-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山 潤		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09G3/20 G09G3/36 H01L29/786		
FI分类号	G02F1/133.550 G09G3/20.623.B G09G3/20.624.B G09G3/20.631.H G09G3/20.641.A G09G3/36 G02F1/136.500 H01L29/78.614 G02F1/1368 G11C19/00 G11C19/00.J		
F-TERM分类号	2H092/JA24 2H092/JB13 2H092/JB43 2H092/NA01 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA31 2H093/NC12 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC40 2H093/NC90 2H093/ND10 2H093/ND52 2H192/AA24 2H192/CB23 2H192/CB24 2H192/DA91 2H192/GD61 2H193/ZA04 2H193/ZA20 2H193/ZF36 5B074/AA10 5B074/CA01 5C006/AA15 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF09 5C006/BF25 5C006/BF27 5C006/FA22 5C006/FA26 5C006/FA36 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5F110/BB02 5F110/BB04 5F110/BB05 5F110/NN71 5F110/NN73		
其他公开文献	JP3587378B2		
外部链接	Espacenet		

摘要(译)

提供了一种新颖的显示装置。信号线的电位被扫描线的信号吸收到数字存储电路中，并且该电位保持一定时间。然后，只要数字存储电路处于保持状态，就将高电压或低电压施加到像素电极，并且改善了像素电极中的电势的保持特性。

