

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5214601号
(P5214601)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G02F 1/133 (2006.01)
 H04N 5/66 (2006.01)

G09G 3/36
 G09G 3/20 621B
 G09G 3/20 611J
 G09G 3/20 642A
 G09G 3/20 623C

請求項の数 18 (全 95 頁) 最終頁に続く

(21) 出願番号 特願2009-519183 (P2009-519183)
 (86) (22) 出願日 平成20年3月27日(2008.3.27)
 (86) 国際出願番号 PCT/JP2008/055968
 (87) 国際公開番号 W02008/152848
 (87) 国際公開日 平成20年12月18日(2008.12.18)
 審査請求日 平成21年8月10日(2009.8.10)
 (31) 優先権主張番号 特願2007-155652 (P2007-155652)
 (32) 優先日 平成19年6月12日(2007.6.12)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2007-309529 (P2007-309529)
 (32) 優先日 平成19年11月29日(2007.11.29)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 北山 雅江
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 (72) 発明者 入江 健太郎
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 (72) 発明者 下敷領 文一
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、及びテレビジョン受像機

(57) 【特許請求の範囲】

【請求項1】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、

上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動部と、

1フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、

上記走査信号駆動部が、

極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第1の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第2の期間とすると、上記第2の期間が上記第1の期間よりも長くなるようにゲートオンパルスを印加し、

上記走査信号線が1以上のブロックに分かれているとともに、各ブロックに含まれる走査信号線が、さらに複数のグループに分かれており、

上記走査信号駆動部が、上記走査信号線を上記ブロック単位で順次走査するとともに、

10

20

各ブロックの走査においては、上記走査信号線の各グループに対する走査を順次行うことによって飛び越し走査方式による駆動を行い、

上記データ信号駆動部が、走査が行われる上記走査信号線のグループの切り替わり時点で極性が反転するようにデータ信号を上記データ信号線に印加し、

上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、

上記表示制御回路に、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

上記一水平期間を上記間隔よりも短く設定することを特徴とする液晶表示装置。

【請求項2】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、

上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動部と、

1フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、

上記走査信号駆動部が、

極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスを印加し、

上記走査信号線が1以上のブロックに分かれているとともに、各ブロックに含まれる走査信号線が、さらに複数のグループに分かれており、

上記走査信号駆動部が、上記走査信号線を上記ブロック単位で順次走査するとともに、各ブロックの走査においては、上記走査信号線の各グループに対する走査を順次行うことによって飛び越し走査方式による駆動を行い、

上記データ信号駆動部が、走査が行われる上記走査信号線のグループの切り替わり時点で極性が反転するようにデータ信号を上記データ信号線に印加し、

上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、

上記表示制御回路に、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

上記一水平期間を上記間隔よりも短く設定することを特徴とする液晶表示装置。

【請求項3】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、

上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動部と、

1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、

上記走査信号駆動部が、

極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第1の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第2の期間とすると、上記第2の期間が上記第1の期間よりも長くなるようにゲートオンパルスを印加し、

10

上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、

上記表示制御回路が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間に、上記データ信号印加制御信号を上記データ信号駆動部に対して入力しないこととし、

上記表示制御回路に、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

20

上記一水平期間を上記間隔よりも短く設定することを特徴とする液晶表示装置。

【請求項4】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、

上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動部と、

1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、

30

上記走査信号駆動部が、

極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスを印加し、

上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、

上記表示制御回路が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間に、上記データ信号印加制御信号を上記データ信号駆動部に対して入力しないこととし、

40

上記表示制御回路に、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

上記一水平期間を上記間隔よりも短く設定することを特徴とする液晶表示装置。

【請求項5】

50

1つの組の映像データ数と上記間隔との積が、上記所定のデータに割り当てられた総水平期間と、上記所定のデータに割り当てられた総ダミー挿入期間と、上記その他の各データに割り当てられた総水平期間との和に等しいことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の液晶表示装置。

【請求項 6】

上記各組の所定のデータは、各組の最初のデータであることを特徴とする請求項 5 記載の液晶表示装置。

【請求項 7】

上記ダミー挿入期間が上記間隔よりも短いことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の液晶表示装置。

【請求項 8】

上記ダミー挿入期間は一水平期間に等しいことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の液晶表示装置。

【請求項 9】

上記ダミー挿入期間は一水平期間よりも短いことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の液晶表示装置。

【請求項 10】

上記ダミー挿入期間は一水平期間よりも長いことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の液晶表示装置。

【請求項 11】

上記走査信号駆動部が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、 0.8 msec 以下となるようにゲートオンパルスを印加することを特徴とする請求項 1 ~ 10 の何れか 1 項に記載の液晶表示装置。

【請求項 12】

上記走査信号駆動部が、全ての走査信号線に対して、同じパルス幅の上記ゲートオンパルスを印加することを特徴とする請求項 1 ~ 11 の何れか 1 項に記載の液晶表示装置。

【請求項 13】

上記走査信号線を分割するブロックの数が 1 つであることを特徴とする請求項 1 または 2 の何れか 1 項に記載の液晶表示装置。

【請求項 14】

請求項 1 ~ 13 の何れか 1 項に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

【請求項 15】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、

上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動処理と、

1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、

上記走査信号駆動処理において、

極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加され、

上記走査信号線が 1 以上のブロックに分かれているとともに、各ブロックに含まれる走査信号線が、さらに複数のグループに分かれており、

上記走査信号駆動処理において、上記走査信号線を上記ブロック単位で順次走査されるとともに、各ブロックの走査においては、上記走査信号線の各グループに対する走査を順

10

20

30

40

50

次行うことによって飛び越し走査方式による駆動が行われ、

上記データ信号駆動処理において、走査が行われる上記走査信号線のグループの切り替わり時点で極性が反転するようにデータ信号を上記データ信号線に印加され、

上記データ信号駆動処理に際してデータ信号を供給するとともに、上記データ信号駆動処理においてデータ信号をデータ信号線に印加されるタイミングを制御するデータ信号印加制御信号を上記データ信号駆動処理に際して入力する表示制御処理をさらに含み、

上記表示制御処理において、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御処理において、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

上記一水平期間が上記間隔よりも短く設定されることを特徴とする液晶表示装置の駆動方法。

【請求項16】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、

上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動処理と、

1フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、

上記走査信号駆動処理において、

極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加され、

上記走査信号線が1以上のブロックに分かれているとともに、各ブロックに含まれる走査信号線が、さらに複数のグループに分かれており、

上記走査信号駆動処理において、上記走査信号線を上記ブロック単位で順次走査されるとともに、各ブロックの走査においては、上記走査信号線の各グループに対する走査を順次行うことによって飛び越し走査方式による駆動が行われ、

上記データ信号駆動処理において、走査が行われる上記走査信号線のグループの切り替わり時点で極性が反転するようにデータ信号を上記データ信号線に印加され、

上記データ信号駆動処理に際してデータ信号を供給するとともに、上記データ信号駆動処理においてデータ信号をデータ信号線に印加されるタイミングを制御するデータ信号印加制御信号を上記データ信号駆動処理に際して入力する表示制御処理をさらに含み、

上記表示制御処理において、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御処理において、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

上記一水平期間が上記間隔よりも短く設定されることを特徴とする液晶表示装置の駆動方法。

【請求項17】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、

上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する

10

20

30

40

50

走査信号駆動処理と、

1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、

上記走査信号駆動処理において、

極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第1の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第2の期間とすると、上記第2の期間が上記第1の期間よりも長くなるようにゲートオンパルスが印加され、

10

上記データ信号駆動処理に際してデータ信号を供給するとともに、上記データ信号駆動処理においてデータ信号をデータ信号線に印加されるタイミングを制御するデータ信号印加制御信号を上記データ信号駆動処理に際して入力する表示制御処理をさらに含み、

上記表示制御処理において、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間に、上記データ信号印加制御信号が上記データ信号駆動処理に際して入力されず、

上記表示制御処理において、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御処理において、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

20

上記一水平期間が上記間隔よりも短く設定されることを特徴とする液晶表示装置の駆動方法。

【請求項18】

行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、

上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動処理と、

30

1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、

上記走査信号駆動処理において、

極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第1の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第2の期間とすると、上記第2の期間が上記第1の期間よりも長くなるようにゲートオンパルスが印加され、

40

上記データ信号駆動処理に際してデータ信号を供給するとともに、上記データ信号駆動処理においてデータ信号をデータ信号線に印加されるタイミングを制御するデータ信号印加制御信号を上記データ信号駆動処理に際して入力する表示制御処理をさらに含み、

上記表示制御処理において、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間に、上記データ信号印加制御信号が上記データ信号駆動処理に際して入力されず、

上記表示制御処理において、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御処理において、極性の反転に応じて複数の映像データごとに組としていき、

50

各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

上記一水平期間が上記間隔よりも短く設定されることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶に対して電圧を印加することによって画像の表示を行う液晶表示装置、液晶表示装置の駆動方法、およびテレビジョン受像機に関するものである。

10

【背景技術】

【0002】

液晶表示装置は、高精細、薄型、軽量および低消費電力等の優れた特長を有する平面表示装置であり、近年、表示性能の向上、生産能力の向上および他の表示装置に対する価格競争力の向上に伴い、市場規模が急速に拡大している。

【0003】

このような液晶表示装置において、液晶層に対して長期間直流電圧を印加し続けると素子が劣化するので、長寿命化のために印加電圧の極性を周期的に反転させる交流駆動（反転駆動）を行う必要がある。しかしながら、アクティブマトリクス型液晶表示装置において、1フレーム毎に反転駆動するフレーム反転駆動方式を採用した場合、液晶誘電率の異方性、画素TFTのゲート・ソース間の寄生容量に起因する画素電位の変動、対向電極信号のセンター値のずれなどの種々の要因によって、液晶に印加される正負電圧に多少のアンバランスが生じることは避けられない。その結果、フレーム周波数の半分の周波数での微少な輝度変動が生じ、フリッカとよばれるちらつきが視認されるという問題がある。これを防ぐために、1フレーム毎の反転に加えて、隣接ライン間、または隣接画素間で画素信号を逆極性にする反転駆動方式が一般に採用されている。

20

【0004】

ここで、画素単位で極性を反転させるドット反転を行う場合、データ信号線の信号遅延により画素の充電率が減少するという問題がある。この問題を抑制するために、複数水平期間毎（複数行毎）にデータ信号電圧の極性を反転する技術も提案されている。しかしながら、この方法においても、データ信号電圧の極性が反転する行では未だ画素の充電率が低下する問題がある。

30

【0005】

これに対して、データ信号の極性反転後にダミー水平期間を設けるとともに、パルス幅が複数の水平期間分となっているゲートオンパルスを、全ての走査信号線に対して同じパルス幅で印加する技術が特許文献1に開示されている。図92は、この技術による駆動方法を示す電圧波形図である。同図において、(2)はラッチパルスLP1を示し、(3)は各水平走査期間において信号側駆動回路でラッチされ信号線SLに出力される画像データDを示し、(4)は画像信号電圧の極性信号Pを示し、(5)～(12)は各走査線の走査信号電圧を示している。この技術によれば、上記の充電特性の違いによる表示ムラを改善することができる。

40

【0006】

また、データ信号の極性反転後のゲートオンパルスの幅を、データ信号の極性反転のない時のゲートオンパルスの幅より大きくすることで極性が反転された最初行の充電率を高める技術が特許文献2に開示されている。図93は、この技術による駆動方法を示す電圧波形図である。同図には、4i番目から[4(i+1)+1]番目行のゲート信号とデータ信号とが示されている。

【特許文献1】日本国公開特許公報「特開2001-51252号公報(2001.2.23公開)」

【特許文献2】日本国公開特許公報「特開2003-66928号公報(2003.3.19公開)」

50

5 公開) 」

【 発明の開示 】

【 0 0 0 7 】

しかしながら、特許文献 1 に開示されている技術では、データ信号の極性反転時に画素充電が行われる画素は、データ信号波形の鈍りが大きい期間に画素充電を行うことになるため、極性反転がない時に同じゲートオン時間で書き込みが行われる画素との充電率差を完全に改善できない問題があった。

【 0 0 0 8 】

また、特許文献 2 に開示されている技術では、データ信号の極性反転時に画素充電が行われる画素は、データ信号波形の鈍りが大きい期間に画素充電を行うことになっている。また、データ信号の遅延量は表示エリア内の場所によって異なるので、データ信号波形の波形鈍りも表示エリア内の場所によって異なることになる。よって、ゲートオンパルス

10

を極性反転後長くしたとしても、充電特性の違いによるムラを表示面内で均一に改善できない問題があった。この問題は、特に大型高精細の液晶表示装置で顕著であり、動画視認性を向上させるために画像書き込み周波数を高くする（例えば 1 2 0 H z ）場合に更に顕著となる。

【 0 0 0 9 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、極性反転時にデータ信号の波形に鈍りが生じていても、表示ムラなどを抑制した表示品位の高い表示を行うことが可能な液晶表示装置、液晶表示装置の駆動方法、およびテレビジョン受像機を提供

20

【 0 0 1 0 】

本発明に係る液晶表示装置は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動部と、1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、上記走査信号駆動部が、極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第 1 の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第 2 の期間とすると、上記第 2 の期間が上記第 1 の期間よりも長くなるようにゲートオンパルスを印加する構成である。

30

【 0 0 1 1 】

また、本発明にかかる液晶表示装置の駆動方法は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動処理と、1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、上記走査信号駆動処理において、極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第 1 の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第 2 の期間とすると、上記第 2 の期間が上記第 1 の期間よりも長くなるよ

40

50

うにゲートオンパルスが印加される方法である。

【 0 0 1 2 】

上記の構成または方法によれば、まず、極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、該ゲートオンパルスが印加される水平期間の終了時点よりも前にゲートオフされている。そして、極性反転時点よりも後の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、極性反転時点よりも後にゲートオンされている。よって、極性反転時点にはゲートオンパルスが印加されないことになるので、極性反転前後にゲートオンパルスが印加される隣接する 2 つの走査信号線において、極性が互いに反転しているデータ信号が同時に印加されないようにすることができる。これにより、極性反転時の画像表示の乱れを防止することができる。

10

【 0 0 1 3 】

また、極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、極性反転時点から上記第 1 の期間よりも長い期間の後にゲートオンされている。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。また、第 1 の期間よりも第 2 の期間の方が長いことで、極性反転前のゲートオンパルスの波形鈍りにより極性反転後のデータが書き込まれない最小限の範囲で極性反転前のゲートオンパルスの幅を画素の充電のために確保しつつ、データ信号の鈍りの影響を抑制するための必要な期間を十分にとれるため、無駄のない期間の配分が可能となる。

20

【 0 0 1 4 】

また、本発明に係る液晶表示装置は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動部と、1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、上記走査信号駆動部が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスを印加する構成である。

30

【 0 0 1 5 】

また、本発明にかかる液晶表示装置の駆動方法は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動処理と、1 フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、上記走査信号駆動処理において、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加される方法である。

40

【 0 0 1 6 】

上記の構成または方法によれば、極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、極性反転時点から水平表示期間以上経過した後にゲートオンされている。ここで、通常、データ信号線に印加されるデータ信号は、1 水平表示期間内で画素が充電されるような信号波形となるように設計される。よって、極性反転時点から 1 水平表示期間以上経過した時点では、極性反転時に生じるデータ

50

信号の波形の鈍りの影響は抑えられていることになる。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【 0 0 1 7 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、 0.8 msec 以下となるようにゲートオンパルスを印加する構成としてもよい。

【 0 0 1 8 】

上記の構成では、極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、極性反転時点から所定の時間後にゲートオンされている。この場合、極性反転前に表示が行われる走査信号線上の画素と、極性反転後に表示が行われる走査信号線上の画素とで、表示タイミングのずれが生じることになる。このずれが 0.8 msec よりも大きくなると、後述する官能試験に示すように、テアリングが視認されやすくなる。すなわち、上記の構成のように、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を 0.8 msec 以下とすれば、テアリングの問題が生じ難い、良好な表示を行うことが可能となる。

【 0 0 1 9 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、全ての走査信号線に対して、同じパルス幅の上記ゲートオンパルスを印加する構成としてもよい。

【 0 0 2 0 】

上記の構成によれば、各走査信号線に印加されるゲートオンパルスのパルス幅が全て等しくなるので、各画素に対する充電条件が均一となる。よって、表示画面全体でより均一な表示が行われることにより、表示品位をより良好にすることが可能となる。

【 0 0 2 1 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号線が1以上のブロックに分かれているとともに、各ブロックに含まれる走査信号線が、さらに複数のグループに分かれており、上記走査信号駆動部が、上記走査信号線を上記ブロック単位で順次走査するとともに、各ブロックの走査においては、上記走査信号線の各グループに対する走査を順次行うことによって飛び越し走査方式による駆動を行い、上記データ信号駆動部が、走査が行われる上記走査信号線のグループの切り替わり時点で極性が反転するようにデータ信号を上記データ信号線に印加する構成としてもよい。

【 0 0 2 2 】

上記の構成によれば、飛び越し走査方式の場合、表示上、画素にかかる電圧は1行毎に極性反転するため、順次走査方式と比べて、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。上記問題を抑制できることにより、順次走査方式における極性反転周期の長さにくらべ、飛び越し走査における極性反転周期の長さを長くしやすいため、消費電力の低減およびデータ信号駆動部の発熱を抑制しやすい。

【 0 0 2 3 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号線を分割するブロックの数が1つである構成としてもよい。

【 0 0 2 4 】

上記の構成によれば、データ信号線毎にデータ信号の極性が反転する駆動を実現することができる。また極性反転する行が画面の端となるため、ムラを目立たなくできる。また、消費電力の低減、およびデータ信号駆動部の発熱の抑制をより効果的に実現できる。

【 0 0 2 5 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号線を分割するブロックの数が2つ以上である構成としてもよい。

【 0 0 2 6 】

上記の構成によれば、走査信号線が複数のブロックに分かれており、各ブロック単位で飛び越し走査方式による駆動が行われることになる。この場合、走査信号線全体で飛び越し走査方式による駆動が行われる場合と比較して、各ブロック内でのグループ間での走査タイミングの差を小さくすることができる。よって、後述するコーミングの発生を抑制することができるので、表示品位をより良好にすることが可能となる。

【 0 0 2 7 】

また、本発明に係る液晶表示装置は、上記の構成において、上記各ブロックに含まれる走査信号線が、奇数行目の走査信号線からなる第1のグループと、偶数行目の走査信号線からなる第2のグループとに分かれており、上記走査信号駆動部が、隣接する2つのブロックにおいて、先行して走査が行われるブロックで後に走査が行われるグループが第1のグループである場合に、次に走査が行われるブロックで先に走査が行われるグループを第1のグループとし、先行して走査が行われるブロックで後に走査が行われるグループが第2のグループである場合に、次に走査が行われるブロックで先に走査が行われるグループを第2のグループとして走査を行うとともに、上記データ信号駆動部が、各ブロック内で走査されるグループが切り替わるときにデータ信号の極性を反転させるとともに、隣接する2つのブロック間で走査されるブロックが切り替わるときにはデータ信号の極性を反転させない構成としてもよい。

10

【 0 0 2 8 】

上記の構成によれば、第1のグループまたは第2のグループの走査信号線に対する走査が、隣接する2つのブロックにまたがって連続して行われることになり、この間は極性反転が行われないことになる。よって、隣接する2つのブロック間で走査されるブロックが切り替わるときに極性を反転させる場合と比較して、極性を反転させる回数を減らすことができ、消費電力を低減することができる。

20

【 0 0 2 9 】

また、本発明に係る液晶表示装置は、上記の構成において、上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、上記表示制御回路が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間に、上記データ信号印加制御信号を上記データ信号駆動部に対して入力しない構成としてもよい。

30

【 0 0 3 0 】

上記の構成によれば、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間において書き込まれるべきデータ信号が、該ゲートオンパルスによって書き込みが行われる期間において印加されることになる。よって、表示が行われるべきデータが省かれることなく、適切に表示を行うことが可能となる。

【 0 0 3 1 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部に対して、1フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を入力する表示制御回路をさらに備え、上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間において、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加するとともに、上記表示制御回路が、上記走査信号線の各グループに対応した上記ゲートスタートパルス信号、上記ゲートクロック信号、および上記走査信号出力制御信号をそれぞれ出力する構成としてもよい。

40

【 0 0 3 2 】

50

上記の構成によれば、ゲートスタートパルス信号、ゲートクロック信号、および走査信号出力制御信号が、走査信号線の各グループに対応した信号としてそれぞれ独立して走査信号駆動部に入力されることになる。よって、各グループごとにゲートオンパルスの印加の仕方を設定することが可能となる。

【 0 0 3 3 】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、各時点において走査を行うべきグループに対応する走査信号出力制御信号をゲートオンパルスの印加を許可している状態とし、走査を行うべきではないグループに対応する走査信号出力制御信号をゲートオンパルスの印加を許可していない状態とすることにより、上記飛び越し走査方式による駆動を上記走査信号駆動部に行わせる構成としてもよい。

10

【 0 0 3 4 】

上記の構成によれば、各グループに対応した走査信号出力制御信号を、飛び越し走査方式の駆動となるように制御することによって、飛び越し走査方式を実現することができる。

【 0 0 3 5 】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、上記データ信号の極性が反転する時点で、その後に走査を行うべきではないグループに対応するゲートクロック信号を一定の値に保持する構成としてもよい。

【 0 0 3 6 】

上記の構成によれば、データ信号の極性が反転する時点以降で走査を行うべきではないグループに対応する走査信号線に対して走査信号駆動部が動作を行わなくなるので、適切に飛び越し走査方式を実現することができる。なお、ゲートクロック信号を一定の値に保持する際には、ゲートクロック信号をアサートされた状態（Hレベル）で一定としてもよいし、ネゲートされた状態（Lレベル）で一定としてもよい（詳細は後述する）。

20

【 0 0 3 7 】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、上記データ信号の極性が反転する時点以降で走査を行うべきグループに対応するゲートクロック信号を、該極性が反転する時点から所定の期間が経過するまで一定の値に保持することによって、該極性反転時点に最も近いゲートオンパルスの印加開始時点と該極性反転時点までの時間を確保する構成としてもよい。

30

【 0 0 3 8 】

上記の構成によれば、ゲートクロック信号のクロックを停止させることによって、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が確保されることになる。よって、ゲートオンパルスの印加制御を各グループ毎に適切に行うことができる。

【 0 0 3 9 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、上記走査信号線の各グループに対応したシフトレジスタと、各走査信号線に対応したAND論理演算部とを備え、各シフトレジスタには、上記走査信号線の各グループに対応した上記ゲートスタートパルス信号、および上記ゲートクロック信号がそれぞれ入力され、上記AND論理演算部が、各シフトレジスタの出力と、上記走査信号出力制御信号の論理反転とのAND論理演算を行い、この演算結果をゲートオンパルスとして各走査信号線に出力する構成としてもよい。

40

【 0 0 4 0 】

上記の構成によれば、シフトレジスタとAND論理演算部という比較的簡素な構成によって、飛び越し走査方式による駆動を適切に行うことが可能となる。

【 0 0 4 1 】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、上記走査信号線の各ブロックにおいて、隣接する走査信号線同士の間で、あるグループに属する走査信号線に対するゲートオンパルスの印加時から、該グループとは異なるグループ

50

に属する走査信号線に対するゲートオンパルスの印加時までの時間が、 0.8 msec 以下となるようにゲートオンパルスを印加する構成としてもよい。

【0042】

上記の構成では、各ブロックの走査において、各グループに対する走査を順次行うことによって飛び越し走査方式による駆動が行われている。この場合、隣接する走査信号線同士の間で、あるグループに属する走査信号線に対するゲートオンパルスの印加時から、該グループとは異なるグループに属する走査信号線に対するゲートオンパルスの印加時までにある程度のブランク期間が生じることになる。このブランク期間が 0.8 msec よりも大きくなると、後述する官能試験に示すように、コーミングが視認されやすくなる。すなわち、上記の構成のように、このブランク期間を 0.8 msec 以下とすれば、コーミ

10

【0043】

また、本発明に係る液晶表示装置は、上記の構成において、上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、上記表示制御回路に、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていくとともに該組内の所定箇所にダミーデータを挿入し、ダミーデータに対応する信号電位の出力にダミー挿入期間を割り当て、各映像データに対応する信号電位の出力に一水平期間を割り当て、該一水平期間を上記間隔よりも短く設定する構成としてもよい。

20

【0044】

このように、各映像データの入力間隔（入力されるデータ列に設定された水平期間）よりも各映像データに対応する信号電位が出力される一水平期間を短くすれば、この短縮分の総和によってダミーデータを出力するためのダミー挿入期間を作り出すことができる。これにより、入力される映像データにダミーデータを挿入してこれにダミー挿入期間を割り当てながら、垂直表示期間の増加を抑えることができる。また、データ入出力の時間差の増加も抑えることができ、メモリ（バッファ）使用量を低減することができる。

【0045】

また、本発明に係る液晶表示装置は、上記の構成において、1組の映像データの数と上記間隔との積が、該組におけるダミーデータに割り当てられた総ダミー挿入期間と上記映像データに割り当てられた総水平期間との和に等しい構成としてもよい。

30

【0046】

こうすれば、垂直表示期間を変えることなく（すなわち、垂直帰線期間を減らすことなく）ダミー挿入期間を設ける（挿入する）ことができる。また、データ入出力の時間差が増加していくことがないため、メモリ（バッファ）使用量をより低減することができる。

【0047】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、各組の先頭にダミーデータを挿入する構成としてもよい。

【0048】

これにより、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにした場合でも、データの抜けが生じることなく正確な表示を行うことができる。

40

【0049】

また、本発明に係る液晶表示装置は、上記の構成において、上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、上記表示制御回路に、1本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像デー

50

タに対応する信号電位の出力に、一水平期間に加えて1以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、構成としてもよい。

【0050】

このように、実際の出力における一水平期間を、各データの入力間隔（入力されるデータ列に設定された水平期間）よりも短縮すれば、この短縮分の総和によってダミー挿入期間にあてるべき時間を作り出すことができる。これにより、ダミー挿入期間を設けつつ垂直表示期間の増加を抑えることができる。また、データ入出力の時間差の増加も抑えることができ、メモリ（バッファ）使用量を低減することができる。

【0051】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、1つの組の映像データ数と上記間隔との積が、上記所定のデータに割り当てられた総水平期間と、上記所定のデータに割り当てられた総ダミー挿入期間と、上記その他の各データに割り当てられた総水平期間との和に等しい構成としてもよい。

【0052】

こうすれば、垂直表示期間を変えることなく（すなわち、垂直帰線期間を減らすことなく）ダミー走査期間を設けることができる。また、データ入出力の時間差が増加していくことがないため、メモリ（バッファ）使用量をより低減することができる。

【0053】

また、本発明に係る液晶表示装置は、上記の構成において、上記各組の所定のデータは、各組の最初のデータである構成としてもよい。

【0054】

これにより、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにした場合でも、データの抜けが生じることなく正確な表示を行うことができる。

【0055】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー走査期間を上記間隔よりも短く設定する構成とすることもできる。

【0056】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー挿入期間は一水平期間に等しい構成としてもよい。こうすれば、各走査期間（ダミー挿入期間・水平期間）が同一となるため、信号処理あるいはそのための構成を簡易化することができる。

【0057】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー挿入期間は一水平期間よりも短い構成としてもよい。こうすれば、水平期間を長くできるため、画素の充電率を高めることができる。

【0058】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー挿入期間は一水平期間よりも長い構成としてもよい。こうすれば、組ごとに信号電位の極性を反転させる構成において、極性反転直後のデータ信号線の充電率を高めることができる。

【0059】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、上記データ信号線から各画素に対して電圧を印加するように上記走査信号線を選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じ走査信号線を選択状態とするプレ充電期間とを設ける構成としてもよい。

【0060】

例えば走査周波数を高めるために、水平走査期間を短く設定する必要がある場合、ゲートオンパルスのパルス幅も短くなることにより、各画素に対する充電時間が短くなり、充電が不十分となることがある。これに対して、上記の構成によれば、プレ充電期間と本充電期間とによって画素に対して充電を行うことができるので、画素に対する充電率をよ

10

20

30

40

50

り高めることができる。

【0061】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、全ての走査信号線に対して、上記プレ充電期間を等しくするとともに、上記本充電期間を等しくする構成としてもよい。

【0062】

上記の構成によれば、全ての走査信号線において充電期間の長さを等しくすることができるので、走査信号線の行によって充電期間が異なる場合に生じる表示ムラを防止することができる。

【0063】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部に対して、1フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を入力する表示制御回路をさらに備え、

上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成としてもよい。

【0064】

また、本発明に係る走査信号駆動装置は、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素と、1フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備えるアクティブマトリクス型の液晶表示装置が備える走査信号駆動装置において、上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加するとともに、上記データ信号線から各画素に対して電圧を印加するように上記走査信号線を選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じ走査信号線を選択状態とするプレ充電期間とを設け、1フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を外部から入力し、上記ゲートスタートパルス信号を受信すると、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対して上記プレ充電期間としてゲートオンパルスを印加し、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成である。

【0065】

例えば走査周波数を高めるために、水平走査期間を短く設定する必要がある場合、ゲートオンパルスのパルス幅も短くなることにより、各画素に対する充電時間が短くなり、充電が不十分となることがある。これに対して、上記の構成によれば、プレ充電期間と本充電期間とによって画素に対して充電を行うことができるので、画素に対する充電率をより高めることができる。

【0066】

また、プレ充電期間が走査信号出力制御信号に応じて設定される一方、本充電期間が、走査信号出力制御信号の影響を受けずに、ゲートクロック信号に応じて設定されることになる。ここで、走査信号線のある行ではプレ充電期間が設定され、別の行では本充電期間が設定されるようになっていれば、両者が時間的に重なっているような駆動制御を実現することができるとともに、それぞれの期間の長さを別々に設定することが可能となる。

【0067】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、上記

10

20

30

40

50

走査信号駆動部に対して、２つの状態のいずれか一方を選択する選択信号をさらに入力し、上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記選択信号によって一方の状態が選択されている場合には、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記選択信号によって他方の状態が選択されている場合には、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成としてもよい。

【００６８】

また、本発明に係る走査信号駆動装置は、上記の構成において、２つの状態のいずれか一方を選択する選択信号を外部からさらに入力し、上記ゲートスタートパルス信号を受信すると、上記選択信号によって一方の状態が選択されている場合には、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記選択信号によって他方の状態が選択されている場合には、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成としてもよい。

【００６９】

上記の構成によれば、プレ充電期間と本充電期間との切り替えを、選択信号の状態に応じて行うことが可能となる。ここで、選択信号がある一方の状態である時に、走査信号線のある行ではプレ充電期間が設定され、別の行では本充電期間が設定されるようになっていれば、両者が時間的に重なっているような駆動制御を実現することができるとともに、それぞれの期間の長さを別々に設定することが可能となる。

【００７０】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、シフトレジスタと、当該シフトレジスタの各段に対応して設けられた第１、第２および第３のＡＮＤ論理演算部と、第１のＯＲ論理演算部とを備え、各シフトレジスタには、上記ゲートスタートパルス信号、上記ゲートクロック信号、上記走査信号出力制御信号、および上記選択信号がそれぞれ入力され、シフトレジスタの奇数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号の論理反転信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部との出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの奇数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力され、シフトレジスタの偶数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号の論理反転信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部の出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの偶数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力される構成としてもよい。

【００７１】

また、本発明に係る走査信号駆動装置は、上記の構成において、シフトレジスタと、当該シフトレジスタの各段に対応して設けられた第１、第２および第３のＡＮＤ論理演算部と、第１のＯＲ論理演算部とを備え、各シフトレジスタには、上記ゲートスタートパルス信号、上記ゲートクロック信号、上記走査信号出力制御信号、および上記選択信号がそれぞれ入力され、シフトレジスタの奇数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号の論理反転信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部との出力が入力され、第３のＡＮＤ論理演算

部には第1のOR論理演算部の出力の論理反転信号と上記シフトレジスタの奇数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力され、シフトレジスタの偶数段では、第1のAND論理演算部には上記走査信号出力制御信号と上記選択信号とが入力され、第2のAND論理演算部には上記ゲートクロック信号と上記選択信号の論理反転信号とが入力され、第1のOR論理演算部には第1のAND論理演算部と第2のAND論理演算部の出力が入力され、第3のAND論理演算部には第1のOR論理演算部の出力の論理反転信号と上記シフトレジスタの偶数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力される構成としてもよい。

【0072】

上記の構成によれば、シフトレジスタとAND論理演算部とOR論理演算部という比較的簡素な構成によって、上記のような駆動を適切に行うことが可能となる。

10

【0073】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、第1および第2フリップフロップと、第1および第2出力マスクと、OR論理演算部とを備え、上記第1フリップフロップが、上記ゲートスタートパルス信号を入力し、上記ゲートクロック信号に基づいて第1出力信号を出力し、上記第2フリップフロップが、上記第1出力信号を入力し、上記ゲートクロック信号に基づいて第2出力信号を出力し、上記第1出力マスクが、上記第1出力信号に対して上記走査信号出力制御信号によるマスクを行った信号を出力し、上記第2出力マスクが、上記第2出力信号を上記ゲートクロック信号がLレベルとなっている期間のみ出力し、上記OR論理演算部が、上記第1出力マスクからの出力信号と上記第2出力マスクからの出力信号とのOR論理演算結果をゲートオンパルスとして各走査信号線に出力する構成としてもよい。

20

【0074】

また、本発明に係る走査信号駆動装置は、上記の構成において、第1および第2フリップフロップと、第1および第2出力マスクと、OR論理演算部とを備え、上記第1フリップフロップが、上記ゲートスタートパルス信号を入力し、上記ゲートクロック信号に基づいて第1出力信号を出力し、上記第2フリップフロップが、上記第1出力信号を入力し、上記ゲートクロック信号に基づいて第2出力信号を出力し、上記第1出力マスクが、上記第1出力信号に対して上記走査信号出力制御信号によるマスクを行った信号を出力し、上記第2出力マスクが、上記第2出力信号を上記ゲートクロック信号がLレベルとなっている期間のみ出力し、上記OR論理演算部が、上記第1出力マスクからの出力信号と上記第2出力マスクからの出力信号とのOR論理演算結果をゲートオンパルスとして各走査信号線に出力する構成としてもよい。

30

【0075】

上記の構成によれば、フリップフロップ、マスク、およびOR論理演算部という比較的簡素な構成によって、上記のような駆動を適切に行うことが可能となる。

【0076】

また、本発明に係る液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えるテレビジョン受像機を構成することも可能である。

【図面の簡単な説明】

40

【0077】

【図1】本発明の一実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。

【図2】データ信号電圧が10行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の1水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

【図3】データ信号電圧が10行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の2水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

【図4】データ信号電圧が10行毎に極性反転する順次走査方式の駆動において、極性反

50

転が行われた直後の 3 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

【図 5】データ信号電圧が 10 行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

【図 6】飛び越し走査方式において、ゲートラインの各行に印加されるデータ信号のフレーム番号を示した図である。

【図 7】(a) は、縦長形状の画像の例を示す図であり、(b) は、コーミングが発生した状態の例を示す図である。

【図 8】通常の飛び越し走査方式における書き込み動作を模式的に示す図である。

10

【図 9】ブロック分割飛び越し走査方式における書き込み動作を模式的に示す図である。

【図 10】1 つのブロックに含まれる走査線数を 20 としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

【図 11】1 つのブロックに含まれる走査線数を 20 としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートの別の例である。

【図 12】1 つのブロックに含まれる走査線数を 20 としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートのさらに別の例である。

20

【図 13】1 つのブロックに含まれる走査線数を 20 としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートのさらに別の例である。

【図 14】1 つのブロックに含まれる走査線数を 20 としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の 2 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

30

【図 15】本発明の別の実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。

【図 16】図 15 に示す実施形態に係る液晶表示装置の 1 画素分の等価回路を模式的に示す図である。

【図 17】CS コントロール回路、CS 幹配線、および CS ラインの接続状態を示す図である。

【図 18】CS 幹配線と CS ラインとの接続状態を詳細に示す図である。

【図 19】データ信号電圧が 10 行毎に極性反転する飛び越し走査方式の駆動におけるデータ信号波形、データ信号、ラッチストロープ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

40

【図 20】データ信号電圧が 10 行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の 2 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

【図 21】データ信号電圧が 10 行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の 2 水平期間をダミー挿入期間とするとともに、ダミー挿入期間を挿入した期間における CS 信号にも 2 H 分の CS 信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロープ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

50

【図 2 2】データ信号電圧が 10 行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の 2 水平期間をダミー挿入期間とするとともに、CS 信号の極性継続期間をそれぞれ 1 H 増加させる場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

【図 2 3】データ信号電圧が 10 行毎に極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 2 水平期間を第 1 のダミー挿入期間とし、データ信号の極性反転が行われた時点の 5 水平期間前の 2 水平期間を第 2 のダミー挿入期間とするとともに、第 1 および第 2 のダミー挿入期間を挿入した期間における CS 信号にもそれぞれ 2 H 分の CS 信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

10

【図 2 4】データ信号電圧が 10 行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の 2 水平期間をダミー挿入期間とするとともに、CS 信号の極性継続期間をそれぞれ 1 H 増加させる場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

【図 2 5】1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

【図 2 6】1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 1 水平期間を第 1 のダミー挿入期間とし、データ信号の極性反転が行われた時点の 5 水平期間前の 1 水平期間を第 2 のダミー挿入期間とするとともに、第 1 および第 2 のダミー挿入期間を挿入した期間における CS 信号にもそれぞれ 1 H 分の CS 信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

20

【図 2 7】1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 1 水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間においてのみ、CS 信号のいずれか 1 つの極性継続期間に CS 信号ダミー期間がデータ信号のダミー挿入期間分挿入される場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

30

【図 2 8】1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 1 水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間に含まれる CS 信号の 2 つの極性継続期間のそれぞれを 5.5 H とする場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

【図 2 9】1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 1 水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間に含まれる CS 信号の 2 つの極性継続期間のそれぞれを 5.5 H とする場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

40

【図 3 0】1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 2 水平期間を第 1 のダミー挿入期間とし、データ信号の極性反転が行われた時点の 5 水平期間前の 2 水平期間を第 2 のダミー挿入期間とするとともに、第 1 および第 2 のダミー挿入期間を挿入した期間における CS 信号にもそれぞれ 1 H 分の CS 信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

【図 3 1】1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 2 水平期間をダミー挿入期

50

間とするとともに、隣接行書込時間差期間に含まれるCS信号の2つの極性継続期間のそれぞれを6Hとする場合のデータ信号波形、データ信号、ラッチストロープ信号、ゲートオンパルス、およびCS信号のタイミングチャートである。

【図32】1つのブロックに含まれる走査線数 α を20としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の4水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間に含まれるCS信号の2つの極性継続期間のそれぞれを6Hとする場合のデータ信号波形、データ信号、ラッチストロープ信号、ゲートオンパルス、およびCS信号のタイミングチャートである。

【図33】本液晶表示装置の駆動方法を説明する模式図である。

【図34】図33の駆動方法をより詳細に説明する模式図である。

10

【図35】本液晶表示装置の他の駆動方法を説明する模式図である。

【図36】図35の駆動方法をより詳細に説明する模式図である。

【図37】本液晶表示装置の他の駆動方法を説明する模式図である。

【図38】本液晶表示装置の水平走査期間およびダミー走査期間の設定例を示す表である。

。

【図39】本液晶表示装置の他の駆動方法を説明する模式図である。

【図40】本液晶表示装置の他の駆動方法を説明する模式図である。

【図41】本液晶表示装置における水平走査期間およびダミー走査期間の決定例を示すフローチャートである。

【図42】本液晶表示装置における水平走査期間およびダミー走査期間の他の決定例を示すフローチャートである。

20

【図43】図42に示す工程による水平走査期間およびダミー走査期間の設定例を示す表である。

【図44】再計算による水平走査期間およびダミー走査期間の設定例を示す表である。

【図45】ゲートドライバ用ICの構成例を示すブロック図である。

【図46】ゲートドライバの構成例を示すブロック図である。

【図47】ゲートドライバの動作を示す波形図である。

【図48】図47とは異なる駆動動作を示す波形図である。

【図49】テレビジョン受像機用の表示装置の構成を示すブロック図である。

【図50】チューナ部と表示装置との接続関係を示すブロック図である。

30

【図51】表示装置をテレビジョン受像機とするときの機械的構成の一例を示す分解斜視図である。

【図52】ダミー挿入期間の長さを変化させた場合に、テアリングが視認されるか否かを検証した官能評価結果を示す表である。

【図53】データ信号電圧が10行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の1水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

【図54】1ゲートラインずつ飛び越していくインターレース走査を行い、1本のソースラインに供給する信号電位の極性を10データ分ごとに反転させ、かつ極性反転直後(10水平走査期間ごと)に1つのダミー走査期間を挿入する場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

40

【図55】1ゲートラインずつ飛び越していくインターレース走査を行い、1本のソースラインに供給する信号電位の極性を、1組目は10データ分で反転させ、かつ極性反転(走査開始時含む)直後に1つのダミー走査期間を挿入し、2組目以降は20データ分で反転させ、かつ極性反転直後に1つのダミー走査期間を挿入する場合のデータ信号波形、データ信号、ラッチストロープ信号、およびゲートオンパルスのタイミングチャートである。

。

【図56】並べ替え回路を示す概略ブロック図である。

【図57】データの並べ替えの方法を説明するための模式図である。

【図58】図57の点線で囲った部分を拡大して示す模式図である。

50

【図 5 9】データ信号波形、ゲートオンパルス、CS 信号、および副画素における電圧印加状態を示すタイミングチャートである。

【図 6 0】CS 信号の電圧の到達率の差による表示画面上の周期的な表示ムラを示す図である。

【図 6 1】CS 信号の立上りまたは立下りのタイミングで、所定の幅のオーバーシュートパルス P_{oc} を立てる制御を行った場合の、データ信号波形、ゲートオンパルス、および CS 信号を示すタイミングチャートである。

【図 6 2】水平期間 H が短い場合の CS 信号の設定波形と実際の波形とを示す図である。

【図 6 3】CS 信号における極性反転周期の長さに応じて、オーバーシュートパルスのパルス幅および印加タイミングを変化させる場合の、CS 信号の設定波形と実際の波形とを示す図である。

10

【図 6 4】CS 信号における極性反転周期の長さに応じて、オーバーシュートパルスの電圧を変化させる場合の、CS 信号の設定波形と実際の波形とを示す図である。

【図 6 5】1つのブロックに含まれる走査線数 α を 48 としたブロック分割飛び越し走査方式の駆動において、第 1 のダミー挿入期間および第 2 のダミー挿入期間のそれぞれを 2H とした場合の CS 幹配線と各 CS ラインとの接続状態、ならびに、CS 信号およびゲートオンパルスのタイミングチャートである。

【図 6 6】図 6 5 において、CS 幹配線が 2 本追加され、CS 信号の位相の種類として CS_{__P} と CS_{__O} とが追加された状態のタイミングチャートである。

【図 6 7】1つのブロックに含まれる走査線数 α を 48 としたブロック分割飛び越し走査方式の駆動において、第 1 のダミー挿入期間および第 2 のダミー挿入期間のそれぞれを 2H とした場合の CS 幹配線と各 CS ラインとの接続状態、ならびに、CS 信号およびゲートオンパルスのタイミングチャートである。

20

【図 6 8】CS 信号の波形が 12 相の場合の CS 幹配線と各 CS ラインとの接続状態、ならびに、CS 信号およびゲートオンパルスのタイミングチャートである。

【図 6 9】図 7 0 の (c) および (d) で示される CS 信号が印加される場合の、CS 幹配線と各 CS ラインとの接続状態、ならびに、CS 信号およびゲートオンパルスのタイミングチャートである。

【図 7 0】(a) および (b) は、CS 信号の極性反転タイミングと、ゲートオフタイミングとの関係が互いに異なる駆動例を示す図であり、(c) および (d) は、極性継続期間が 14H である部分を、12H の部分と 2H の部分とに分けるとともに、2H の部分を、H となっている期間と L となっている期間とが等しくなるように設定する場合の駆動例を示す図である。

30

【図 7 1】本充電期間とプレ充電期間とを設ける駆動の例を示す図である。

【図 7 2】行によって充電率が異なり輝度差が生じる場合の表示ムラの状態の例を示す図である。

【図 7 3】ゲートオンパルスのパルス幅を制御する例を示す図である。

【図 7 4】ダブルパルス駆動で、順次走査 nH 反転駆動を実現するゲートドライバ用 IC の構成例を示す図である。

【図 7 5】図 7 4 に示すゲートドライバの動作の例を示す波形図である。

40

【図 7 6】図 7 4 に示すゲートドライバの動作の別の例を示す波形図である。

【図 7 7】ダブルパルス駆動で順次走査方式の駆動において、極性反転が行われた直後の 1 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロブ信号、およびゲートオンパルスのタイミングチャートである。

【図 7 8】図 7 7 の一部を拡大して示す図である。

【図 7 9】ダブルパルス駆動で順次走査方式の駆動において、極性反転が行われた直後の 2 水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロブ信号、およびゲートオンパルスのタイミングチャートである。

【図 8 0】ダブルパルス駆動で、ブロック分割インターレース駆動を実現するゲートドライバ用 IC の構成例を示す図である。

50

【図 8 1】図 8 0 に示すゲートドライバの動作の例を示す波形図である。

【図 8 2】図 8 0 に示すゲートドライバの動作の例を示す波形図である。

【図 8 3】図 8 0 に示すゲートドライバの動作の別の例を示す波形図である。

【図 8 4】図 8 0 に示すゲートドライバの動作の別の例を示す波形図である。

【図 8 5】ダブルパルス駆動でブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 1 水平期間を第 1 のダミー挿入期間とし、データ信号の極性反転が行われた時点の 5 水平期間前の 1 水平期間を第 2 のダミー挿入期間とするとともに、第 1 および第 2 のダミー挿入期間を挿入した期間における CS 信号にもそれぞれ 1 H 分の CS 信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロブ信号、ゲートオンパルス、および CS 信号のタイミングチャートである。

10

【図 8 6】第 1 のダミー挿入期間および第 2 のダミー挿入期間のそれぞれを 2 H とした場合の駆動例を示す図である。

【図 8 7】CS 信号の波形が 1 2 相の場合の CS 幹配線と各 CS ラインとの接続状態、ならびに、CS 信号およびゲートオンパルスのタイミングチャートの別の例である。

【図 8 8】図 6 8 および図 8 7 における CS 信号の極性反転タイミングとゲートオンパルスとのタイミングとをそれぞれ波形 1 および波形 2 として示す図である。

【図 8 9】走査線数毎に、保持容量信号が H レベルとなっている期間と L レベルとなっている期間との差、1 フレーム期間との比、および目視評価としての輝度ムラの状態を示す表である。

【図 9 0】選択信号を用いずにダブルパルスのゲートオンパルスを印加するゲートドライバ用 IC の要部構成を示す図である。

20

【図 9 1】図 9 0 に示すゲートドライバユニットに基づく駆動例の波形図である。

【図 9 2】従来技術による駆動方法を示す電圧波形図である。

【図 9 3】別の従来技術による駆動方法を示す電圧波形図である。

【符号の説明】

【 0 0 7 8 】

1 0 T F T

1 2 a 第 1 T F T

1 2 b 第 2 T F T

1 5 信号線

30

1 6 走査線

1 7 a 第 1 の副画素電極

1 7 b 第 2 の副画素電極

4 1 第 1 A N D ゲート

4 1 n ゲートドライバ用 IC チップ

4 2 第 1 シフトレジスタ

4 3 第 2 シフトレジスタ

4 5 出力部

5 2 CS ライン

5 2 M CS 幹配線 (保持容量信号供給配線)

40

5 2 a 補助容量配線

5 2 b 補助容量配線

8 3 液晶コントローラ

8 4 液晶パネル

9 0 CS コントロール回路 (保持容量信号駆動部)

9 0 チューナ部

1 0 0 表示部

2 0 0 表示制御回路

3 0 0 ソースドライバ

4 0 0 ゲートドライバ

50

4 4 1 第 1 A N D ゲート
4 4 2 第 2 A N D ゲート
6 0 0 バックライト
7 0 0 光源駆動回路
8 0 0 表示装置

【発明を実施するための最良の形態】

【0079】

[実施の形態 1]

本発明の一実施形態について図面に基づいて説明すると以下の通りである。

【0080】

(液晶表示装置の構成)

図 1 は、本実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。この液晶表示装置は、データ信号線駆動回路としてのソースドライバ 300 と、走査信号線駆動回路としてのゲートドライバ 400 と、アクティブマトリクス形の表示部 100 と、面状照明装置としてのバックライト 600 と、そのバックライトを駆動する光源駆動回路 700 と、ソースドライバ 300、ゲートドライバ 400 および光源駆動回路 700 を制御するための表示制御回路 200 とを備えている。なお本実施形態では、表示部 100 はアクティブマトリクス型の液晶パネルとして実現されているが、表示部 100 がソースドライバ 300 およびゲートドライバ 400 と共に一体化されて液晶パネルを構成してもよい。

【0081】

上記液晶表示装置における表示部 100 は、複数本 (m 本) の走査信号線としてのゲートライン $GL1 \sim GLm$ と、それらのゲートライン $GL1 \sim GLm$ のそれぞれと交差する複数本 (n 本) のデータ信号線としてのソースライン $SL1 \sim SLn$ と、それらのゲートライン $GL1 \sim GLm$ とソースライン $SL1 \sim SLn$ との交差点にそれぞれ対応して設けられた複数個 ($m \times n$ 個) の画素形成部とを含む。これらの画素形成部はマトリクス状に配置されて画素アレイを構成する。以下では、画素アレイの並びにおけるゲートライン方向を行方向、ソースライン方向を列方向と称する。

【0082】

各画素形成部は、対応する交差点を通過するゲートライン GLj にゲート端子が接続されるとともに当該交差点を通過するソースライン SLi にソース端子が接続されたスイッチング素子である TFT10 と、その TFT10 のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極 E_c と、上記複数の画素形成部に共通的に設けられ画素電極と共通電極 E_c との間に挟持された液晶層とからなる。そして、画素電極と共通電極 E_c とにより形成される液晶容量により画素容量 C_p が構成される。なお通常、画素容量に確実に電圧を保持すべく、液晶容量に並列に補助容量 (保持容量) が設けられるが、補助容量は本実施形態には直接に関係しないのでその説明および図示を省略する。

【0083】

各画素形成部における画素電極には、ソースドライバ 300 およびゲートドライバ 400 により、表示すべき画像に応じた電位が与えられ、共通電極 E_c には、図示しない電源回路から所定電位 V_{com} が与えられる。これにより、画素電極と共通電極 E_c との間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用され、本実施形態では、ノーマリブラックとなるように偏光板が配置されているものとする。したがって、各画素形成部は、その画素容量 C_p に電圧が印加されないときには黒の画素を形成する。

【0084】

バックライト 600 は、上記表示部 100 を後方から照明する面状照明装置であり、例えば線状光源としての冷陰極管と導光板を用いて構成される。このバックライト 600 は

10

20

30

40

50

光源駆動回路 700 によって駆動されて点灯し、これによってバックライト 600 から表示部 100 の各画素形成部に光が照射される。

【0085】

表示制御回路 200 は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号 Dv と、当該デジタルビデオ信号 Dv に対応する水平同期信号 HSY および垂直同期信号 VSY と、表示動作を制御するための制御信号 Dc とを受け取る。また、表示制御回路 200 は、受け取ったこれらの信号 Dv, HSY, VSY, Dc に基づき、そのデジタルビデオ信号 Dv の表す画像を表示部 100 に表示させるための信号として、データスタートパルス信号 SSP と、データクロック信号 SCK と、ラッチストロープ信号（データ信号印加制御信号）LS と、極性反転信号 POL と、表示すべき画像を表すデジタル画像信号 DA（ビデオ信号 Dv に相当する信号）と、ゲートスタートパルス信号 GSP と、ゲートクロック信号 GCK と、ゲートドライバ出力制御信号（走査信号出力制御信号）GOE とを生成し出力する。

10

【0086】

より詳しくは、ビデオ信号 Dv を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 DA として表示制御回路 200 から出力し、そのデジタル画像信号 DA の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 SCK を生成し、水平同期信号 HSY に基づき 1 水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号 SSP を生成し、垂直同期信号 VSY に基づき 1 フレーム期間（1 垂直走査期間）毎に所定期間だけ Hレベルとなる信号としてゲートスタートパルス信号 GSP（GSPa、GSPb）を生成し、水平同期信号 HSY に基づきゲートクロック信号 GCK（GCKa、GCKb）を生成し、水平同期信号 HSY および制御信号 Dc に基づきラッチストロープ信号 LS、ならびにゲートドライバ出力制御信号 GOE（GOEa、GOEb）を生成する。

20

【0087】

上記のようにして表示制御回路 200 において生成された信号のうち、デジタル画像信号 DA とラッチストロープ信号 LS とデータスタートパルス信号 SSP とデータクロック信号 SCK と極性反転信号 POL とは、ソースドライバ 300 に入力され、ゲートスタートパルス信号 GSP とゲートクロック信号 GCK とゲートドライバ出力制御信号 GOE とは、ゲートドライバ 400 に入力される。

30

【0088】

ソースドライバ 300 は、デジタル画像信号 DA とデータスタートパルス信号 SSP およびデータクロック信号 SCK とラッチストロープ信号 LS と極性反転信号 POL とに基づき、デジタル画像信号 DA の表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号 S(1)～S(n)を 1 水平期間毎に順次生成し、これらのデータ信号 S(1)～S(n)をソースライン SL1～SLn にそれぞれ印加する。

【0089】

ゲートドライバ 400 は、ゲートスタートパルス信号 GSP（GSPa、GSPb）およびゲートクロック信号 GCK（GCKa、GCKb）と、ゲートドライバ出力制御信号 GOE（GOEa、GOEb）とに基づき、走査信号 G(1)～G(m)を生成し、これらをゲートライン GL1～GLm にそれぞれ印加することにより当該ゲートライン GL1～GLm を選択的に駆動する。このゲートライン GL1～GLm の選択的な駆動は、走査信号 G(1)～G(m)として、選択期間をパルス幅としたゲートオンパルスを印加することによって実現される。なお、本実施形態では、一部の駆動例を除き、各ゲートラインに印加されるゲートオンパルス Pw のパルス幅が全て等しくなっている。よって、各画素に対する充電条件が均一となるので、表示画面全体でより均一な表示が行われることにより、表示品位をより良好にすることが可能となる。

40

【0090】

上記のようにソースドライバ 300 およびゲートドライバ 400 により表示部 100 のソースライン SL1～SLn およびゲートライン GL1～GLm が駆動されることで、選

50

択されたゲートライン GL_j に接続された TFT 10 を介して画素容量 C_p にソースライン SL_i の電圧が与えられる ($i = 1 \sim n$, $j = 1 \sim m$)。これにより各画素形成部において液晶層にデジタル画像信号 DA に応じた電圧が印加され、その電圧印加によってバックライト 600 からの光の透過量が制御されることで、外部からのデジタルビデオ信号 Dv の示す画像が表示部 100 に表示される。

【0091】

表示方式としては、順次走査方式（プログレッシブスキャン方式）と飛び越し走査方式（インターレーススキャン方式）とが挙げられる。順次走査方式は、1 画面を表示する際、すなわち 1 フレーム期間に、ゲートライン $GL_1 \sim GL_m$ を最上部から最下部にかけて 1 ラインずつ順に選択する方式である。

10

【0092】

また、飛び越し走査方式は、ゲートライン $GL_1 \sim GL_m$ が所定のライン間隔で同じグループとなるように複数のグループに分かれており、各グループに対する走査が順次行われる方式である。ゲートライン $GL_1 \sim GL_m$ が 1 ライン間隔で同じグループとなるように 2 つのグループに分かれている場合、1 フレーム期間に、奇数または偶数番目のゲートライン $GL_1 \sim GL_m$ を最上部から最下部にかけて順に選択した後に、偶数または奇数番目のゲートライン $GL_1 \sim GL_m$ を最上部から最下部にかけて順に選択することになる。

【0093】

（順次走査方式の駆動例）

図 2 は、データ信号電圧がデータ信号電圧の中央値 V_{sc} （一般に、 V_{com} とほぼ等しい）を基準として 10 行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の 1 水平期間（1H）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストロブ信号 LS 、およびゲートオンパルス（画素データ書き込みパルス） Pw のタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行） $GL_1 \sim GL_m$ の各行を示している。

20

【0094】

同図に示すように、極性反転が行われた直後は、実際のデータ信号の波形に鈍りが生じている、すなわち、データ信号波形が極性反転後の所定の電圧に到達するまでに時間がかかっている。同図に示す例では、実際のデータ信号波形は、極性反転直後から 1 水平期間分程度の時間をかけて所定の電圧に到達している。なお、同図において、データ信号波形は、同一極性の間はデータ信号電圧（階調）が変化しないような簡易的な信号の状態を示している。これは以下に示す図においても同様である。

30

【0095】

これに対して、上記の駆動方式では、極性反転直後の 1 水平期間においてはゲートオンパルス Pw を印加しないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【0096】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースライン $SL_1 \sim SL_n$ （データ信号線）の、印加電圧に対する実際の電圧の到達率（充電率）を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する 10 行毎のムラを防止できる。

40

【0097】

なお、ダミー挿入期間には、表示制御回路 200 は、ソースドライバ 300 に入力する LS 信号のオンパルスの印加を停止させている。これにより、ダミー挿入期間において書き込まれるべきデータ信号が、ダミー挿入期間の次の水平期間において書き込まれることになる。よって、ダミー挿入期間を設けても、表示が行われるべきデータが省かれることなく、適切に表示を行うことが可能となる。

【0098】

50

また、表示制御回路 200 が、極性反転直後のダミー挿入期間に印加すべきデータ信号と同じデータ信号を次の 1 水平期間で出力するようにしてもよい。これによっても、ダミー挿入期間を設けても、表示が行われるべきデータが省かれることなく、適切に表示を行うことが可能となる。

【0099】

図 3 は、データ信号電圧が V_{sc} を基準として 10 行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の 2 水平期間 (2H) をダミー挿入期間とする (○印の部分) 場合のデータ信号波形、データ信号、ラッチストロブ信号 LS、およびゲートオンパルス (画素データ書き込みパルス) PW のタイミングチャートを示している。また、図 4 は、データ信号電圧が V_{sc} を基準として 10 行毎に極性反転する駆動方式において、極性反転が行われた直後の 3 水平期間 (3H) をダミー挿入期間とする (○印の部分) 場合のデータ信号波形、データ信号、ラッチストロブ信号 LS、およびゲートオンパルス (画素データ書き込みパルス) PW のタイミングを示している。これらの図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン (書き込み行) GL1 ~ GLm の各行を示している。

【0100】

図 3 に示す例では、実際のデータ信号波形は、極性反転直後から 2 水平期間分程度の時間をかけて所定の電圧に到達している。また、図 4 に示す例では、実際のデータ信号波形は、極性反転直後から 3 水平期間分程度の時間をかけて所定の電圧に到達している。このように、データ信号の電圧波形が鈍る程度は、液晶表示装置の仕様によって異なるものである。これは、例えば液晶表示装置の画面サイズ、および画素数によってソースライン SL1 ~ SLn に対する負荷の度合いが異なることによるものである。

【0101】

したがって、上記のように、実際のデータ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。例えば、データ信号波形の鈍りが 60 Hz の 1 水平期間分で生じる場合、ダミー挿入期間を 1 水平期間 (1H) とし、同じ液晶表示装置を用いて 120 Hz 駆動を行った場合、データ信号波形の鈍りが 120 Hz の 2 水平期間分で生じることとなるため、ダミー挿入期間を 2 水平期間 (2H) とすればよい。

【0102】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時ににおけるソースライン SL1 ~ SLn の、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する 10 行毎のムラを防止できる。

【0103】

なお、上記の例では、ダミー挿入期間を 2H または 3H としているが、極性反転後のデータ信号波形の鈍りの程度に応じて、4H 以上に設定してもよい。ただし、このダミー挿入期間を所定の長さ以上とすると、極性反転が行われる前後のゲートライン間において画像が横方向にずれて見えるといった不具合 (テアリング) が発生することがある。テアリングが視認される程度は、ダミー挿入期間の長さで決まる。

【0104】

詳しく説明すると、上記のようにダミー挿入期間を設ける場合、極性反転前に表示が行われるゲートライン上の画素と、極性反転後に表示が行われるゲートライン上の画素とで、表示タイミングのずれが生じることになる。図 52 は、ダミー挿入期間の長さを変化させた場合に、テアリングが視認されるか否かを検証した官能評価結果を示している。同図に示す例では、FHD パネル (1920 × 1080 ドット) を 60 Hz のフレーム周波数で表示させた場合の結果となっており、ダミー挿入期間を 40 H (593 μs) ~ 540 H (8000 μs) の間で変化させている。結果としては、ダミー挿入期間が 815 μs 以下であればテアリングがほとんど気にならないレベルであり、ダミー挿入期間が 118

5 μ s 以下であればテアリングが少し気になるレベルであり、ダミー挿入期間が 1 4 8 1 μ s 以上となるとテアリングが非常に悪いレベルとなっている。

【 0 1 0 5 】

以上より、極性反転前後における表示タイミングのずれが 0 . 8 m s e c よりも大きくなると、テアリングが視認されやすくなり、表示品位が悪化することになる。よって、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を 0 . 8 m s e c 以下とすれば、テアリングの問題が生じ難い、良好な表示を行うことが可能となる。

【 0 1 0 6 】

(飛び越し走査方式の駆動例)

図 5 は、データ信号電圧が V_{sc} を基準として極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間 (1 H) をダミー挿入期間とする ($\circ$ 印の部分) 場合のデータ信号波形、データ信号、ラッチストロブ信号 LS 、およびゲートオンパルス (画素データ書き込みパルス) Pw のタイミングチャートを示している。同図に示す飛び越し走査方式では、1 フレーム期間を前半の 1 / 2 フレーム期間 (1 / 2 F) と後半の 1 / 2 フレーム期間に分け、前半 1 / 2 F においてデータ信号の極性を + 極性として奇数行を飛び越し走査し、次に後半 1 / 2 F においてデータ信号の極性を - 極性に反転させて偶数行を走査している。なお、ここでは簡便のため、20 行の走査信号線からなると仮定した実施例としている。

【 0 1 0 7 】

飛び越し走査方式の場合、極性反転周期が 1 / 2 F ごととなるので、順次走査方式と比べて、消費電力の低減、およびソースドライバ 300 の発熱の抑制を実現できる。さらに、飛び越し走査方式の場合、表示上、画素にかかる電圧は 1 行毎に極性反転するため、順次走査方式と比べて、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。

【 0 1 0 8 】

飛び越し走査方式においても、前記した順次走査方式と同様に、データ信号極性反転時に実際のデータ信号の波形に鈍りが生じている。同図に示す例では、データ信号は、極性反転直後から 1 水平期間分程度の時間をかけて所定の電圧に到達している。これに対して、上記の駆動方式では、極性反転直後の 1 水平期間においてはゲートオンパルス Pw を印加しないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【 0 1 0 9 】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースライン $SL_1 \sim SL_n$ (データ信号線) の、印加電圧に対する実際の電圧の到達率 (充電率) を上げることができる。

【 0 1 1 0 】

なお、前記した順次走査方式と同様に、ダミー挿入期間には、表示制御回路 200 は、ソースドライバ 300 に入力する LS 信号のオンパルスの印加を停止させている。これにより、ダミー挿入期間において書き込まれるべきデータ信号が、ダミー挿入期間の次の水平期間において書き込まれることになる。また、表示制御回路 200 が、極性反転直後のダミー挿入期間に印加すべきデータ信号と同じデータ信号を次の 1 水平期間で出力するようにしてもよい。

【 0 1 1 1 】

なお、データ信号は、図示したような飛び越し走査 (インターレース) に対応して、表示制御回路 200 が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号 DA としてソースドライバ 300 に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路 200 に入力されるデジタル RGB 信号としてのデジタルビデオ信号 Dv を、メモリに

10

20

30

40

50

一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。

【 0 1 1 2 】

(ブロック分割飛び越し走査方式)

図 6 は、前記した飛び越し走査方式において、ゲートライン(書き込み行) $GL1 \sim GLm$ の各行に印加されるデータ信号のフレーム番号を示した図である。飛び越し走査方式の場合、 $1/2$ フレーム間隔で、ゲートラインの奇数行目と偶数行目との間でフレーム番号の異なる画像が表示されることになる。同図に示す例では、最初の $1/2 F$ において、奇数行目のゲートラインに n フレーム目の画像が表示され、偶数行目のゲートラインに $n - 1$ フレーム目の画像が表示されており、3 つ目の $1/2 F$ において、奇数行目のゲートラインに $n + 1$ フレーム目の画像が表示され、偶数行目のゲートラインに n フレーム目の画像が表示されている。

10

【 0 1 1 3 】

この場合、図 7 の (a) に示すような縦長形状の画像を横方向に移動させるような動画表示を行った場合、縦方向のエッジ部分が、図 7 の (b) に示すように櫛状に見えるといった不具合(コーミング)が発生することがある。このコーミングという現象は、例えばインターレース画像を IP 変換なしに PC 用のプログレッシブモニタで表示した場合に発生する、横スクロール画像が櫛状になる現象と同じ原理で発生するものである。コーミングが視認される程度は、ゲートラインの奇数行目と偶数行目との間でフレーム番号の異なる画像が表示される状態の時間の長さで決まる。

20

【 0 1 1 4 】

図 8 は、通常の飛び越し走査方式における書き込み動作を模式的に示しており、横軸が時間経過を表しており、縦軸が書き込み行としてのゲートライン $GL1 \sim GLm$ を示している。同図に示す例では、まずゲートライン $GL1 \sim GLm$ の奇数行の全てに書き込みが行われ、その後偶数行への書き込みが行われている。ここで、フレーム周波数を 120 Hz (1 周期 8.333 ms) とすると、隣接するゲートライン同士の間で、奇数行の書き込み動作時から偶数行の書き込み動作時までの時間 T_c は $4167\text{ }\mu\text{s}$ となる。

【 0 1 1 5 】

コーミングは、前記したテアリングの原理と同様に、隣接するゲートライン同士の間で表示タイミングがずれることによって生じるものである。よって、前記したテアリングに関する官能評価結果と同様の結果がコーミングに関しても得られることになる。すなわち、時間 T_c が 0.8 ms 程度以上となるとコーミングが視認されるようになるので、図 8 に示す例では、コーミングが視認されてしまうことになる。

30

【 0 1 1 6 】

これに対して、本実施形態では、ゲートライン $GL1 \sim GLm$ を複数のブロックに分割し、各ブロック毎に飛び越し走査を行う(ブロック分割飛び越し走査方式)ようにしている。これにより、時間 T_c を小さくすることが可能となるので、コーミングが視認されにくくなる。

【 0 1 1 7 】

図 9 は、ブロック分割飛び越し走査方式における書き込み動作を模式的に示しており、横軸が時間経過を表しており、縦軸が書き込み行としてのゲートライン $GL1 \sim GLm$ を示している。同図に示す例では、ゲートライン $GL1 \sim GLm$ を α 行ごとのブロックに分割し、各ブロック毎に飛び越し走査を行っている。詳しくは、まずゲートラインの 1 行目から α 行目までの奇数行に対してデータ信号電圧が V_{sc} に対してプラス極性(+極性)となるように書き込みが行われ、その後 1 行目から α 行目までの偶数行に対してデータ信号電圧が V_{sc} に対してマイナス極性(-極性)となるように書き込みが行われる。次に、 $\alpha + 1$ 行目から 2α 行目までの偶数行に対してデータ信号電圧が V_{sc} に対してマイナス極性となるように書き込みが行われ、その後 $\alpha + 1$ 行目から 2α 行目までの奇数行に対してデータ信号電圧が V_{sc} に対してプラス極性となるように書き込みが行われる。これを順次繰り返すことによって 1 フレーム分の書き込みが行われる。

40

50

【 0 1 1 8 】

なお、上記の方式では、ゲートラインの 1 行目から α 行目までの第 1 のブロックでは、奇数行、偶数行の順で書き込みが行われ、 $\alpha + 1$ 行目から 2α 行目までの第 2 のブロックでは、偶数行、奇数行の順で書き込みが行われている。すなわち、奇数番目のブロックでは、奇数行、偶数行の順で書き込みが行われ、偶数番目のブロックでは、偶数行、奇数行の順で書き込みが行われている。そして、ブロックを跨いで書き込みが行われる時にデータ信号電圧の極性を同一としている。このようにすることで、ブロックの切り替わり時には極性反転が不要となるので、消費電力を抑えることができる。

【 0 1 1 9 】

このブロック分割飛び越し走査方式における、隣接行の書き込みの時間差である時間 T_c は、

$$T_c = (\alpha / 2) / (V_{total}) \times (\text{フレーム周期})$$

なる式で表される。ここで V_{total} は、1 垂直期間、すなわち全走査線数を示している。なお $(\text{フレーム周期}) / (V_{total}) = (1 \text{ 水平期間の時間})$ で在るので、上式を変形して、 $T_c = (\alpha / 2) \times (1H; 1 \text{ 水平期間の時間})$ と書くこともできる。

【 0 1 2 0 】

例えば、52 型フル HD (帰線期間込み全走査線数 1125 本) で 120 Hz 駆動の場合、 $\alpha = 48$ に設定すれば、異常な表示状態となる時間 T_c は、

$$T_c = (48 / 2) / 1125 \times (1 / 120) \times 10^6 = 177.8 \mu s$$

となり、コーミングは視認されない程度に抑制される。

【 0 1 2 1 】

また、37 型フル HD (帰線期間込み全走査線数 1125 本) で 60 Hz 駆動の場合、 $\alpha = 20$ に設定すれば、同様に計算すると、 $T_c = 148.1 \mu s$ となり、コーミングは視認されない程度に抑制される。

【 0 1 2 2 】

(ブロック分割飛び越し走査方式の駆動例)

図 10 は、1 つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の 1 水平期間 (1H) をダミー挿入期間とする (○印の部分) 場合のデータ信号波形、データ信号、ラッチストロブ信号 LS、およびゲートオンパルス Pw のタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン (書き込み行) GL1 ~ GLm の各行を示している。

【 0 1 2 3 】

この駆動例では、ゲートラインの 1 行目から 20 行目までの第 1 のブロックでは、奇数行、偶数行の順で書き込みが行われ、21 行目から 40 行目までの第 2 のブロックでは、偶数行、奇数行の順で書き込みが行われている。よって、ゲートラインの 40 行目までにおいては、第 1 のブロックにおける奇数行から偶数行への切り替わり時、および、第 2 のブロックにおける偶数行から奇数行への切り替わり時に極性反転が生じている。詳しくは、ゲートラインの 1 ~ 40 行の偶数行 20H 分はデータ信号の極性が同極性 (ここでは - 極性) で維持されて走査される。以後 21 行目からの奇数行 20 行分もデータ信号の極性を同極性 (ここでは + 極性) で維持されて走査されていく。したがって、初めの走査を除いて、20 行走査毎にデータ信号の極性が反転されて走査が行われることになる。

【 0 1 2 4 】

この例では、実際のデータ信号波形は、極性反転直後から 1 水平期間分程度の時間をかけて所定の電圧に到達している。よって、この極性反転時のデータ信号の波形の鈍りに起因するムラが生じる場合がある。

【 0 1 2 5 】

したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込

10

20

30

40

50

みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースライン $S L 1 \sim S L n$ の、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する約 20 行毎のムラを防止できる。

【0126】

また、前記した順次走査方式と比較して、表示上、画素にかかる電圧は 1 行毎に極性反転するため、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。加えて、ブロック分割飛び越し走査方式を採用していることにより、前記したコーミングの発生を抑制することができる。

【0127】

10

なお、データ信号は、図示したようなブロック分割飛び越し走査（インターレース）に対応して、表示制御回路 200 が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号 DA としてソースドライバ 300 に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路 200 に入力されるデジタル RGB 信号としてのデジタルビデオ信号 Dv を、メモリに一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。

【0128】

図 11 に示す駆動例では、ゲートラインの 1 行目から 20 行目までの第 1 のブロックでは、偶数行、奇数行の順で書き込みが行われ、21 行目から 40 行目までの第 2 のブロックでは、奇数行、偶数行の順で書き込みが行われている。よって、ゲートラインの 40 行目までにおいては、第 1 のブロックにおける偶数行から奇数行への切り替わり時、および、第 2 のブロックにおける奇数行から偶数行への切り替わり時に極性反転が生じている。その他の点は、図 10 に示した駆動例と同様であるので、ここではその説明を省略する。

20

【0129】

図 12 に示す駆動例では、ゲートラインの 1 行目から 20 行目までの第 1 のブロックでは、偶数行、奇数行の順で書き込みが行われ、21 行目から 40 行目までの第 2 のブロックでは、奇数行、偶数行の順で書き込みが行われている。そして、ゲートラインの 40 行目までにおいては、第 1 のブロックにおける偶数行から奇数行への切り替わり時、および、第 2 のブロックにおける奇数行から偶数行への切り替わり時に加えて、第 1 のブロックから第 2 のブロックへの切り替わり時にも極性反転が生じている。これらの極性反転が行われた直後の 1 水平期間（1H）をダミー挿入期間としている。

30

【0130】

この駆動例においても、ダミー挿入期間を設けることによる効果が得られるようになっている。しかしながら、前記した図 10、図 11 の駆動例と比較して、極性反転の回数が増えるので、消費電力という観点からは、前記した図 10、図 11 の駆動例の方が好ましいことになる。

【0131】

また、20 行目と 21 行目とでは、画素電極に印加される電圧が同一極性となるのに対し、他の行では上下に隣接する行同士で画素電極に印加される電圧の極性が反対となる。このため、上下の画素電極のカップリング容量を介したゲートオフ後の画素電極の電圧変動値が 20、21 行目間とそれ以外とで異なるため、スジムラとなってしまうおそれがある。この問題を考慮すると、前記した図 10、図 11 の駆動例の方が好ましいことになる。

40

【0132】

図 13 の駆動例では、ゲートラインの 1 行目から 20 行目までの第 1 のブロックでは、偶数行、奇数行の順で書き込みが行われ、21 行目から 40 行目までの第 2 のブロックでも、偶数行、奇数行の順で書き込みが行われている。そして、ゲートラインの 40 行目までにおいては、第 1 のブロックにおける偶数行から奇数行への切り替わり時、および、第 2 のブロックにおける奇数行から偶数行への切り替わり時に加えて、第 1 のブロックから

50

第2のブロックへの切り替わり時にも極性反転が生じている。これらの極性反転が行われた直後の1水平期間(1H)をダミー挿入期間としている。

【0133】

この駆動例は、図12の駆動例と異なり、20行目と21行目との間においても画素電極に印加される電圧の極性が反対となっている。よって、上下の画素電極のカップリング容量を介したゲートオフ後の画素電極の電圧変動値が全ての行間でほとんど同じにすることができるので、スジムの発生を抑制することができる。

【0134】

図14は、1つのブロックに含まれる走査線数 α を20としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の2水平期間(2H)をダミー挿入期間とする(○印の部分)場合のデータ信号波形、データ信号、ラッチストロープ信号LS、およびゲートオンパルスPwのタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン(書き込み行)GL1~GLmの各行を示している。

【0135】

図14に示す例では、実際のデータ信号波形は、極性反転直後から2水平期間分程度の時間をかけて所定の電圧に到達している。したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインSL1~SLnの、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因するムラを防止できる。

【0136】

なお、上記の例では、ダミー挿入期間を2Hとしているが、極性反転後のデータ信号波形の鈍りの程度に応じて、3H以上に設定してもよい。

【0137】

(ゲートオンパルスの印加制御)

ここで、上記のダミー挿入期間についてより詳細に説明する。上記した各駆動例では、極性反転時点から、ゲートオンパルスPwが最初に印加されるまでの期間を水平期間単位で確保することによって、データ信号波形の鈍りの影響を抑制している。しかしながら、この期間は、水平期間単位に限定されるものではなく、次のような範囲であればデータ信号波形の鈍りの影響を抑制することが可能である。

【0138】

まず、極性反転時点よりも前の時点で印加されるゲートオンパルスPwのうち、極性反転時点に最も近いゲートオンパルスPwの最後端が、該ゲートオンパルスPwが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスのPw最後端から、該ゲートオンパルスPwが印加される水平期間の終了時点までの時間を第1の期間とする。また、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスPwのうち、極性反転時点に最も近いゲートオンパルスPwの印加開始時点までの時間を第2の期間とする。この第2の期間が上記第1の期間よりも長くなるようにゲートオンパルスPwが印加されればよい。

【0139】

なお、上記の各駆動例では、第2の区間がダミー挿入期間に相当しており、第1の期間は、1水平期間内でゲートオンパルスPwがオフされてから該水平期間が終了するまでの期間である。よって、どの駆動例においても、第2の期間が第1の期間よりも長くなっていることは明らかである。また、上記の駆動例としては挙げていないが、極性反転の直前においてゲートオンパルスPwを印加しない水平期間を設けた駆動を行ってもよく、この場合も、第2の期間が第1の期間よりも長くなることは明らかである。

【0140】

このような駆動によれば、極性反転時点にはゲートオンパルス P_w が印加されないことになるので、極性反転前後にゲートオンパルス P_w が印加される隣接する 2 つのゲートラインにおいて、極性が互いに反転しているデータ信号が同時に印加されないようにすることができる。これにより、極性反転時の画像表示の乱れを防止することができる。

【0141】

また、極性反転時点以降に印加されるゲートオンパルス P_w のうち、極性反転時点に最も近いゲートオンパルス P_w は、極性反転時点から上記第 1 の期間よりも長い期間の後にゲートオンされている。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

10

【0142】

また、極性反転時点から、ゲートオンパルス P_w が最初に印加されるまでの期間を次のような範囲に設定してもよい。すなわち、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルス P_w のうち、極性反転時点に最も近いゲートオンパルス P_w の印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加されればよい。

【0143】

なお、上記の各駆動例では、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルス P_w のうち、極性反転時点に最も近いゲートオンパルス P_w の印加開始時点までの時間がダミー挿入期間に相当している。よって、どの駆動例においても、ダミー挿入期間が水平表示期間よりも長くなっていることは明らかである。

20

【0144】

水平期間は、水平表示期間と水平帰線期間との和によって構成されている。通常、ソースラインに印加されるデータ信号は、1 水平表示期間内で画素が充電されるような信号波形となるように設計される。よって、極性反転時点から 1 水平表示期間以上経過した時点では、極性反転時に生じるデータ信号の波形の鈍りの影響は抑えられていることになる。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【0145】

30

なお、上記のように、基本的には、ソースラインに印加されるデータ信号は、1 水平表示期間内で画素が充電されるような信号波形となるように設計される。しかしながら、極性反転した場合は、極性反転していない場合と比較して、データ信号波形の電圧変化が大きくなるので、装置の設計条件によっては、1 水平表示期間内で画素が充電されない可能性がある。このような場合には、前記した駆動例のように、ダミー挿入期間を 2 H 以上とするなどによって対応すればよいことになる。

【0146】

[実施の形態 2]

本発明の他の実施形態について図面に基づいて説明すれば、以下のとおりである。なお、前記した実施の形態 1 で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

40

【0147】

(液晶表示装置の構成)

図 15 は、本実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。この液晶表示装置は、図 1 に示した液晶表示装置において、さらに補助容量配線駆動回路としての CS コントロール回路 (保持容量信号駆動部) 90 を備えている。その他の構成については、実施の形態 1 で示した構成と同様であるので、その説明を省略する。

【0148】

CS コントロール回路 90 は、補助容量配線 (保持容量配線 ; CS 配線) に印加する C

50

S（保持容量）信号波形の位相および幅などを制御する回路である。このCSコントロール回路90による制御の詳細、および、補助容量配線の詳細については後述する。

【0149】

図16は、本実施形態に係る液晶表示装置の1画素分の等価回路を模式的に示している。同図に示すように、各画素は2つの副画素を備えており、各副画素に対応して、第1 TFT 12aおよび第2 TFT 12bが設けられている。そして、第1の副画素電極17a、対向電極Ec、および両者間の液晶層によって第1副画素容量Csp1が構成され、第2の副画素電極17b、対向電極Ec、および両者間の液晶層によって第2副画素容量Csp2が構成されている。このような画素構造はマルチ画素構造と称される。なお、本実施形態では、1つの画素に2つの副画素が含まれる形態としているが、3つ以上の副画素が含まれる形態であってもよい。

10

【0150】

このようなマルチ画素構造が適用される場合、副画素のうちの少なくとも2つは輝度が互いに異なるものであることが好ましい。この形態によれば、1つの画素内に明るい副画素及び暗い副画素の両方が存在するため、面積階調によって中間調を表現することができ、液晶表示画面の斜め視角における白浮きを改善するのに好適である。

【0151】

第1副画素容量Csp1および第2副画素容量Csp2の静電容量値は同一の値となっており、この値は各液晶層に印加される実効電圧に依存する。また、第1副画素容量Csp1および第2副画素容量Csp2とは独立して、第1補助容量Cs1および第2補助容量Cs2が設けられており、これらの静電容量値は同一の値としている。

20

【0152】

第1副画素容量Csp1および第1補助容量Cs1の一方の電極は第1 TFT 12aのドレイン電極に接続されており、第1副画素容量Csp1の他方の電極は対向電極Ecに接続され、第1補助容量Cs1の他方の電極は補助容量配線（CSライン）52aに接続されている。一方、第2副画素容量Csp2および第2補助容量Cs2の一方の電極は第2 TFT 12bのドレイン電極に接続されており、第2副画素容量Csp2の他方の電極は対向電極Ecに接続され、第2補助容量Cs2の他方の電極は補助容量配線（CSライン）52bに接続されている。

【0153】

第1 TFT 12aおよび第2 TFT 12bのゲート電極はいずれも走査線16に接続されており、ソース電極はいずれも信号線15に接続されている。

30

【0154】

図17は、CSコントロール回路90、CS幹配線（保持容量信号供給配線）52M...、およびCSライン52...の接続状態を示している。また、図18は、CS幹配線52M...とCSライン52...との接続状態を詳細に示している。

【0155】

CSコントロール回路90は、CS幹配線52M...に対して、それぞれ異なる信号波形となるCS信号を出力する。図18に示す例では、CS幹配線52M...は、A～H、J、Kの10種類の配線によって構成されており、それぞれに異なる信号波形のCS信号が入力される。これらのCS幹配線52M...は、液晶表示装置の表示エリアの外に設けられる。

40

【0156】

また、CSライン52...は、隣り合うゲートラインGLm-1・GLmの間に、ゲートラインGLmと並行に配置されている。また、各CSライン52は、CS幹配線52M...のうちのいずれか一本と接続されている。図18に示す例では、CSライン52...は、CS幹配線52M...のA～H、J、Kのそれぞれに接続されるCS__A～CS__H、CS__J、CS__Kのいずれかに対応するようになっている。

【0157】

以上のようなマルチ画素構造を備えた液晶表示装置において、上記のようにソースドラ

50

イバ300およびゲートドライバ400により表示部100のソースライン $SL_1 \sim SL_n$ およびゲートライン $GL_1 \sim GL_m$ が駆動されることで、選択されたゲートライン GL_j に接続されたTFT10を介して画素容量にソースライン SL_i の電圧が与えられる($i = 1 \sim n, j = 1 \sim m$)。そしてCSコントロール回路90によりCSライン52...が駆動され、画素容量に与えられたソースライン SL_i の電圧をCS信号により制御する。

【0158】

これにより各画素形成部において液晶層にデジタル画像信号DAに応じた電圧が印加され、その電圧印加によってバックライト600からの光の透過量が制御されることで、外部からのデジタルビデオ信号Dvの示す画像が表示部100に表示される。

【0159】

(飛び越し走査方式の駆動例)

図19は、データ信号電圧が V_{sc} を基準として10行毎に極性反転する飛び越し走査方式の駆動におけるデータ信号波形、データ信号、ラッチストロブ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、1フレーム期間を前半の $1/2$ フレーム期間($1/2F$)と後半の $1/2$ フレーム期間に分け、前半 $1/2F$ においてデータ信号の極性を+極性として奇数行を飛び越し走査し、次に後半 $1/2F$ においてデータ信号の極性を-極性に反転させて偶数行を走査している。なお、ここでは簡便のため、20行の走査信号線からなると仮定して、10Hごとにデータ信号の極性反転が行われる場合とした実施例としている。

【0160】

同図において、各CSライン52に対応する2つの副画素の明暗状態が示されている。また、隣接するソースライン $SL_{n-1} \cdot SL_n$ 同士の間で極性を反転させて駆動させた場合の各副画素の明暗の状態がタイミングチャートの右側に図示されている。この駆動例の場合、各副画素の明暗状態の並びが副画素単位で市松状となり、画像のざらつき感(ジャギー感)が少ない最も良い形態となっている。ここで、ハッチングをかけたものが暗画素を表し、ハッチングをかけていないものが明画素を表している。このような駆動状態とする条件としては、次の条件が挙げられる。

【0161】

互いに隣接する2つのゲートラインに関し、先にゲートオンパルスが印加される奇数行目のゲートラインに対するゲートオンパルス印加時点から、後にゲートオンパルスが印加される偶数行目のゲートラインに対するゲートオンパルス印加時点までの期間を隣接行書込時間差期間とすると、少なくとも隣接行書込時間差期間において、CS信号の極性反転が偶数回($2k$ (k は1以上の整数))行われることである。言い換えれば、CS信号の極性反転周期を第1の極性継続期間と第2の極性継続期間の和とすると、(CS信号の極性反転周期) = (隣接行書込時間差期間) / k (k は1以上の整数)となるように設定されていれば、列方向に隣接する副画素間で明暗状態が全て逆転するようになる。すなわち、副画素の明暗の状態が一定し、表示品位の乱れを防止することができる。そして、奇数行と偶数行との間の各副画素の明暗の順序を1行ごとに反転した状態とすることができるので、前記したジャギーの発生の問題も抑制することができる。

【0162】

また、同図に示す例では、 $k = 1$ となっており、CS信号の極性反転周期は、隣接行書込時間差期間の $1/2$ となっている。この $k = 1$ の場合、CS信号の極性反転周期が最も長くなるので、CS信号の極性が反転してから次の反転の直前にゲートオンパルスPwを印加することによって、CS信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。

【0163】

また、CSライン52の $n + 2$ 行目に印加されるCS信号の位相が、 n 行目に印加されるCS信号の位相に対して1H遅れた状態となっている。これにより、全てのCSライン52...において、CS信号の極性が反転してから同一の時間が経過した後であって、CS信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。した

10

20

30

40

50

がって、CS 信号の波形の鈍りによる表示上のムラを抑制することができる。

【0164】

なお、上記の第1および第2の条件を満たすためには、データ信号波形の極性反転周期の半分の期間、すなわち、一方の極性が継続する期間に含まれる水平期間数の2倍の種類のCS信号が必要となる。例えば図19に示す例では、 $10(H) \times 2 = 20$ 種類のCS信号が必要となる。この場合、単純に考えれば、CS幹配線52Mを20本設ける必要があるが、同図に示す例のように、互いに位相が反転しているCS信号同士を利用することによって、10種類(位相)のCS信号によって上記のような駆動を実現している。詳しく説明すると、CSライン52...を上10行と下11行との2つのブロックに分け、上10行における2行ごとの組のCS信号を、下10行において、各組ごとに順序を逆にする

10

【0165】

前記したように、飛び越し走査方式の場合、極性反転周期が $1/2F$ ごととなるので、順次走査方式と比べて、消費電力の低減、およびソースドライバ300の発熱の抑制を実現できる。さらに、飛び越し走査方式の場合、表示上、画素にかかる電圧は1行毎に極性反転するため、順次走査方式と比べて、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。

【0166】

なお、データ信号は、図示したような飛び越し走査(インターレース)に対応して、表示制御回路200が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号DAとしてソースドライバ300に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路200に入力されるデジタルRGB信号としてのデジタルビデオ信号Dvを、メモリに一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。これは以下に示す他の駆動例でも同様である。

20

【0167】

一方、前記したように、この飛び越し走査方式においても、データ信号極性反転時に実際のデータ信号の波形に鈍りが生じている。同図に示す例では、実際のデータ信号波形は、極性反転直後から1水平期間分程度の時間をかけて所定の電圧に到達している。よって、このデータ信号の波形の鈍りに起因する表示上のムラが生じる場合がある。

30

【0168】

このデータ信号の波形の鈍りに起因する表示上のムラを改善する駆動方式として、図20に示す駆動例が挙げられる。同図は、データ信号電圧が V_{sc} を基準として極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の2水平期間(2H)をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロブ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、1フレーム期間を前半の $1/2$ フレーム期間($1/2F$)と後半の $1/2$ フレーム期間に分け、前半 $1/2F$ においてデータ信号の極性を+極性として奇数行を飛び越し走査し、次に後半 $1/2F$ においてデータ信号の極性を-極性に反転させて偶数行を走査している。なお、ここでは簡便のため、20行の走査信号線からなると仮定した実施例としている。

40

【0169】

同図に示す例では、実際のデータ信号波形は、極性反転直後から2水平期間分程度の時間をかけて所定の電圧に到達している。これに対して、上記の駆動方式では、極性反転直後の2水平期間においてはゲートオンパルスPwを印加しないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【0170】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時にお

50

けるソースライン $SL1 \sim SLn$ (データ信号線) の、印加電圧に対する実際の電圧の到達率 (充電率) を上げることができる。

【0171】

なお、実施の形態 1 で示したものと同様に、ダミー挿入期間には、表示制御回路 200 は、ソースドライバ 300 に入力する LS 信号のオンパルスの印加を停止させている。これにより、ダミー挿入期間において書き込まれるべきデータ信号が、ダミー挿入期間の次の水平期間において書き込まれることになる。また、表示制御回路 200 が、極性反転直後のダミー挿入期間に印加すべきデータ信号と同じデータ信号を次の 2 水平期間で出力するようにしてもよい。

【0172】

一方、本駆動例のように、単純にダミー挿入期間を挿入するだけでは、マルチ画素駆動の場合には次のような問題が生じる。すなわち、ダミー挿入期間が挿入されることによってデータ信号波形の極性反転周期が増加することになる一方、 CS 信号の極性反転周期は変化していないので、両者の位相の関係がずれてしまうことになる。よって、副画素の明暗の状態が一定しないことになり、表示品位が低下するという問題が生じる。

【0173】

例えば図 20 において、後半の $1/2F$ では、 CS 信号の波形の鈍りが大きい期間でゲートオンパルス Pw が印加されているので、 CS 信号の電圧が所定の値に到達していない状態で表示が行われることにより、表示ムラが生じることになる。また、同図に示すようなゲートオンパルス Pw とデータ信号波形と CS 信号波形の関係では、奇数行と偶数行との間の各副画素の明暗の順序が、明、暗、暗、明、明、暗、... というように、暗または明がそれぞれ 2 行ずつ連続した状態となっている。図中、ハッチングをかけたものが暗画素、ハッチングをかけていないものが明画素に対応している。この場合、明暗が 1 行ごとに反転する場合と比較して、表示品位としてギザギザ感 (ジャギー) が目立つ問題が生じる。

【0174】

この CS 信号の極性反転周期と、データ信号波形の極性反転周期との相違による問題を改善する駆動方式として、図 21 に示す駆動例が挙げられる。同図は、データ信号電圧が Vsc を基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 2 水平期間 ($2H$) をダミー挿入期間とするとともに、ダミー挿入期間を挿入した期間における CS 信号にも $2H$ 分の CS 信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロブ信号 LS 、ゲートオンパルス Pw 、および CS 信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、1 フレーム期間を前半の $1/2$ フレーム期間 ($1/2F$) と後半の $1/2$ フレーム期間に分け、前半 $1/2F$ においてデータ信号の極性を + 極性として奇数行を飛び越し走査し、次に後半 $1/2F$ においてデータ信号の極性を - 極性に反転させて偶数行を走査している。なお、ここでは簡便のため、20 行の走査信号線からなると仮定した実施例としている。

【0175】

同図に示す例では、ダミー挿入期間を挿入しない状態では、 CS 信号における 1 つの極性が継続する期間 (極性継続期間) は $5H$ となっている。これに対して、データ信号の極性反転が行われた直後に存在している CS 信号における極性継続期間に、ダミー挿入期間を挿入する期間、すなわち $2H$ を加えている。すなわち、データ信号の極性反転が行われた直後に存在している CS 信号における極性継続期間を $7H$ とし、それ以外の CS 信号の極性継続期間を $5H$ としている。

【0176】

上記のような駆動によれば、ダミー挿入期間が挿入されることによってデータ信号波形の極性反転周期が増加するとともに、 CS 信号の極性反転周期も増加することになるので、両者の位相の関係は保たれることになる。また、それぞれの CS 信号に関し、少なくとも隣接行書込時間差期間において、極性反転タイミングが連続するフレーム間で等しくなる。よって、副画素の明暗の状態が一定し、表示品位の乱れを防止することができる。そ

10

20

30

40

50

して、奇数行と偶数行との間の各副画素の明暗の順序を 1 行ごとに反転した状態とすることができるので、前記したジャギーの発生の問題も抑制することができる。

【 0 1 7 7 】

また、全ての C S ライン 5 2 ... において、C S 信号の極性が反転してから同一の時間が経過した後であって、C S 信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、C S 信号の波形の鈍りによる表示上のムラを抑制することができる。

【 0 1 7 8 】

このような駆動は、データ信号波形が同じ極性で継続している期間においては、C S ライン 5 2 の $n + 2$ 行目に印加される C S 信号の位相が、 n 行目に印加される C S 信号の位相に対して 1 H 遅れた状態とすることによって実現できる。

10

【 0 1 7 9 】

なお、C S ライン 5 2 ... を上 1 0 行と下 1 1 行との 2 つのブロックに分け、上 1 0 行における 2 行ごとの組の C S 信号を、下 1 0 行において、各組ごとに順序を逆にする事と、下 1 1 行目の C S 信号を上 1 行目の C S 信号と同じにすることによって、1 0 種類 (位相) の C S 信号によって上記のような駆動を実現している。

【 0 1 8 0 】

また、上記の例では、ダミー挿入期間を 2 H としているが、データ信号の波形鈍りの程度に応じて、1 H でもよく、また 3 H 以上としても構わない。

【 0 1 8 1 】

20

一方、上記の駆動例では、C S 信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間とが異なる長さとなっている。この場合、副画素における実効電圧が極性継続期間の相違に伴って異なることがあり、これにより縞状の表示ムラが生じる場合があるという問題がある。

【 0 1 8 2 】

この極性継続期間の相違による問題を改善する駆動方式として、図 2 2 に示す駆動例が挙げられる。同図は、データ信号電圧が V_{sc} を基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 2 水平期間 (2 H) をダミー挿入期間とするとともに、C S 信号の極性継続期間をそれぞれ 1 H 増加させる場合のデータ信号波形、データ信号、ラッチストロブ信号 L S、ゲートオンパルス P w、および C S 信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、1 フレーム期間を前半の $1 / 2$ フレーム期間 ($1 / 2 F$) と後半の $1 / 2$ フレーム期間に分け、前半 $1 / 2 F$ においてデータ信号の極性を + 極性として奇数行を飛び越し走査し、次に後半 $1 / 2 F$ においてデータ信号の極性を - 極性に反転させて偶数行を走査している。なお、ここでは簡便のため、2 0 行の走査信号線からなると仮定した実施例としている。

30

【 0 1 8 3 】

同図に示す例では、ダミー挿入期間を挿入しない状態では、C S 信号における 1 つの極性が継続する期間 (極性継続期間) は 5 H となっている。これに対して、挿入されたダミー挿入期間の 2 H のうち、1 H の分を C S 信号の一方の極性継続期間に加えて 6 H とし、残りの 1 H の分を C S 信号の他方の極性継続期間に加えて 6 H としている。すなわち、C S 信号の極性反転周期を、ダミー挿入期間を加えたデータ信号波形の極性反転周期の半分の長さとする事とともに、C S 信号における極性継続期間を極性によらず一定にしている。

40

【 0 1 8 4 】

なお、ダミー挿入期間を加えたデータ信号波形の極性反転周期の半分の長さが、1 水平期間の正の整数個分の長さとなるようにダミー挿入期間を設定することが必要である。これによって、C S 信号の極性継続期間を 1 水平期間単位の長さで設定することが可能となる。こうすることで C S 信号波形の生成回路が複雑になることを抑制することができる。

【 0 1 8 5 】

上記のような駆動によれば、図 2 1 に示した駆動例と同様に、副画素の明暗の状態が一定し、表示品位の乱れを防止することができるという効果、前記したジャギーの発生の問題

50

題も抑制することができるという効果、CS信号の波形の鈍りによる表示上のムラを抑制することができるという効果に加えて、次の効果を奏する。すなわち、CS信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間とが等しくなっているので、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【0186】

なお、本駆動例では、CSライン52...を上12行と下9行との2つのブロックに分け、上12行のブロックの上8行における2行ごとの組のCS信号を、下8行において、各組ごとに順序を逆にすることと下9行目のCS信号を上10行目のCS信号と同じにすることによって、12種類(位相)のCS信号によって上記のような駆動を実現している。

10

【0187】

次に、図21に示した駆動例における極性継続期間の相違による問題を改善する別の駆動方式について説明する。図23は、データ信号電圧が V_{sc} を基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の2水平期間(2H)を第1のダミー挿入期間とし、データ信号の極性反転が行われた時点の5水平期間(5H)前の2水平期間(2H)を第2のダミー挿入期間とするとともに、第1および第2のダミー挿入期間を挿入した期間におけるCS信号にもそれぞれ2H分のCS信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロブ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、1フレーム期間を前半の1/2フレーム期間(1/2F)と後半の1/2フレーム期間に分け、前半1/2Fにおいてデータ信号の極性を+極性として奇数行を飛び越し走査し、次に後半1/2Fにおいてデータ信号の極性を-極性に反転させて偶数行を走査している。なお、ここでは簡便のため、20行の走査信号線からなると仮定した実施例としている。

20

【0188】

この駆動例では、まずデータ信号の極性反転周期の半分の期間、すなわち、データ信号極性POLにおける1つの極性が継続する期間において、極性反転が行われた直後に加えて、さらに別のタイミングでダミー挿入期間を挿入している。そして、このダミー挿入期間が挿入されるタイミングではゲートオンパルスPwを印加しないようになっている。

【0189】

また、CS信号の極性反転周期を、全てのダミー挿入期間を加えたデータ信号極性POLの極性反転周期の半分の長さとするとともに、CS信号における極性継続期間を極性に問わず一定にしている。

30

【0190】

上記のような駆動によれば、図22に示した駆動例と同様に、CS信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間とが等しくなっているので、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【0191】

また、上記の駆動例では、ダミー挿入期間が挿入された直後にゲートオンパルスPwが印加されるゲートラインGLjに対応する2つのCSライン52・52のうち、副走査順序で前側となるCSライン52に印加されるCS信号の位相が、該CSライン52のさらに副走査順序で前側となるCSライン52に印加されるCS信号の位相から2H(挿入されたダミー挿入期間の長さ)+1H遅れた位相となっている一方、その他のCSライン52では、n+2行目に印加されるCS信号の位相が、n行目に印加されるCS信号の位相に対して1H遅れた状態となっている。

40

【0192】

このような駆動によれば、全てのCSライン52...において、CS信号の極性が反転してから同一の時間が経過した後であって、CS信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、CS信号の波形の鈍りによる表示

50

上のムラを抑制することができる。

【0193】

また、上記の駆動例では、上記第1のダミー挿入期間と、その次に挿入される第2のダミー挿入期間との間で実際に書き込みが行われる水平期間の数(5H)と、上記第2のダミー挿入期間と、その次の第1のダミー挿入期間との間で実際に書き込みが行われる水平期間の数(5H)とが同数となっている。

【0194】

これにより、CSライン52...を上10行と下11行との2つのブロックに分け、上10行における2行ごとの組のCS信号を、下10行において、各組ごとに順序を逆にする事と下11行目のCS信号を上1行目のCS信号と同じにすることによって、10種類(位相)のCS信号によって上記のような駆動を実現することができる。この点において、図22における12種類(位相)のCS信号を用いた構成と比較して、CS信号の種類およびCS幹配線52Mの数を低減することができる。

10

【0195】

次に、図22に示した駆動例において、データ信号の極性反転時における画素の充電不足を抑制するための駆動例について説明する。図24は、データ信号電圧が V_{sc} を基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の2水平期間(2H)をダミー挿入期間とするとともに、CS信号の極性継続期間をそれぞれ1H増加させる場合のデータ信号波形、データ信号、ラッチストロブ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。

20

【0196】

図22に示した駆動例との相違点は、データ信号の極性反転が行われた後に最初に印加されるゲートオンパルスPwのパルス幅を、それ以外のゲートオンパルスPwのパルス幅よりも長くしている点である。前記したように、データ信号の極性反転が行われた直後は、データ信号の波形に鈍りが生じている。このデータ信号の波形の鈍りによる画素の充電不足を低減するためにダミー挿入期間の挿入が行われているが、ゲートオンパルスPwのパルス幅を長くすることによって、この画素の充電不足の問題をさらに低減することができる。すなわち、ゲートオンパルスPwのパルス幅を長くすると、画素に対する充電期間が長くなるので、画素の充電率を上げることができる。

【0197】

(ブロック分割飛び越し走査方式の駆動例)

実施の形態1において、通常の飛び越し走査方式で駆動が行われる場合のコーミングの不具合を抑制する手法として、ブロック分割飛び越し走査方式について説明した。以下に、本実施形態においてブロック分割飛び越し走査方式を適用した場合の駆動例について説明する。

30

【0198】

図25は、1つのブロックに含まれる走査線数 α を20としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の1水平期間(1H)をダミー挿入期間とする(○印の部分)場合のデータ信号波形、データ信号、ラッチストロブ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン(書き込み行)GL1~GLmの各行およびCSライン52...の各行を示している。

40

【0199】

この駆動例では、ゲートラインの1行目から20行目までの第1のブロックでは、奇数行、偶数行の順で書き込みが行われ、21行目から40行目までの第2のブロックでは、偶数行、奇数行の順で書き込みが行われている。よって、ゲートラインの40行目までにおいては、第1のブロックにおける奇数行から偶数行への切り替わり時、および、第2のブロックにおける偶数行から奇数行への切り替わり時に極性反転が生じている。詳しくは、ゲートラインの1~40行の偶数行20H分はデータ信号の極性が同極性(ここでは-極性)で維持されて走査される。以後21行目からの奇数行20行分もデータ信号の極性

50

を同極性（ここでは＋極性）で維持されて走査されていく。したがって、初めの走査を除いて、20行走査毎にデータ信号の極性が反転されて走査が行われることになる。

【0200】

この例では、実際のデータ信号波形は、極性反転直後から1水平期間分程度の時間をかけて所定の電圧に到達している。よって、この極性反転時のデータ信号の波形の鈍りに起因するムラが生じる場合がある。

【0201】

したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースライン $SL_1 \sim SL_n$ の、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する約20行毎のムラを防止できる。

【0202】

また、前記した順次走査方式と比較して、表示上、画素にかかる電圧は1行毎に極性反転するため、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。加えて、ブロック分割飛び越し走査方式を採用していることにより、前記したコーミングの発生を抑制することができる。

【0203】

また、互いに隣接する2つのゲートラインに関し、先にゲートオンパルスが印加される奇数行目のゲートラインに対するゲートオンパルス印加時点から、後にゲートオンパルスが印加される偶数行目のゲートラインに対するゲートオンパルス印加時点までの期間を隣接行書込時間差期間とすると、少なくとも隣接行書込時間差期間において、CS信号の極性反転が偶数回（ $2k$ （ k は1以上の整数））行われている。言い換えれば、CS信号の極性反転周期を第1の極性継続期間と第2の極性継続期間の和とすると、（CS信号の極性反転周期）＝（隣接行書込時間差期間）／ k （ k は1以上の整数）となるように設定されていれば、列方向に隣接する副画素間で明暗状態が全て逆転するようになる。また、それぞれのCS信号に関し、少なくとも隣接行書込時間差期間において、極性反転タイミングが連続するフレーム間で等しくなる。すなわち、副画素の明暗の状態が一定し、表示品位の乱れを防止することができる。そして、奇数行と偶数行との間の各副画素の明暗の順序を1行ごとに反転した状態とすることができるので、前記したジャギーの発生の問題も抑制することができる。

【0204】

また、同図に示す例では、 $k=1$ となっており、CS信号の極性反転周期は、隣接行書込時間差期間と等しく（ $11H$ ）となっている。なお、この場合、単純に極性反転周期の $1/2$ の期間を極性継続期間とすると、各極性継続期間は $5.5H$ となる（この場合については後述する図28にて説明する）が、これを $5H$ と $6H$ の長さに分けている。これは $1H$ 単位にした方が、波形の生成が簡単だからである。この $k=1$ の場合、CS信号の極性反転周期が最も長くなるので、CS信号の極性が反転してから次の反転の直前にゲートオンパルス P_w を印加することによって、CS信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。

【0205】

また、データ信号波形が同じ極性で継続している期間においては、CSライン52の $n+2$ 行目に印加されるCS信号の位相が、 n 行目に印加されるCS信号の位相に対して $1H$ または $2H$ 遅れた状態となっているので、全てのCSライン52...において、CS信号の極性が反転してから $4H$ 以上の時間が経過した後であって、CS信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、CS信号の波形の鈍りによる表示上のムラを抑制することができる。

【0206】

なお、CSライン52...を10行ごとのブロックに分け、副走査順序で1つ前の10行のブロックにおける2行ごとの組のCS信号を、次のブロックの10行において、各組ごとに順序を逆にすることによって、10種類(位相)のCS信号によって上記のような駆動を実現している。

【0207】

なお、データ信号は、図示したようなブロック分割飛び越し走査(インターレース)に対応して、表示制御回路200が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号DAとしてソースドライバ300に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路200に入力されるデジタルRGB信号としてのデジタルビデオ信号Dvを、メモリに一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。これは以下に示す他の駆動例でも同様である。

【0208】

一方、上記の駆動例では、CS信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間との比率が異なっている。例えば、CS__AとしてのCSライン52において、データ信号波形の極性が(-)となっている期間では、Hレベルの期間は $5H + 5H = 10H$ である一方、Lレベルの期間は $5H + 6H = 11H$ となっている。このような偏りが各CSライン52で異なっていることによって、副画素における実効電位が極性継続期間の相違に伴って異なることがあり、これにより縞状の表示ムラが生じる場合があるという問題がある。

【0209】

図26は、1つのブロックに含まれる走査線数 α を20としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の1水平期間(1H)を第1のダミー挿入期間とし、データ信号の極性反転が行われた時点の5水平期間(5H)前の1水平期間(1H)を第2のダミー挿入期間とするとともに、第1および第2のダミー挿入期間を挿入した期間におけるCS信号にもそれぞれ1H分のCS信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロープ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。

【0210】

以下、図25に示した駆動例との相違点について説明する。この駆動例では、まずデータ信号の極性反転周期の半分の期間、すなわち、データ信号波形における1つの極性が継続する期間において、極性反転が行われた直後に加えて、さらに別のタイミングでダミー挿入期間を挿入している。そして、このダミー挿入期間が挿入されるタイミングではゲートオンパルスPwを印加しないようになっている。

【0211】

また、ダミー挿入期間が挿入されるタイミングに存在するCS信号の極性継続期間に、ダミー挿入期間を挿入する期間、すなわち1Hを加えている。すなわち、ダミー挿入期間が挿入されるタイミングに存在するCS信号における極性継続期間を6Hとし、それ以外のCS信号の極性継続期間を5Hとしている。

【0212】

上記のような駆動によれば、CS信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間との比率が等しくなる。例えば、CS__AとしてのCSライン52において、データ信号波形の極性が(-)となっている期間では、Hレベルの期間は $5H + 6H = 11H$ であり、Lレベルの期間は $5H + 6H = 11H$ となっている。よって、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【0213】

また、上記の駆動例では、ダミー挿入期間が挿入された直後にゲートオンパルスPwが印加されるゲートラインGLjに対応する2つのCSライン52・52のうち、副走査順序で前側となるCSライン52に印加されるCS信号の位相が、該CSライン52のさら

に副走査順序で前側となるＣＳライン５２に印加されるＣＳ信号の位相から１Ｈ（挿入されたダミー挿入期間の長さ）＋１Ｈ遅れた位相となっている一方、その他のＣＳライン５２では、 $n + 2$ 行目に印加されるＣＳ信号の位相が、 n 行目に印加されるＣＳ信号の位相に対して１Ｈ遅れた状態となっている。

【０２１４】

このような駆動によれば、全てのＣＳライン５２...において、ＣＳ信号の極性が反転してから４Ｈ以上の時間が経過した後であって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、ＣＳ信号の波形の鈍りによる表示上のムラを抑制することができる。

【０２１５】

また、上記の駆動例では、上記第１のダミー挿入期間と、その次に挿入される第２のダミー挿入期間との間で実際に書き込みが行われる水平期間の数（５Ｈ）と、上記第２のダミー挿入期間と、その次の第１のダミー挿入期間との間で実際に書き込みが行われる水平期間の数（５Ｈ）とが同数となっている。

【０２１６】

これにより、ＣＳライン５２...を１０行ごとのブロックに分け、副走査順序で１つ前の１０行のブロックにおける２行ごとの組のＣＳ信号を、次のブロックの１０行において、各組ごとに順序を逆にすることによって、１０種類（位相）のＣＳ信号によって上記のような駆動を実現することができる。

【０２１７】

なお、上記の例では、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを１Ｈとしているが、２Ｈ以上に設定してもよい。図３０は、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合の駆動例を示している。この場合、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号の極性継続期間に、ダミー挿入期間を挿入する期間、すなわち２Ｈを加えている。すなわち、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号における極性継続期間を７Ｈとし、それ以外のＣＳ信号の極性継続期間を５Ｈとしている。

【０２１８】

同図に示す例では、実際のデータ信号波形は、極性反転直後から２水平期間分程度の時間をかけて所定の電圧に到達している。このように、データ信号の電圧波形が鈍る程度は、液晶表示装置の仕様によって異なるものである。これは、例えば液晶表示装置の画面サイズ、および画素数によってソースライン $SL1 \sim SLn$ に対する負荷の度合いが異なることによるものである。

【０２１９】

したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【０２２０】

図２７は、１つのブロックに含まれる走査線数 α を２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とするとともに、以下に示すようにＣＳ信号における極性継続期間を設定する場合のデータ信号波形、データ信号、ラッチストロブ信号 LS 、ゲートオンパルス Pw 、およびＣＳ信号のタイミングチャートを示している。

【０２２１】

この駆動例では、各ブロックにおいて、互いに隣接する２つのゲートラインに関し、先にゲートオンパルス Pw が印加される奇数行または偶数行におけるゲートオンパルス Pw 印加時点から、後にゲートオンパルス Pw が印加される偶数行または奇数行におけるゲートオンパルス Pw 印加時点までの期間（隣接行書込時間差期間）においてのみ、ＣＳ信号のいずれか１つの極性継続期間にＣＳ信号ダミー期間がデータ信号のダミー挿入期間分（

10

20

30

40

50

1 H) 挿入される。この場合、それぞれのCS信号に関し、少なくとも隣接行書込時間差期間において、極性反転タイミングが連続するフレーム間で等しくなる。

【0222】

この場合、隣接行書込時間差期間以外では、CS信号は一定の極性継続期間となる周期信号であってもよいし、共通電極と同電位の一定値の信号であってもよい。ただし、ゲートオンパルスPwは、データ信号にダミー挿入期間が挿入されている期間以外で印加されるようにするとともに、CS信号の極性継続期間の後半部分で印加されるように、ゲートオンパルスPwおよびCS信号の印加が制御される必要がある。また、全てのCS信号は独立しているので、CSライン52...の数と同数のCS信号の種類およびCS幹配線52M...が必要となる。なお、CS幹配線52M...を用いずに、各CSライン52に対して独立して信号を供給するようにしてもよい。

10

【0223】

上記のような駆動例によれば、CS信号においてダミー挿入期間が挿入される極性継続期間の数は、1フレームあたり1個となるので、一方の極性の極性継続期間と他方の極性の極性継続期間との比率の相違はわずかなものとなる。よって、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【0224】

なお、上記の駆動例では、隣接行書込時間差期間において、CS信号のいずれか1つの極性継続期間にCS信号ダミー期間をダミー挿入期間分(1H)挿入しているが、上記期間に含まれるCS信号の極性継続期間の全てに、ダミー挿入期間を均等に割り振って挿入する(0.5Hずつ)ようにしてもよい。

20

【0225】

図28は、1つのブロックに含まれる走査線数 α を20としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の1水平期間(1H)をダミー挿入期間とするとともに、上記のように、隣接行書込時間差期間(11H)に含まれるCS信号の2つの極性継続期間のそれぞれを5.5Hとする場合のデータ信号波形、データ信号、ラッチストロープ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。

【0226】

この駆動例の場合、CS信号における極性継続期間は全て5.5Hで統一されているので、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

30

【0227】

また、CSライン52の $n+2$ 行目に印加されるCS信号の位相が、 n 行目に印加されるCS信号の位相に対して1H遅れた状態となっており、極性継続期間が全て5.5Hとなっている。よって、CS信号は22ライン周期で同一の波形が現れることになるので、22本のCS幹配線52M...によって、各CSライン52にCS信号を供給することができる。

【0228】

なお、上記の例では、ダミー挿入期間を1Hとしているが、2H以上に設定してもよい。図31は、ダミー挿入期間を2Hとした場合の駆動例を示している。この場合、隣接行書込時間差期間(12H)に含まれるCS信号の2つの極性継続期間のそれぞれを6Hとしている。図28の実施形態に比べ、CS信号の極性継続期間が1H単位となるので、CS幹線数52Mを半分に、また、CS信号波形の生成回路も簡略化できる。

40

【0229】

同図に示す例では、データ信号波形は、極性反転直後から2水平期間分程度の時間をかけて所定の電圧に到達している。このように、データ信号の電圧波形が鈍る程度は、液晶表示装置の仕様によって異なるものである。これは、例えば液晶表示装置の画面サイズ、および画素数によってソースラインSL1~SLnに対する負荷の度合いが異なることによるものである。

50

【 0 2 3 0 】

したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【 0 2 3 1 】

また、CSライン52の $n + 2$ 行目に印加されるCS信号の位相が、 n 行目に印加されるCS信号の位相に対して1H遅れた状態となっており、極性継続期間が全て6Hとなっている。この場合、CS信号は24ライン周期で同一の波形が現れることになるが、互いに位相が反転しているCS信号同士を利用することによって、12種類(位相)のCS信号によって上記のような駆動を実現している。すなわち、12本のCS幹配線52M...によって、各CSライン52にCS信号を供給することができる。なお、CS幹配線52M...を用いずに、各CSライン52に対して独立して信号を供給するようにしてもよい。

10

【 0 2 3 2 】

ここで、この駆動例における、CS信号の極性継続期間 c (=6H)、およびCS信号ダミー期間 b (=1H)とすると、データ信号の基本極性反転周期 $n2$ は、 $n2 = (c - b) \times 4k$ (k は自然数) $= (6 - 1) \times 4 \times 1 = 20$ (H)として算出される。また、ダミー挿入期間 m は、 $m = 2b \times k = 2 \times 1 \times 1 = 2$ (H)として算出される。また、CS信号の相数は $2 \times c = 2 \times 6 = 12$ (相)として算出される。逆に、CS信号の極性継続期間 c は、 $c = n2 / 4k + b$ なる式で算出される。また、隣接行書込時間差期間におけるCS信号の極性反転回数は、 $2k$ なる式で算出される。

20

【 0 2 3 3 】

図32は、図28に示す駆動例において、ダミー挿入期間を4Hとした場合の駆動例を示している。この場合、CS信号の極性継続期間 c (=6H)、およびCS信号ダミー期間 b (=1H)とすると、データ信号の基本極性反転周期 $n2$ は、 $n2 = (c - b) \times 4k$ (k は自然数) $= (6 - 1) \times 4 \times 2 = 40$ (H)として算出される。また、ダミー挿入期間 m は、 $m = 2b \times k = 2 \times 1 \times 2 = 4$ (H)として算出される。また、CS信号の相数は $2 \times c = 2 \times 6 = 12$ (相)として算出される。逆に、CS信号の極性継続期間 c は、 $c = n2 / 4k + b$ なる式で算出される。また、隣接行書込時間差期間におけるCS信号の極性反転回数は、 $2k$ なる式で算出される。

30

【 0 2 3 4 】

次に、図28に示した駆動例において、データ信号の極性反転時における画素の充電不足を抑制するための駆動例について説明する。図29は、1つのブロックに含まれる走査線数 α を20としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の1水平期間(1H)をダミー挿入期間とするとともに、上記のように、隣接行書込時間差期間(11H)に含まれるCS信号の2つの極性継続期間のそれぞれを5.5Hとする場合のデータ信号波形、データ信号、ラッチストロブ信号LS、ゲートオンパルスPw、およびCS信号のタイミングチャートを示している。

【 0 2 3 5 】

図28に示した駆動例との相違点は、データ信号の極性反転が行われた後に最初に印加されるゲートオンパルスPwのパルス幅を、それ以外のゲートオンパルスPwのパルス幅よりも長くしている点である。前記したように、データ信号の極性反転が行われた直後は、データ信号の波形に鈍りが生じている。このデータ信号の波形の鈍りによる画素の充電不足を低減するためにダミー挿入期間の挿入が行われているが、ゲートオンパルスPwのパルス幅を長くすることによって、この画素の充電不足の問題をさらに低減することができる。すなわち、ゲートオンパルスPwのパルス幅を長くすると、画素に対する充電期間が長くなるので、画素の充電率を上げることができる。

40

【 0 2 3 6 】

(水平走査期間の設定方法)

次に、水平走査期間の設定方法について説明する。なお、ここでの説明では、前記した

50

水平期間を水平走査期間と称する。この水平走査期間は、水平表示期間と水平帰線期間との和に相当するものとする。

【 0 2 3 7 】

まず、順次走査を行い、1本のソースラインに供給する信号電位の極性を複数データ（複数画素）分ごとに反転させ、かつ極性反転直後にダミー走査期間（前記したダミー挿入期間に相当）を1以上挿入する構成について説明する。該構成によって、列方向については隣り合う複数画素毎に信号電位の極性が反転する（なお、行列方向については隣り合う1画素毎に信号電位の極性が反転する）ブロック反転駆動（ $n h / 1 v$ 反転駆動）を実現することができる。

【 0 2 3 8 】

図53は、入力順に10映像データごとに組としていくとともに各組の先頭に1つのダミーデータを挿入し、組単位で信号電位の極性を反転させる場合（反転周期は、1ダミー走査期間+10水平走査期間）の、出力されるデータ列および各データに対応する信号電位の波形と、ラッチストロープ信号LSおよびゲートオンパルス（画素データ書き込みパルス）Pwのタイミングチャートとを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）GL1～GLmの各行を示している。図2と異なるのは、ダミー走査期間においても、LS信号パルスを立てている点である。図53の利点は、ダミー走査期間のデータを自由に設定できる点である。本例では、簡単のため、直後の水平走査期間と同じデータを入力している。

【 0 2 3 9 】

この場合、入力される映像データは、N行目のゲートラインに対応する映像データをNとして、1, 2, 3, 4, 5, 6, 7, 8, 9, 10, さらに、11, 12, 13, 14, 15, 16, 17, 18, 19, 20, さらに、21, 22, ...というように並べられている。ここで、表示制御回路200内の例えばダミーデータ挿入回路は、これら映像データを、1, 2, 3, ...8, 9, 10, さらに、11, 12, 13, ...18, 19, 20, さらに、21, 22...というように組にしていくとともに各組の先頭にダミーデータを挿入していく。この結果、同図に示されるように、出力されるデータ（映像データ・ダミーデータ）は、N行目のゲートラインに対応する映像データを<N>、ダミーデータを<D>として、<D>, <1>, <2>, <3>, <4>, <5>, <6>, <7>, <8>, <9>, <10>, さらに、<D>, <11>, <12>, <13>, <14>, <15>, <16>, <17>, <18>, <19>, <20>, さらに、<D>, <21>, <22>, ...という順序になり、<D>, <1>, <2>...<10>の各データ（映像データ・ダミーデータ）に対応するプラス極性の信号電位がこの順に1本のソースラインに出力され、ついで、<D>, <11>, <12>...<20>の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力され、ついで、<D>, <21>, <22>...の各データに対応するプラス極性の信号電位がこの順に該ソースラインに出力される。

【 0 2 4 0 】

なお、ダミーデータ<D>には、所望のデータを自由に設定することができる。例えば、挿入箇所直後の映像データと等しくしてもよいし、ソースラインの充電効果を高める観点から挿入直後の映像データより高い電圧に対応するデータを別途設定してもよい。

【 0 2 4 1 】

信号電位の極性反転直後はその波形に鈍りが生じるが、本構成ではここにダミー走査期間を設けて所定の信号電位（ダミーデータに対応する信号電位）を与えているため、この期間にソースラインを充電することができる。これにより、ダミー走査期間に続く水平走査期間では、所望の信号電位（映像データに対応する電位）を画素に書き込むことが可能となる。この結果、極性反転直後の信号電位波形の鈍りに起因する10行毎の表示ムラを防止することができる。

【 0 2 4 2 】

ここで、本液晶表示装置では、上記のように、10映像データが含まれる各組にダミーデータを1つずつ挿入し、各ダミーデータにダミー走査期間を割り当てても1フレームの

10

20

30

40

50

垂直表示期間が変わらない（すなわち、入力されるデータ列に設定された垂直帰線期間 $Vblank X$ と、実際の出力における垂直帰線期間 $Vblank Y$ とが等しくなる）ように、入力されるデータ列に設定された一水平走査期間 $Htotal X$ よりも、実際の出力における一水平走査期間 $Htotal Y$ を短くしている。これを以下に説明する。

【0243】

図33は、本液晶表示装置において、10映像データ（1本のソースラインに対応する映像データ）ごとに組としていくとともに各組の先頭に1つのダミーデータを挿入し、走査信号線の順次走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる（反転周期は、1ダミー走査期間 + 10水平走査期間）場合の、データ列の入力と該データに対応する信号電位の出力の関係について示している。なお、入力されるデータ列の設定をフルHDの標準仕様、すなわち、ドットクロック = 148.5MHz、1フレーム期間 $Vtotal X =$ 垂直表示期間 $Vdisp X$ (1080line) + 垂直帰線期間 $Vblank X$ (45line)、水平走査期間 $Htotal X$ (データの入力間隔) = 2200dot、水平走査期間 $Htotal X =$ 水平表示期間 $Hdisp X$ (1920dot) + 水平帰線期間 $Hblank X$ (280dot) とする。

【0244】

同図に示されるように、本液晶表示装置では、入力されるデータ列に設定された1水平走査期間 $Htotal X$ (2200dot) に対し、実際の出力における1水平走査期間 $Htotal Y$ を2000dotとし、ダミー走査期間 $Dtotal Y$ も2000dotとしている。こうすれば、10ライン（各ラインに対応する10データ）を1組として、各組のデータ列に設定された総水平走査期間は $2200dot \times 10 = 22000dot$ であり、各組の実際の出力における総水平走査期間にダミー走査期間を加えた期間は $2000dot \times 10 + 2000dot \times 1 = 22000dot$ であり、両者は一致する。

【0245】

より具体的には、図34に示すように、入力されるデータ列に設定された水平走査期間 $Htotal X$ (2200dot) = 入力されるデータ列に設定された水平表示期間 $Hdisp X$ (1920dot) + 入力されるデータ列に設定された水平帰線期間 $Hblank X$ (280dot) に対して、実際の出力における水平走査期間 $Htotal Y$ を上記のように $Htotal X$ よりも少ない2000dotとし、その内訳を、実際の出力における水平表示期間 $Hdisp Y$ が1920dot、実際の出力における水平帰線期間 $Hblank Y$ が80dotとする。また、ダミー走査期間 $Dtotal Y$ を上記のように $Htotal X$ よりも少ない2000dotとし、その内訳を、ダミー表示期間 $Ddisp Y$ が1920dot、ダミー帰線期間 $Dblank Y$ が80dotとする。

【0246】

ここで、ソースラインへの信号電位の出力は、水平帰線期間 ($Hblank Y$) を含め水平走査期間 ($Htotal Y$) 中ずっと行われ、各水平走査期間に対応して画素のトランジスタがONとなる（対応するゲートラインにゲートオンパルスが送られている）期間に画素への書き込みが行われる。また、ダミー帰線期間 ($Dblank Y$) を含めダミー走査期間 ($Dtotal Y$) 中もずっとソースラインへの信号電位の出力が行われている。なお、図53ではこのダミー走査期間に画素への書き込みを行っていないが、このダミー走査期間に画素への書き込みを行う構成でもよい。

【0247】

また、図53において、ラッチストロブ信号の立下りによってあるデータ（映像データ・ダミーデータ）に対応する信号電位がラッチされ、次のラッチストロブ信号の立下りによって次のデータ（映像データ・ダミーデータ）に対応する信号電位がラッチされる。これは、ダミー走査期間についても同様である。また、ゲートオンパルス Pw の幅は例えば一水平走査期間 $Htotal Y$ 未満に設定される。

【0248】

上記構成によれば、入力されるデータ列に設定された水平表示期間 $HdispX$ と実際の出力における水平表示期間 $HdispY$ とを等しくすることができる。これにより、ドットクロックはそのまま、液晶表示装置の垂直表示期間を増やすことなく、また垂直帰線期間を減らすことなく ($VdispX = VdispY$ 、 $VblankX = VblankY$ を維持しながら) 10 水平走査期間ごとに 1 つのダミー走査期間を挿入することができる。

【0249】

また、上記構成では、ダミー走査期間 $DtotalY$ と水平走査期間 $HtotalY$ とが等しい (2000 dot) ため、信号処理あるいはそのための構成が容易になるという利点がある。

10

【0250】

なお、1組の総水平期間数 (映像データ数) および総ダミー走査期間数 (ダミーデータ数) と、一水平走査期間 $HtotalY$ と、ダミー走査期間 $DtotalY$ との組み合わせは、表示制御回路 200 (液晶パネル駆動装置) によって設定され、表示制御回路 200 は、この組み合わせに基づいて、上記の各種信号 (POL 、 LS 、 SSP 、 CLK 、 GCK 、 GSP 、 GOE) 等を生成する。また、入力された映像データへのダミーデータの挿入も表示制御回路 200 で行われる。

【0251】

なお、上記の構成では、順次入力された映像データにダミーデータを挿入しているがこれに限定されない。ダミーデータを挿入せず (データ列は入力されたままにして) 例えばラッチパルスを 1 つ抜くことでダミー走査期間を 1 つ作るような構成も可能である。ただこの構成では、同一のデータがダミー走査期間およびそれに続く一水平走査期間にわたって出力されることになる。

20

【0252】

図35は、20映像データ (1本のソースラインに対応する映像データ) ごとに組としていくとともに各組の先頭に 1 つのダミーデータを挿入し、走査信号線の順次走査に合わせて、データ (映像データ・ダミーデータ) の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位

30

【0253】

同図に示されるように、本液晶表示装置では、20映像データが含まれる各組にダミーデータを 1 つずつ挿入し、各ダミーデータにダミー走査期間を割り当てながらも、入力されるデータ列に設定された垂直表示期間 $VdispX$ (1080 line) と実際の出力における垂直表示期間 $VdispY$ とを等しく、したがって、入力されるデータ列に設定された垂直帰線期間 $VblankX$ (45 line) と実際の出力における垂直帰線期間 $VblankY$ とを等しくしている。これを実現するため、入力されるデータ列に設定された 1 水平走査期間 $HtotalX$ (2200 dot) に対し、実際の出力における 1 水平走査期間 $HtotalY$ を 2096 dot とし、ダミー走査期間 $DtotalY$ を 2080 dot としている。こうすれば、入力される 20 映像データ分 (20 ゲートライン分) につき、各組に設定された総水平走査期間は $2200\text{ dot} \times 20 = 44000\text{ dot}$ であり、各組の実際の出力における総水平走査期間にダミー走査期間を加えた期間は $2096\text{ dot} \times 20 + 2080\text{ dot} \times 1 = 44000\text{ dot}$ であり、両者は一致する。

40

【0254】

より具体的には、図36に示すように、入力されるデータ列に設定された水平走査期間 $HtotalX$ (2200 dot) = 入力されるデータ列に設定された水平表示期間 $HdispX$ (1920 dot) + 入力されるデータ列に設定された水平帰線期間 $Hblank$

50

k X (2 8 0 d o t) に対して、実際の出力における水平走査期間 H t o t a l Y を上記のように H t o t a l X よりも少ない 2 0 9 6 d o t とし、その内訳を、実際の出力における水平表示期間 H d i s p Y が 1 9 2 0 d o t 、実際の出力における水平帰線期間 H b l a n k Y が 1 7 6 d o t とする。また、ダミー走査期間 D t o t a l Y を上記のように H t o t a l X よりも少ない 2 0 8 0 d o t とし、その内訳を、ダミー表示期間 D d i s p Y が 1 9 2 0 d o t 、ダミー帰線期間 D b l a n k Y が 1 6 0 d o t とする。

【 0 2 5 5 】

なお、ソースラインへの信号電位の出力は、水平帰線期間 (H b l a n k Y) を含め水平走査期間 (H t o t a l Y) 中ずっと行われ、各水平走査期間に対応して画素のトランジスタが ON となる (対応するゲートラインにゲートオンパルスが送られている) 期間に画素への書き込みが行われる。また、ダミー帰線期間 (D b l a n k Y) を含めダミー走査期間 (D t o t a l Y) 中もずっとソースラインへの信号電位の出力が行われている。なお、図 1 3 ではこのダミー走査期間に画素への書き込みを行っていないが、このダミー走査期間に画素への書き込みを行う構成でもよい。

【 0 2 5 6 】

こうすれば、入力されるデータ列に設定された水平表示期間 H d i s p X と実際の出力における水平表示期間 H d i s p Y とを等しくすることができる。これにより、ドットクロックはそのまま、液晶表示装置の垂直表示期間を増やすことなく、また垂直帰線期間を減らすことなく ($V d i s p X = V d i s p Y$ 、 $V b l a n k X = V b l a n k Y$ を維持しながら) 2 0 水平走査期間ごとにダミー走査期間を設けることができる。

【 0 2 5 7 】

また、ダミー走査期間 D t o t a l Y が 2 0 8 0 d o t 、水平走査期間 H t o t a l Y が 2 0 9 6 d o t となって水平走査期間を長くとれるため、画素の充電に有利である。

【 0 2 5 8 】

なお、2 0 映像データが含まれる各組にダミーデータを 1 つずつ挿入し、各ダミーデータにダミー走査期間を割り当てる場合には、図 3 7 に示されるように、入力されるデータ列に設定された 1 水平走査期間 H t o t a l X (2 2 0 0 d o t) に対し、実際の出力における 1 水平走査期間 H t o t a l Y を 2 0 9 4 d o t とし、ダミー走査期間 D t o t a l Y を 2 1 2 0 d o t としてもよい。こうすれば、入力される 2 0 映像データ分 (2 0 ゲートライン分) につき、各組に設定された総水平走査期間は $2 2 0 0 d o t \times 2 0 = 4 4 0 0 0 d o t$ であり、各組の実際の出力における総水平走査期間にダミー走査期間を加えた期間は $2 0 9 4 d o t \times 2 0 + 2 1 2 0 d o t \times 1 = 4 4 0 0 0 d o t$ であり、両者は一致する。より具体的には、図 3 7 に示すように、入力されるデータ列に設定された水平走査期間 H t o t a l X (2 2 0 0 d o t) = 入力されるデータ列に設定された水平表示期間 H d i s p X (1 9 2 0 d o t) + 入力されるデータ列に設定された水平帰線期間 H b l a n k X (2 8 0 d o t) に対して、実際の出力における水平走査期間 H t o t a l Y を上記のように H t o t a l X よりも少ない 2 0 9 4 d o t とし、その内訳を、実際の出力における水平表示期間 H d i s p Y が 1 9 2 0 d o t 、実際の出力における水平帰線期間 H b l a n k Y が 1 7 4 d o t とする。また、ダミー走査期間 D t o t a l Y を上記のように H t o t a l X よりも少ない 2 1 2 0 d o t とし、その内訳を、ダミー表示期間 D d i s p Y が 1 9 2 0 d o t 、ダミー帰線期間 D b l a n k Y が 2 0 0 d o t とする。

【 0 2 5 9 】

この場合にも、入力されるデータ列に設定された水平表示期間 H d i s p X と実際の出力における水平表示期間 H d i s p Y とを等しくすることができる。これにより、ドットクロックはそのまま、液晶表示装置の垂直表示期間を増やすことなく、また垂直帰線期間を減らすことなく ($V d i s p X = V d i s p Y$ 、 $V b l a n k X = V b l a n k Y$ を維持しながら) 2 0 水平走査期間ごとにダミー走査期間を設けることができる。

【 0 2 6 0 】

また、上記構成では、ダミー走査期間 D t o t a l Y が 2 1 2 0 d o t 、水平走査期間 H t o t a l Y が 2 0 9 4 d o t となってダミー走査期間を長くとれるため、極性反転後

の信号電圧波形の鈍りが大きい場合において、ソースラインの充電に有利である。

【0261】

なお、入力側の設定が $HtotalX = 2200 (HdispX1920 + HblankX280)$ の場合に、20 映像データが含まれる各組にダミーデータを1つずつ挿入し、各ダミーデータにダミー走査期間を割り当てるには、 $HtotalY (= HdispY + HblankY)$ と $DtotalY (= DdispY + DblankY)$ とを、図38のいずれかの組み合わせに設定すればよい。

【0262】

ただ、ダミー走査期間と水平走査期間との差は小さい方が、その他の信号とのタイミング調整が簡素化できて（例えば後述する画素分割方式への適用において、保持容量配線の電位波形の設定が容易になる）好ましいため、網掛け部分の組み合わせ、すなわち、 $HtotalY$ が 2094 ($HdispY1920 + HblankY174$) で $DtotalY$ が 2120 ($DdispY1920 + DblankY200$) の組み合わせ（上述）、もしくは $HtotalY$ が 2095 ($HdispY1920 + HblankY175$) で $DtotalY$ が 2100 ($DdispY1920 + DblankY180$) の組み合わせ、または $HtotalY$ が 2096 ($HdispY1920 + HblankY176$) で $DtotalY$ が 2080 ($DdispY1920 + DblankY160$) の組み合わせ（上述）が好ましい。

【0263】

次に、入力順に複数の映像データ（1本のソースラインに対応する映像データ）ごとに組としていくとともに少なくとも各組の先頭に1以上のダミーデータを挿入し、走査信号線のインターレース走査（1ゲートラインずつ飛び越していく飛び越し走査）に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともに各ダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる構成について説明する。該構成によって、列方向については隣り合う1画素毎に信号電位の極性が反転する（行列方向については隣り合う1画素毎に信号電位の極性が反転する）ドット反転駆動（1h/1v反転駆動）を実現することができる。なお、この構成では、表示制御回路200内にデータ並べ替え回路が設けられており、ここで、入力されたデータの並べ替えとダミーデータの挿入が行われている（後述）。

【0264】

図54は、10映像データ（1本のソースラインに対応する映像データ）ごとに組としていくとともに各組の先頭に1つのダミーデータを挿入し、走査信号線のインターレース走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる場合（反転周期は、1ダミー走査期間+10水平走査期間）の、出力されるデータ列および各データ（映像データ・ダミーデータ）に対応する信号電位の波形と、ラッチストロブ信号LSおよびゲートオンパルス（画素データ書き込みパルス）Pwのタイミングチャートとを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）GL1～GLmの各行を示している。図13と異なるのは、ダミー走査期間においても、LS信号パルスを立てている点である。図54の利点は、ダミー走査期間のデータを自由に設定できる点である。本例では、簡単のため、直後の水平走査期間と同じデータを入力している。

【0265】

この場合、入力される映像データ（図示せず）は、N行目のゲートラインに対応する映像データをNとして、1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24・・・というよう

に並んでいる。ここで、並べ替え回路は、これら映像データを、2, 4, 6, 8, 10, 12, 14, 16, 18, 20, さらに、1, 3, 5, 7, 9, 11, 13, 15, 17, 19, さらに、22, 24・・・というように組にしていくとともに各組の先頭にダミーデータを挿入していく。これにより、出力されるデータ（映像データ・ダミーデータ）は、N行目のゲートラインに対応する映像データを<N>、ダミーデータを<D>として、<D>, <2>, <4>, <6>, <8>, <10>, <12>, <14>, <16>, <18>, <20>, さらに、<D>, <1>, <3>, <5>, <7>, <9>, <11>, <13>, <15>, <17>, <19>, さらに、<D>, <22>, <24>,・・・という順序になり、<D>, <2>, <4>・・・<20>の各データに対応するプラス極性の信号電位がこの順に1本のソースラインに出力され、ついで、<D>, <1>, <3>・・・<19>の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力され、ついで、<D>, <22>, <24>・・・の各データに対応するプラス極性の信号電位がこの順に該ソースラインに出力される。

10

【0266】

なお、ダミーデータ<D>には、所望のデータを自由に設定することができる。例えば、挿入箇所直後の映像データと等しくしてもよいし、ソースラインの充電効果を高める観点から挿入直後の映像データより高い電圧に対応するデータを別途設定してもよい。

【0267】

信号電位の極性反転直後はその波形に鈍りが生じるが、本構成ではここにダミー走査期間を設けて所定の信号電位（ダミーデータに対応する信号電位）を与えているため、この期間にソースラインを充電することができる。これにより、ダミー走査期間に続く水平走査期間では、所望の信号電位（映像データに対応する電位）を画素に書き込むことが可能となる。さらに、隣接する2つのソースラインに印加される信号電圧の極性を互いに反転させることで、表示上、各画素の極性をドット反転させることができる。このため、フリッカなどに対して有利となる。

20

【0268】

本液晶表示装置では、10映像データが含まれる各組にダミーデータを1つずつ挿入し、各ダミーデータにダミー走査期間を割り当てながらも1フレームの垂直表示期間が変わらない（すなわち、入力されるデータ列に設定された垂直帰線期間VblankXと、実際の出力における垂直帰線期間VblankYとが等しくなる）ように、入力されるデータ列に設定された1水平走査期間HtotalXよりも、実際の出力における1水平走査期間HtotalYを短くしている。

30

【0269】

具体的には、図39に示されるように、入力されるデータ列に設定された水平走査期間HtotalX（2200dot）=入力されるデータ列に設定された水平表示期間HdispX（1920dot）+入力されるデータ列に設定された水平帰線期間HblankX（280dot）に対して、実際の出力における水平走査期間HtotalYを上記のようにHtotalXよりも少ない2000dotとし、その内訳を、実際の出力における水平表示期間HdispYが1920dot、実際の出力における水平帰線期間HblankYが80dotとする。また、ダミー走査期間DtotalYを上記のようにHtotalXよりも少ない2000dotとし、その内訳を、ダミー表示期間DdispYが1920dot、ダミー帰線期間DblankYが80dotとする。

40

【0270】

図40は、20映像データ（1本のソースラインに対応する映像データ）ごとに組としていくとともに各組の先頭および中途にそれぞれダミーデータを挿入し、走査信号線のインターレース走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる場合（反転周期は、2ダミー走査期間+20水平走査期間）の、データ列の入力と該データに対応する信号電位の出力の関係について示している。なお、極性反転直後以外のダミー走査期間は、各種信号処理のタ

50

イミング調整等を目的として設けられる。

【0271】

この場合も、図40に示すように、実際の出力における水平走査期間HtotalYをHtotalXよりも少ない2000dotとし、また、ダミー走査期間DtotalYをHtotalXよりも少ない2000dotとすれば、1フレームの垂直表示期間が変わることなく、ダミー走査期間を設けることができる。

【0272】

図55は、1組目は10映像データ(1本のソースラインに対応する映像データ)を組として各組の先頭にダミーデータを1つ挿入するとともに2組目以降は20映像データごとに組として各組の先頭にダミーデータを1つ挿入し、走査信号線のインターレース走査に合わせて、データ(映像データ・ダミーデータ)の並び順に、該データに対応する信号電位の出力を行い、かつ各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当てる場合の、出力されるデータ列および各データ(映像データ・ダミーデータ)に対応する信号電位の波形と、ラッチストロブ信号LS、ゲートオンパルス(画素データ書き込みパルス)PW、およびCS信号のタイミングチャートとを示している。なお、同図中のCS_A・CS_B, CS_B・CS_C, CS_C・CS_D・・・は上記保持容量配線Csi・Csjに対応する。図28と異なるのは、ダミー走査期間においても、LS信号パルスを立てている点である。図55の利点は、ダミー走査期間のデータを自由に設定できる点である。本例では、簡単のため、直後の水平走査期間と同じデータを入力している。

【0273】

この場合、入力される映像データ(図示せず)は、N行目のゲートラインに対応する映像データをNとして、1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, ... 43, 44, 45, 46, 47, 48, 49というように並んでいるが、並べ替え回路は、これら映像データを、1, 3, 5, 7, 9, 11, 13, 15, 17, 19, さらに、2, 4, 6, 8, 10, 12, ... 36, 38, 40, さらに、21, 23, 25 ... 45, 47, 49, さらに、42, 44, 46, 48 ... というように組にしていくとともに各組の先頭にダミーデータを挿入していく。これにより、出力されるデータ(映像データ・ダミーデータ)は、N行目のゲートラインに対応する映像データを<N>、ダミーデータを<D>として、<D>, <1>, <3>, <5>, <7>, <9>, <11>, <13>, <15>, <17>, <19>, さらに、<D>, <2>, <4>, <6>, <8>, <10>, <12> ... <36>, <38>, <40>, さらに、<D>, <21>, <23>, <25>, <27>, ... <45>, <47>, <49>, さらに、<D>, <42>, <44> ... という順序になり、<D>, <1>, <3>, <5>, ... <17>, <19>の各データに対応するプラス極性の信号電位がこの順に1本のソースラインに出力され、ついで、<D>, <2>, <4>, <6>, ... <36>, <38>, <40>, の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力され、ついで、<D>, <21>, <23>, <25>, ... <47>, <49>の各データに対応するプラス極性の信号電位がこの順に該ソースラインに出力され、ついで、<D>, <42>, <44> ... の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力される。

【0274】

なお、ダミーデータ<D>には、所望のデータを自由に設定することができる。例えば、挿入箇所直後の映像データと等しくしてもよいし、ソースラインの充電効果を高める観点から挿入直後の映像データより高い電圧に対応するデータを別途設定してもよい。

【0275】

この場合では、1組目については、実際の出力における水平走査期間HtotalYをHtotalXよりも少ない2000dotとし、ダミー走査期間DtotalYをHtotalXよりも少ない2000dotとし、2組目以降については、例えば実際の出力における水平走査期間HtotalYをHtotalXよりも少ない2094dotとし、ダミー走査期間DtotalYをHtotalXよりも少ない2120dotとすれば

、1フレームの垂直表示期間が変えることなく、ダミー走査期間を設けることができる。

【0276】

以下に、図56～図58を用いてデータの並べ替え方法について説明する。ここでは、垂直走査期間Vtotalが1125H、垂直表示期間Vdispが1080H、垂直帰線期間が45Hの例を示す。

【0277】

図56は並べ替え回路を示す概略ブロック図である。図57はデータの並べ替えの方法を説明するための模式図であり、図58は図56の点線で囲った部分の拡大図である。図56に示すように、並べ替え回路550は、並べ替え制御回路552、奇数ライン用並べ替え用メモリ554A、および偶数ライン用並べ替え用メモリ554Bを備えている。並べ替え回路550は、前記した表示制御回路200内に設けられる。

10

【0278】

並べ替え制御回路552には、表示すべき映像データと、映像データと同期する垂直同期信号および水平同期信号と、表示動作を制御するための制御信号とが入力される。並べ替え制御回路552は、入力された映像データをライン毎に奇数ラインと偶数ラインに分離し、それぞれの映像データを奇数ライン用の並べ替え用メモリ554Aと偶数ライン用の並べ替え用メモリ554Bとに書き込んでいき、これを一定期間行った後、奇数ライン用の並べ替え用メモリ554Aからデータを連続して読み出し、これに続けて、偶数ライン用の並べ替え用メモリ554Bからデータを読み出す。

【0279】

このとき、並べ替え制御回路552は、各組のライン数に応じて映像データ数をカウントし、奇数・偶数の各並べ替え用メモリ554Aおよび554Bから映像データを読み出すとともに、所定箇所（例えば、各組の先頭）にダミーデータ<D>を挿入する。なお、映像データを出力する一水平走査期間およびダミーデータを出力するダミー走査期間はそれぞれ、入力される映像データに設定された一水平走査期間（各映像データの入力間隔）よりも短く設定する。映像データの書き込み、読み出し順は、たとえば、あらかじめ用意した参照テーブルを用いることで所定の順序に行うようにしておく。こうすることで、1画面分の映像データを記憶するフレームメモリを使わず、並べ替えメモリ554A、554Bの規模を小さくできるとともに、映像データの入力出力の時間的なずれを抑制することができる。

20

30

【0280】

例えば図58に示すように、並べ替え制御回路552に、映像データ列(a)が入力されると、これを、奇数ライン用の並べ替え用メモリと偶数ライン用の並べ替え用メモリとに順次データを振り分けて書き込む。ここでは、少なくとも11ライン以上の映像データを並べ替え用メモリに取り込んだ後に、順次入力される映像データを並べ替え用メモリに取り込む作業を継続したまま、奇数ライン用の並べ替え用メモリからの映像データの読み出しを開始する。また、簡単のため、ダミーデータ<D>を挿入箇所直後の映像データと一致させている。

【0281】

具体的には、まず奇数ライン用の並べ替え用メモリから、1番目の映像データ（1番目のゲートラインに対応する映像データ）をダミーデータ<D>として読み出し、その後、10ゲートライン分（1、3、5、・・・、19ライン目に対応する）映像データを連続して読み出し、これを1組目とする。続いて、2番目の映像データ（2番目のゲートラインに対応する映像データ）をダミーデータ<D>として読み出し、その後、10ゲートライン分（2、4、6、・・・、20ライン目に対応する）の映像データを連続して読み出し、さらに、偶数ライン用の並べ替え用メモリから10ライン分（22、24、26、・・・、40ライン目に対応する）の映像データを連続して読み出し、これを2組目とする。そして、再び、奇数ライン用の並べ替え用メモリから、21番目の映像データ（21番目のゲートラインに対応する映像データ）をダミーデータ<D>として読み出し、その後、10ゲートライン分（21、23、25、・・・、39ライン目に対応する）映像デー

40

50

タを連続して読み出し、これを3組目とする。この一連の動作を繰り返し行うように並べ替え制御回路552によって制御することで、最終行まで順次、並べ替え用メモリからの読み出しを行う。

【0282】

なお、本例では、先頭のダミーデータ<d>(先頭の1ライン目と等しいデータ)を有効表示期間VdispYに含めているが、この先頭のダミーデータ<d>については、前フレームの垂直帰線期間VblankYの最後に含めてもよい。

【0283】

次に、上記各形態において、M個のデータを1組とする場合に、1組にダミー走査期間aをいくつ設け、実際の出力における水平走査期間HtotalYおよびダミー走査期間DtotalYの組み合わせをどのように算出するかについて説明する。なお、この算出工程は、上記のように表示制御回路200(液晶パネル駆動装置)によって行われてもよい。この場合、所定のプログラムをコンピュータが実行することでこれを実現することもできる。

【0284】

図41は上記組み合わせの算出法の一例を示すフローチャートである。同図に示されるように、まず極性反転周期M(1組の映像データ数)を取得する。そして、S1に進み、仮のダミー水平走査期間数a(1組のダミーデータ数)を1とする。ついで、Mとaとの和をAとする(S2)。ついで、HtotalXとMとの積をAで割ったものをBとする(S3)。なお、極性反転周期M取得後、S1と並行して、極性反転周期Mでの充電特性に基づき、必要最小限のダミー水平走査期間数Cを決めておいてもよい。ここで、BがHdispX以上か否かを判定し(S4)、YesであればS7に進み、No(BがHdispX未満)であればエンドとなる。S7ではBが整数か否かを判定し、YesであればS8に進み、NoであればS5に進み、aに1を加えてS2に戻る。S8では、aが、Mにおける充電特性から得られる必要最小限のダミー走査期間数C以上か否かを判定し、YesであればS9に進み、NoであればS5に進む。S9では、ダミー走査期間数=a、HtotalY=DtotalY=Bに決定し、エンドとなる。

【0285】

上記の算出法を用いることで、例えば、M=10の場合は、ダミー走査期間数=1、HtotalY=DtotalY=2000dot、M=30の場合は、ダミー走査期間数=3、HtotalY=DtotalY=2000dot、M=40の場合は、ダミー走査期間数=4、HtotalY=DtotalY=2000dotとなり、HtotalY=DtotalYとなる組み合わせを速やかに算出することができる。

【0286】

ただ、上記算出法ではM=20の場合は算出できないため、以下の算出法を用いてもよい。これを図42に示す。同図に示されるように、まず極性反転周期M(1組の映像データ数)を取得する。そして、S10に進み、仮のダミー水平走査期間数a(1組のダミーデータ数)を1とする。ついで、Mとaとの和をA'とする(S11)。ついで、HtotalXとMとの積をA'で割ったものをB'とする(S12)。なお、極性反転周期M取得後、S1と並行して、極性反転周期Mでの充電特性に基づき、必要最小限のダミー水平走査期間数Cを決めておいてもよい。ここで、B'がHdispX以上か否かを判定し(S14)、YesであればS15に進み、No(B'がHdispX未満)であればS21に進む。S15ではB'の小数点以下を切り捨てた整数をDとする。ついで、DとA'との積をEとし(S16)、ついで、HtotalXとMとの積からEを引いたものをPとし、Pをaで割ったものをFとする(S17)。ここで、Fが整数か否かを判定し(S18)、整数であればS19に進み、整数でなければS13に進み、aに1を加えてS11に戻る。S19では、aが、Mにおける充電特性から得られる必要最小限のダミー走査期間数C以上か否かを判定し、YesであればS20に進み、NoであればS13に戻る。S20ではダミー走査期間数=a、HtotalY=D、DtotalY=D+Fとして保存し、その後S13に戻る。また、S21では、保存された組み合わせがあるか否

かを判定し、YesであればS22に進み、Noであれば、S23に進んで再計算（後述）を行う。S22では、保存された組み合わせから1つを選択し、エンドとなる。

【0287】

S23の再計算では、C（Mにおける充電特性から得られる必要最小限のダミー走査期間数C）を用い、 $H_{total}X(2200) \times M = M \times \alpha + C \times \beta$ を満たす α 、 β を求め、ダミー走査期間数 = C、 $H_{total}Y = \alpha$ 、 $D_{total}Y = \beta$ とする。

【0288】

図42のフローチャートによる算出結果を図43に示す。同図に示されるように、M = 30の場合は、ダミー走査期間数 = 1、 $H_{total}Y = 2129$ 、 $D_{total}Y = 2130$ の組み合わせと、ダミー走査期間数 = 2、 $H_{total}Y = 2062$ 、 $D_{total}Y = 2070$ の組み合わせと、ダミー走査期間数 = 3、 $H_{total}Y = 2000$ 、 $D_{total}Y = 2000$ の組み合わせが求められる。また、M = 40の場合は、ダミー走査期間数 = 1、 $H_{total}Y = 2146$ 、 $D_{total}Y = 2160$ の組み合わせと、ダミー走査期間数 = 2、 $H_{total}Y = 2095$ 、 $D_{total}Y = 2100$ の組み合わせと、ダミー走査期間数 = 4、 $H_{total}Y = 2000$ 、 $D_{total}Y = 2000$ の組み合わせと、ダミー走査期間数 = 5、 $H_{total}Y = 1955$ 、 $D_{total}Y = 1960$ の組み合わせとが求められ、この中から1つが選択される。

【0289】

なお、図42の算出法では、例えば、M = 40でダミー走査期間数 a = 3の場合は算出されないため、このような場合（ダミー走査期間数が予め決定している場合）に上記の再計算を行ってもよい。図44はM = 40、ダミー走査期間数 = 3の場合の、再計算の結果である。同図に示されるように、この場合は7つの組み合わせが得られ、この中から1つ（例えば、M = 40、ダミー走査期間数 = 3、 $H_{total}Y = 2044$ 、 $D_{total}Y = 2080$ の組み合わせ）が選択される。

【0290】

（CS信号にオーバーシュートをかける駆動例）

上記において、偶数行と奇数行とで極性が反転するブロック分割飛び越し走査方式で、CS配線を隣接するゲートラインで共有するマルチピクセル駆動（MPD）をする場合について説明した。この場合において、上記のように、データ信号の極性反転時の波形の鈍りの影響を防ぐためにダミー走査期間を設けると、それに伴って明暗を正しく表示させるために、CS信号についても、データ信号の極性反転時に同じ期間分だけ波形を伸ばす必要がある。

【0291】

この場合、CS信号の立上りまたは立下りからゲートオンパルスがオフするまでの期間が異なることになる。図59に示す例では、2Hのダミー走査期間が挿入されている。この例において、CS信号の立上りまたは立下りからゲートオンパルスがオフするタイミング（ゲートオフタイミング）までの期間を30行目と32行目とを比較すると、CS_Kのポイント（3）では5H、CS_Bのポイント（4）では4H、CS_Aのポイント（5）では7H、CS_Dのポイント（6）では6Hとなる。このときそれぞれのポイントでCS信号の電圧の到達率が微妙に異なることになり、明暗副画素の輝度変化の度合いが異なってくる。

【0292】

狙いとする輝度変化からのズレが顕著なところとしては、ポイント（4）に相当するところである。すなわち、図59における画素P30暗副画素の電圧変化において、 ΔV_{p_30} で示される電位差は他に比べて小さくなる。水平期間が短い場合にはこの傾向はより顕著となり、CS信号の電圧の到達率の差が輝度差に現れてくるポイントが増大する。この結果、図60に示すように、表示画面上に周期的な表示ムラが発生することになる。

【0293】

上記の問題に対して、図61に示すように、CS信号の立上りまたは立下りのタイミン

10

20

30

40

50

グで、所定の幅のオーバーシュートパルス P_{oc} を立てる制御を行う。CS コントロール回路 90 は、CS 信号の H、L レベルの 2 値に加え、H レベルよりも高いオーバーシュート H 電位および L レベルより低いオーバーシュート L 電位の 2 値をさらに加えた 4 値を制御する。詳しくは、CS コントロール回路 90 は、CS 信号の極性継続期間において、第 1 の電圧を印加する期間と、第 1 の電圧と同極性で第 1 の電圧よりも絶対値の大きい第 2 の電圧を印加する期間とを設ける。

【0294】

このような CS 信号によれば、パルスの立上りまたは立下りにおける波形の鈍りを改善することができる。言い換えれば、CS 信号の極性反転時からゲートオフタイミングまでの時間が短い場合でも、ゲートオフタイミングの CS 電圧の到達度を上げることができる。これにより、CS 信号の立上りまたは立下りからゲートオフタイミングまでの期間の差異による CS 信号の電圧の到達率の差異を低減することができる。また、CS 信号の極性反転時からゲートオフタイミングまでの時間が短い行と長い行がある場合でも、CS 信号の電圧の到達度の差に起因するムラを防止できる。すなわち、図 60 に示すような周期的な表示ムラを改善できる。

10

【0295】

なお、本例では P_{oc} の幅を 1 H としているが、2 H にしてもよい。ただし、ゲートオンパルスがオフする時の CS 信号の電位を安定させるため、CS 信号の立上りまたは立下りからゲートオフタイミングまでの期間の半分以上にする方が好ましい。

【0296】

20

一方、図 62 は、高精細パネルやフレームレートが高い場合のように、水平期間 H が短い場合の CS 信号の設定波形（実線）と実際の波形（点線）とを示している。同図において、ゲートオンパルスの横に示す数値は、CS 信号の極性反転時からゲートオフタイミングまでの時間を水平期間 H で表したものである。なお説明を簡単にするため、行情報等は省略している。

【0297】

パルス P_{oc} の電圧の大きさは、CS コントロール回路 90 の耐圧以上に設定することはできない。よって、水平期間 H が短い場合には、最大電圧のパルス P_{oc} をかけても、CS 信号の電圧の到達率が不十分となる場合がある。この場合、各ゲートオフタイミングで CS 信号の電圧の到達率が異なり、前記した周期的な表示ムラが残ってしまうことになる。

30

【0298】

ここで、CS 信号の極性反転時からゲートオフタイミングまでの時間が 4 H、5 H の場合と 6 H、7 H の場合とで、CS 信号の電圧の到達率を近づけることができれば、上記の表示ムラをさらに低減できることになる。図 63 は、これを実現する CS 信号の駆動例を示している。同図に示す例では、CS 信号における極性反転周期の長さに応じて、オーバーシュートパルスのパルス幅および印加タイミングを変化させている。具体的には、極性反転周期が 5 H の期間においては、CS 信号の立上りまたは立下りのタイミングで所定のパルス幅のオーバーシュートパルス P_{oc} が印加される一方、極性反転周期が 7 H の期間においては、CS 信号の立上りまたは立下りのタイミングから所定の期間経過したタイミングで、オーバーシュートパルス P_{oc} のパルス幅よりも短いパルス幅のオーバーシュートパルス P_{oc}' が印加される。

40

【0299】

極性反転周期が 7 H の期間は、極性反転周期が 5 H の期間よりも CS 信号の電圧の到達率が高くなるので、オーバーシュートパルス P_{oc}' のパルス幅を、オーバーシュートパルス P_{oc} のパルス幅よりも小さくすることによって、両者の CS 信号の電圧の到達率を近づけることが可能となる。また、オーバーシュートパルス P_{oc}' の印加タイミングを変化させることによって、両者の CS 信号の電圧の到達率を近づけることが可能となる。これにより、上記の表示ムラをさらに低減できる。

【0300】

50

また、図 6 4 に示す例では、オーバーシュートパルス P_{oc} とオーバーシュートパルス P_{oc}' の電圧を異ならせている。オーバーシュートパルス P_{oc}' の電圧を、オーバーシュートパルス P_{oc} よりも小さくすることによって、極性反転周期が 7 H の期間と、極性反転周期が 5 H の期間との CS 信号の電圧の到達率を近づけることが可能となる。

【 0 3 0 1 】

なお、CS 信号における極性反転周期の長さに応じて、オーバーシュートパルスのパルス幅、印加タイミング、および、電圧値の少なくともいずれか一方を変化させれば、上記のような効果を得ることが可能である。

【 0 3 0 2 】

(ダミー挿入期間におけるムラを低減する構成例)

10

図 6 5 は、1つのブロックに含まれる走査線数 α を 2 4 としたブロック分割飛び越し走査方式の駆動において、第 1 のダミー挿入期間および第 2 のダミー挿入期間のそれぞれを 2 H とした場合の CS 幹配線と各 CS ラインとの接続状態、ならびに、CS 信号およびゲートオンパルスのタイミングチャートを示している。なお、同図では、1 行目から 2 4 行目までのゲートラインに関連する図を示しているが、実際には 2 4 行目までのゲートラインによって 1 つのブロックが構成され、このブロックが列方向に繰り返されることによってブロック分割飛び越し走査方式が実現されることになる。

【 0 3 0 3 】

この場合、ダミー挿入期間が挿入されるタイミングに存在する CS 信号の極性継続期間に、ダミー挿入期間を挿入する期間、すなわち 2 H を加えている。すなわち、ダミー挿入期間が挿入されるタイミングに存在する CS 信号における極性継続期間を 8 H とし、それ以外の CS 信号の極性継続期間を 6 H としている。また、1つのブロックに含まれる走査線数 α が偶数の 2 4 であるので、CS 信号の位相の数が 1 2 相あれば、全ての CS ラインに対応することができる。

20

【 0 3 0 4 】

この形態のブロック反転駆動では、極性反転部分とその付近にブランク挿入を行っている。この影響により、1 2 ライン目および 2 4 ライン目における、ゲートオンパルスがオフしてから CS 信号の極性が反転するまでの時間が、他のラインと大きく異なっている。例えば、1 2 ライン目の上側の副画素のゲートオンパルスがオフしてから CS 信号の極性が反転するまでの時間 t_1 と、1 2 ライン目の下側の副画素のゲートオンパルスがオフしてから CS 信号の極性が反転するまでの時間 t_2 とを比較すると、 t_1 に比べ t_2 は 3 H 分長くなっている。このため、CS 信号の突き上げ突き下げ電圧による画素電極の電圧変動の 1 フレームあたりの平均値が、特定のラインにおける副画素とそれ以外のラインにおける副画素とで異なってくるため、スジムラとして見えてしまう場合があった。

30

【 0 3 0 5 】

図 6 6 は、上記課題を解決するための実施例を説明する図であり、図 6 5 と同様に、1つのブロックに含まれる走査線数 α を 2 4 としたブロック分割飛び越し走査方式の駆動において、第 1 のダミー挿入期間および第 2 のダミー挿入期間のそれぞれを 2 H とした場合の CS 幹配線と各 CS ラインとの接続状態、ならびに、CS 信号およびゲートオンパルスのタイミングチャートを示している。

40

【 0 3 0 6 】

図 6 5 との相違点としては、新たに 2 つの CS 信号の位相を導入する点にある。具体的には、CS 幹配線が 2 本追加され、CS 信号の位相の種類として CS $__N$ と CS $__O$ とが追加されている。図 6 6 において太線で示すように、ゲートラインの 1 2 行目の下側の副画素に対応する CS ラインに CS $__N$ を接続し、ゲートラインの 2 4 行目の下側の副画素に CS $__O$ を接続する。1 2 ライン目の太線の波形に着目すると、1 2 ライン目の下側の副画素のゲートオンパルスがオフしてから CS 信号の極性が反転するまでの時間 t_2' は、図 6 5 における t_2 ' に比べ 2 H 短くなっている。これにより、他のラインとの差が無くなるため、スジムラを抑制できる。

【 0 3 0 7 】

50

C S — N の波形と C S — O の波形とは互いに逆位相の波形となっている。24ライン目も同様に下側の副画素のゲートオンパルスがオフしてからC S 信号の極性が反転するまでの時間が他のラインとの差が無くなるため、スジムラを抑制できる。

【0308】

上記の内容を一般化すると次のようになる。1つのブロックに含まれる走査信号線の数 α (α は自然数) であり、1つのブロックの走査中に2箇所以上のダミー挿入期間を挿入する駆動方法で、少なくとも α / k (k は自然数: α と k は α / k が整数となるように選ばれる) + 2 相の上記保持容量信号によって上記保持容量配線が駆動される構成とすればよい。図66の例では、 $\alpha = 24$ 、 $k = 2$ となり、 $24 / 2 + 2 = 14$ 相のC S 信号によってC S ラインが駆動されている。

10

【0309】

(C S 信号の位相の種類を低減する構成例)

図67は、1つのブロックに含まれる走査線数 α を48としたブロック分割飛び越し走査方式の駆動において、第1のダミー挿入期間および第2のダミー挿入期間のそれぞれを2Hとした場合のC S 幹配線と各C S ラインとの接続状態、ならびに、C S 信号およびゲートオンパルスのタイミングチャートを示している。なお、同図では、1行目から24行目までのゲートラインに関連する図を示しているが、実際には48行目までのゲートラインによって1つのブロックが構成され、このブロックが列方向に繰り返されることによってブロック分割飛び越し走査方式が実現されることになる。

【0310】

20

同図に示す例では、A ~ H、J ~ M の計12本のC S 幹配線を用いている。また、各C S 信号の極性継続期間は6Hと8Hとし、隣合う偶数行と奇数行とにおけるゲートオンパルスの印加タイミングの間で、C S 信号の極性が4回反転している。これは、隣接行書込時間差期間の長さに比べ、C S 信号の極性反転周期が短いためである。

【0311】

駆動周波数が高い場合、上記のようにC S 信号の極性継続期間が短いと、C S 信号の鈍りの影響により、ゲートオフ時にC S 信号の電圧の目標値への到達率が低くなり、ムラに見えるという問題が生じる。これを改善するには、C S 信号の極性反転の期間を長くすることによってC S 信号の鈍りの影響を低減することができる。しかしながら、C S 信号の極性反転の期間を長くするためには、C S 信号の位相の種類を増やす必要が生じるので、C S 幹配線の本数を増やす必要がある。よって、配線が増えたり、配線の引き回しが複雑になることにより、基板面積を増大させる必要が生じたり、短絡のリスクが増大したりなどの問題が生じる。

30

【0312】

図68は、C S 幹配線の本数を増やすことなく、C S 信号の極性継続期間を延ばす駆動例を示している。同図は、C S 信号の波形が12相の場合のC S 幹配線と各C S ラインとの接続状態、ならびに、C S 信号およびゲートオンパルスのタイミングチャートを示している。また、図68におけるゲートON位置(1) ~ (14)は、C S 信号の極性反転タイミングとゲートオンパルスとのタイミングの全てを記載している。なお、同図では、1行目から48行目までのゲートラインに関連する図を示しているが、実際には48行目までのゲートラインによって1つのブロックが構成され、このブロックが列方向に繰り返されることによってブロック分割飛び越し走査方式が実現されることになる。

40

【0313】

この例では、間に1本のC S ラインを挟んだ2本のC S ラインが同一のC S 幹配線に接続されている。具体的には、C S 幹配線のAには、C S ラインの0、2、25、27、48、50、73、75が接続され、C S 幹配線のBには、C S ライン1、3、24、26、49、51、72、74が接続されている。C S 幹配線のC、D以降には、それぞれC S 幹配線のA、Bに接続されるC S ラインの4ライン毎下のC S ラインに接続されている。また、C S ラインの48本ごとに、C S 幹配線とC S ラインとの接続関係が繰り返されている。

50

【 0 3 1 4 】

また、この駆動例では、走査線の 4 8 行ごとのブロックで、偶数行、奇数行（あるいは奇数行、偶数行）の順に飛び越し走査（インターレース）が行われており、データ信号の極性反転時に、ダミー走査期間として 2 H が挿入されている。また、マルチ画素の明暗を正しく表示するため、極性反転しない部分にもダミー走査期間が 2 H 挿入されている。CS 信号は、極性継続期間が 1 4 H の L レベル期間および H レベル期間、および、1 2 H の L レベル期間および H レベル期間の信号を含んでいる。

【 0 3 1 5 】

図 6 8 に示す例によれば、CS 信号の波形の相数を増やさずに、CS 信号の極性継続期間を長くとることができる。すなわち余分な配線や回路を増やすことなくゲートオフ時の CS 電圧の到達度を高くすることができ、CS 電圧の実際の波形の鈍りに起因するムラを低減できる。

【 0 3 1 6 】

なお、図 8 7 に示すような駆動が行われてもよい。図 6 8 との相違点としては、ダミー挿入期間が挿入される箇所を含む極性継続期間が 1 4 H となっており、それ以外の極性継続期間が 1 2 H となっている点である。

【 0 3 1 7 】

図 6 8 および図 8 7 における CS 信号の極性反転タイミングとゲートオンパルスとのタイミングとをそれぞれ波形 1 および波形 2 として図 8 8 に示す。同図に示すように、(a) ゲート ON 位置 (1) (2) (3) の後に CS 信号の電圧レベルが変化すること、(b) ゲート ON 位置 (1 3) (4) (5) (6) の後に CS 信号の電圧レベルが変化すること、(c) ゲート ON 位置 (1 4) (7) (8) (9) の後に CS 信号の電圧レベルが変化すること、(d) ゲート ON 位置 (1 0) (1 1) (1 2) の後に CS 信号の電圧レベルが変化すること、(e) 極性継続期間が 1 4 H である期間の長さとして 1 2 H である期間の長さとして L レベルおよび H レベルでともに等しくなっていること、の 5 点を満たしていればよいことになる。

【 0 3 1 8 】

（ CS 信号の極性の偏りを解消する構成例 ）

一方、ブロック分割飛び越し走査方式によってダミー水平期間の挿入を行う場合、上記のように、挿入するダミー水平期間の長さに応じて、CS 信号の極性継続期間を長くする必要があり、例えば、挿入するダミー水平期間が 2 H の場合、図 6 8 に示す例では、極性継続期間が 1 4 H となる部分と 1 2 H となる部分とが混在する。この場合、CS 信号の極性反転タイミングと、ゲートオフタイミングとの関係に応じて、CS 信号による各画素への電圧の突き上げ効果が変化し、液晶印加電圧の実効値が異なる。上記の例では、CS 信号の極性反転タイミングと、ゲートオフタイミングとの関係が、隣り合うブロック同士で異なることになり、ブロック単位で明るさが異なるムラが生じることになる。以下、この理由を説明する。

【 0 3 1 9 】

図 7 0 の (a) および (b) は、CS 信号の極性反転タイミングと、ゲートオフタイミングとの関係が互いに異なる駆動例を示している。まず、両者ともに、CS 信号は、極性継続期間が 1 4 H となる部分が 2 回連続し、極性継続期間が 1 2 H となる部分が 2 回連続し、これらが繰り返されるような極性反転タイミングとなっている。そして、図 7 0 の (a) では、極性継続期間が 1 4 H となる部分が 2 回連続するうちの 1 回目の 1 4 H (図中 (A)) においてゲートオンパルスが印加される一方、図 7 0 の (b) では、極性継続期間が 1 4 H となる部分が 2 回連続するうちの 2 回目の 1 4 H (図中 (B)) においてゲートオンパルスが印加されている。なお、図 7 0 の (a) は図 6 8 のゲート ON 位置の (2) のタイミングについての駆動例であり、図 7 0 の (b) は図 6 8 のゲート ON 位置の (5) のタイミングについての駆動例を記載している。

【 0 3 2 0 】

ここで、1 フレーム期間で CS 信号が「 H 」 (H レベル) になる期間の長さについて着

10

20

30

40

50

目する。図70の(a)と(b)とのCS信号が「H」(Hレベル)になる期間(突き上げ期間)が1フレーム期間内で異なる部分は、ハッチングで示されている部分である。この部分で両者を比較すると、ハッチングで示されるCS信号が「H」(Hレベル)になる期間は、(a)では14H(14水平期間)+9H(9水平期間)=23H(23水平期間)、(b)では12H(12水平期間)+9H(9水平期間)=21H(21水平期間)であり、(a)が(b)よりも2H分(2水平期間分)「H」(Hレベル)の期間が長いことになる。すなわち、(a)の方が液晶印加電圧の実効値が高くなる。これにより、(a)のタイミングとなる1~24行目のゲートラインに対応する画素の表示が、(b)のタイミングとなる25~48行目のゲートラインに対応する画素の表示よりも明るくなり、隣接するブロック間で輝度差が生じる。

10

【0321】

この問題を解決するCS信号の波形例を図70の(c)および(d)に示す。同図に示すように、CS信号において、極性継続期間が14Hである部分を、12Hの部分と2Hの部分とに分けるとともに、2Hの部分、「H」(Hレベル)となっている期間と「L」(Lレベル)となっている期間とが等しくなるように設定する。このようにすれば、ゲートオンパルスの印加タイミングによらず、1フレーム内でのCS信号の「H」期間と「L」期間とを等しくすることができるので、突き上げ時間の偏りが解消される。同図に示す例では、2Hの部分1Hの「H」(Hレベル)期間と1Hの「L」(Lレベル)期間とに分割しているが、「H」(Hレベル)期間と「L」(Lレベル)期間とが均等になるように、もっと短い周期で分割させてもよい。

20

【0322】

同図に示す例において、ハッチングで示される突き上げ時間は、(c)では1H+12H+9H=22H、(d)では12H+1H+9H=22Hであり、(c)と(d)との突き上げ時間が等しくなる。よって、(c)における(A)でゲートオンパルスが印加された場合と(d)における(B)でゲートオンパルスが印加された場合とで、液晶印加電圧の実効値が等しくなる。

【0323】

上記の(c)および(d)で示されるCS信号が印加される場合の、CS幹配線と各CSラインとの接続状態、ならびに、CS信号およびゲートオンパルスのタイミングチャートを図69に示す。ダミー挿入期間を含め1ブロックを走査する期間(48H+2H+2H=52H)において、記保持容量信号において、保持容量信号がHレベルとなっている期間(1H+12H+1H+12H=26H)とLレベルとなっている期間(1H+12H+1H+12H=26H)との差が等しくなるように設定されている。

30

【0324】

なお、図69におけるゲートON位置(1)~(14)は、CS信号の極性反転タイミングとゲートオンパルスとのタイミングの全てを記載している。図70の(c)は図69のゲートON位置の(2)のタイミングについての駆動例であり、図70の(d)は図69のゲートON位置の(5)のタイミングについての駆動例を記載している。このような駆動が行われる場合、(c)のタイミングを使用する1行目から24行目までのゲートラインと、(d)のタイミングを使用する25行目から48行目までのゲートラインとの輝度差が解消される。

40

【0325】

また、ダミー挿入期間を含め1ブロックを走査する期間において保持容量信号がHレベルとなっている期間とLレベルとなっている期間との差は完全に等しくなくとも1H以内であれば輝度差はほぼ抑制できる。さらに上記保持容量信号において、1フレーム内での保持容量信号のHレベル期間とLレベル期間の差の絶対値の各保持容量配線での差が1H以内であることが望ましい。

【0326】

なお、上記の例では、図68に示す駆動例に基づいて図69に示す駆動例を導き出しているが、図87に示す駆動例に基づいた場合でも、同様に図69に示す駆動例となる。

50

【 0 3 2 7 】

また、図 8 9 の評価結果表に示すように、異なる走査線数で検討を行った結果、保持容量信号において、1 フレーム内での保持容量信号の H レベル期間と L レベル期間の差の絶対値の各保持容量配線での差（同図中で「差」と記載）と、1 フレーム期間との比（同図中で「比」と記載）が 0 . 1 3 % 以下であれば、輝度ムラを抑制できる。より好ましくは 0 . 0 9 % 以下すればさらに良好な表示とすることができる。なお、同図の「ムラ（目視評価）」の欄において、二重丸は輝度ムラがなく良好な状態、一重丸は若干輝度ムラがあるが表示としては良好な状態、三角は輝度ムラがやや目立つ状態、× は輝度ムラがかなり目立つ状態を示している。

【 0 3 2 8 】

10

〔ゲートドライバの構成および動作〕

次に、前記した各実施の形態で用いられるゲートドライバ 4 0 0 の構成の詳細について説明する。図 4 6 は、ゲートドライバ 4 0 0 の構成例を示すブロック図である。同図に示すように、ゲートドライバ 4 0 0 は、複数のゲートドライバ用 IC 4 1 1 ~ 4 1 q を備えている。また、図 4 5 は、1 つのゲートドライバ用 IC 4 1 n の構成例を示している。

【 0 3 2 9 】

ゲートドライバ用 IC 4 1 n は、第 1 および第 2 シフトレジスタ 4 2 ・ 4 3、第 1 および第 2 AND ゲート 4 4 1 ・ 4 4 2、および、出力部 4 5 を備えている。第 1 シフトレジスタ 4 2 は、奇数段用シフトレジスタであり、第 2 シフトレジスタ 4 3 は、偶数段用シフトレジスタである。第 1 AND ゲート 4 4 1 は、第 1 シフトレジスタ 4 2 からの出力に対応して設けられており、第 2 AND ゲート 4 4 2 は第 2 シフトレジスタ 4 3 からの出力に対応して設けられている。出力部 4 5 は、第 1 AND ゲート 4 4 1 および第 2 AND ゲート 4 4 2 の出力信号 g 1 ~ g p に基づいて走査信号 G 1 ~ G p を出力する。

20

【 0 3 3 0 】

ゲートドライバ用 IC 4 1 n には、外部から各シフトレジスタに入力されるスタートパルス信号 S P i a ・ S P i b、クロック信号 C K a ・ C K b、および出力制御信号 O E a ・ O E b が入力されている。スタートパルス信号 S P i a ・ S P i b は、それぞれ第 1 シフトレジスタ 4 2 および第 2 シフトレジスタ 4 3 の入力端に入力され、第 1 シフトレジスタ 4 2 および第 2 シフトレジスタ 4 3 の出力端からは、後続のゲートドライバ用 IC に入力されるべきスタートパルス信号 S P o a、S P o b が出力される。

30

【 0 3 3 1 】

また、第 1 AND ゲート 4 4 1 には第 1 シフトレジスタ 4 2 からの奇数段出力信号 Q k（k は奇数）と出力制御信号 O E a の論理反転信号とが入力される。一方、当第 2 の AND ゲート 4 4 2 には第 2 シフトレジスタ 4 3 からの奇数段出力信号 Q k（k は偶数）と出力制御信号 O E b の論理反転信号とが入力される。

【 0 3 3 2 】

本構成例によるゲートドライバ 4 0 0 は、上記構成の複数（q 個）のゲートドライバ用 IC 4 1 1 ~ 4 1 q が、縦続接続されることによって実現される。すなわち、ゲートドライバ用 IC 4 1 1 ~ 4 1 q 内の第 1 および第 2 シフトレジスタ 4 2 ・ 4 3 が 1 つのシフトレジスタを形成するように（以下、このように縦続接続によって形成されるシフトレジスタを「結合シフトレジスタ」という）、各ゲートドライバ用 IC 4 1 n 内の第 1 および第 2 シフトレジスタ 4 2 ・ 4 3 の出力端（スタートパルス信号 S P o a ・ S P o b の出力端子）が次のゲートドライバ用 IC 内の第 1 および第 2 シフトレジスタ 4 2 ・ 4 3 の入力端（スタートパルス信号 S P i a ・ S P i b の入力端子）に接続される。

40

【 0 3 3 3 】

ただし、先頭のゲートドライバ用 IC 4 1 1 内の第 1 および第 2 シフトレジスタ 4 2 ・ 4 3 の入力端には、表示制御回路 2 0 0 からゲートスタートパルス信号 G S P a、G S P b が入力され、最後尾のゲートドライバ用 IC 4 1 q 内の第 1 および第 2 シフトレジスタ 4 2 ・ 4 3 の出力端は外部と未接続となっている。また、表示制御回路 2 0 0 からのゲートクロック信号 G C K a ・ G C K b および出力制御信号 G O E a ・ G O E b は、各ゲート

50

ドライバ用 IC 41n にクロック信号 CKa・CKb、および出力制御信号 OEa・OEb として共通に入力される。

【0334】

次に、図 47 に示す波形図を参照しながら、前記構成例によるゲートドライバ 400 の動作について説明する。表示制御回路 200 は、波形図に示すように、画素データ書込パルス Pw に対応する期間 Tspw だけ H レベル（アクティブ）となる信号をゲートスタートパルス信号 GSP（奇数段用 GSPa および偶数段用 GSPb）として生成するとともに、1 水平走査期間（1H）毎に所定期間だけ H レベルとなるゲートクロック信号 GCK（奇数段用 GCKa および偶数段用 GCKb）を生成する。

【0335】

このようなゲートスタートパルス信号 GSP およびゲートクロック信号 GCK（GCKa・GCKb）がゲートドライバ 400 に入力されると、先頭のゲートドライバ用 IC 411 における第 1 および第 2 シフトレジスタ 42・43 の初段の出力信号 Q1・Q2 が出力される。この出力信号 Q1・Q2 は、各フレーム期間において、画素データ書込パルス Pw に対応するパルス Pqw を含む。ここでは、最初の出力信号 Q1・Q2 を形成するために、最初の GCKa および GCKb は 2H の間隔で H レベルとなる。

【0336】

このようなパルス Pqw がゲートクロック信号 GCK に従ってゲートドライバ 400 の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、信号波形が GCK の立ち上がりに合わせて H レベルとなり次の GCK の立ち上がりに合わせて L レベルとなる出力信号 Qn が順次ずれて出力される。

【0337】

また、表示制御回路 200 は、前述したように、ゲートドライバ 400 を構成するゲートドライバ用 IC 411～41q に与えるべきゲートドライバ出力制御信号 GOE（GOEa・GOEb）を生成する。ここで、n 番目のゲートドライバ用 IC 41n に与えるべきゲートドライバ出力制御信号 GOE は、当該ゲートドライバ用 IC 41n 内における第 1 および第 2 シフトレジスタ 42・43 のいずれかの段から画素データ書込パルス Pw に対応するパルス Pqw が出力されている期間で、画素データ書込パルス Pw の調整のために L レベルまたは H レベルとなる。これは上記所定期間で H レベルとなることに相当し、以下「書込期間調整パルス」と称する。

【0338】

なお、画素データ書込パルス Pw の調整のためにゲートドライバ出力制御信号 GOE に含まれるパルス（書込期間調整パルス）は、必要な画素データ書込パルス Pw に応じて、適宜調整することができる。ここでは、データ信号波形の極性（POL）が反転する際、極性反転直前の信号電位を書き込まないように、GOE が制御されている。また同様に、データ信号波形の極性（POL）が反転する際、極性反転直前のパルス Pw が極性反転直後の信号電位を書き込まないようにパルス Pw の幅を制御することができる。この GOE で制御される幅を調整することで、データ信号波形の極性（POL）が反転する際、上述のすべての実施形態に対応した画素データ書き込みパルス Pw を形成することができる。

【0339】

さらに、GCK は奇数段出力を制御する GCKa と偶数段出力を制御する GCKb とからなるが、これらのクロック信号は、データ信号の極性 POL が反転するのと連動して H レベルを維持し、次にデータ信号の極性が再度反転後ダミー挿入期間（1H）が経過するとクロック信号が L レベルとなり、1H 毎に所定期間だけ H レベルとなる基本動作を再開する。このクロック（GCKa・GCKb）の動作に伴い、出力信号 Qk の波形 Pqw の長さが変動することを利用して、各 Pqw のうち画素データ書き込みパルス Pw の出力させたい期間をそれぞれ出力制御信号 GOEa・GOEb（「書込期間調整パルス」）で制御する。

【0340】

各ゲートドライバ用 IC チップ 41n（n = 1～q）では、上記のようなシフトレジス

10

20

30

40

50

タ各段の出力信号 Q_k ($k = 1 \sim p$)、ゲートクロック信号 GCK およびゲートドライバ出力制御信号 $G OE$ に基づき、第 1 および第 2 の AND ゲート 441・442 により、内部走査信号 $g_1 \sim g_p$ が生成され、それらの内部走査信号 $g_1 \sim g_p$ が出力部 45 でレベル変換されて、ゲートライン $GL_1 \sim GL_m$ に印加すべき走査信号 $G_1 \sim G_p$ が出力される。これにより、波形図に示すように、ゲートライン $GL_1 \sim GL_m$ には、順次画素データ書込パルス P_w が印加される。

【0341】

図 48 は、図 47 とは異なる駆動動作を示す波形図である。以下、図 47 に示した駆動動作と異なる点のみ説明する。

【0342】

GCK は奇数段出力を制御する $GCKa$ と偶数段出力を制御する $GCKb$ からなる。これらクロック信号は、データ信号極性 POL が反転するのと連動して L レベルを維持し、次にデータ信号の極性が再度反転後ダミーの水平期間 ($1H$) と画素データを書き込むための水平期間 ($1H$) が経過すると、クロック信号が $1H$ 毎に所定期間だけ H レベルとなる基本動作を再開する。

【0343】

このクロック信号 ($GCKa \cdot GCKb$) の動作に伴い、出力信号 Q_k の波形 Pqw の長さが変動することを利用して、各 Pqw のうち画素データ書き込みパルス P_w の出力させたい期間をそれぞれ出力制御信号 $G OEa \cdot G OEb$ (書込期間調整パルス) で制御する。

【0344】

なお、画素データ書込パルス P_w の調整のためにゲートドライバ出力制御信号 $G OE$ に含まれるパルス (書込期間調整パルス) は、必要な画素データ書込パルス P_w に応じて、適宜調整することができる。

【0345】

(ダブルパルス駆動の例)

例えば走査周波数を高めるために、水平走査期間を短く設定する必要がある場合、ゲートオンパルスのパルス幅も短くなることにより、各画素に対する充電時間が短くなり、充電が不十分となることがある。これに対応するために、ソースラインから各画素に対して電圧を印加するようにゲートラインを選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じゲートラインを選択状態とするプレ充電期間とにおいて画素の充電を行う構成が考えられる。

【0346】

このように、本充電期間とプレ充電期間とを設ける駆動を、上記した図 47 に示す駆動動作に適用した場合、例えば図 71 のような駆動が行われることになる。同図に示すように、プレ充電期間および本充電期間は、ゲートクロック GCK の L 期間、すなわち、ゲートクロック GCK のパルスの間の幅で設定される。

【0347】

この場合、データ信号の波形における極性反転部では、ダミーデータの挿入を行うために、ゲートクロック GCK の L 期間が長くなっている。よって、ゲートクロック GCK の L 期間が長い部分を用いてプレ充電期間または本充電期間が設定されるゲートラインの行と、それ以外のゲートラインの行とでゲートオンパルスの波形が異なることになり、これにより、行によって充電率が異なり輝度差が生じる場合がある。この輝度差による表示のムラの状態の例を図 72 に示す。

【0348】

なお、図 71 に示す例では、インターレースブロック反転の場合となっているが、順次走査ブロック反転 (nH 反転) の場合も同様の問題が生じる。ただし、図 72 に示すように、インターレースの場合には 1 行間隔でムラが生じるので、順次走査の場合よりもムラが目立つことになる。

【0349】

この問題に対する対策として、ゲートオンパルスの幅を、GCKのL時間で決めるのではなく、GCKとGOEとの2つの信号の組合せによって任意に設定する駆動方法について以下に説明する。まず、ゲートオンパルスPwの元となるパルスPqwの幅を所定の値（例えば2Hなど）に予め設定しておく。また、GOEでマスクすることでゲートオンパルスの長さを微調整できるようにする。また、本充電期間はGOEパルスが立っていても（H（ハイレベル）であっても）、ゲートオンパルスはハイのままとなるようにすることによって、GOEパルスによらず本充電期間を全てのラインで共通に設けることができる。この場合、GOEをHで固定にすれば、シングルパルスの駆動を実現することも可能である。

【0350】

10

図73は、ゲートオンパルスPwのパルス幅を制御する例を示している。これらの例において、本充電期間は、GOEの影響を受けずに、GCKのL期間によって設定されている。これに対して、プレ充電期間は、GOEのパルス波形の影響を受けるようになっている。例1では、プレ充電期間は、GOEのパルスによってパルスPqwの最初の部分がマスクされることによって短くなっている。例2では、プレ充電期間は、GOEのパルスによってパルスPqwの途中部分がマスクされることにより、2つの期間に分断されるとともに、トータルの期間も短くなっている。例3では、プレ充電期間は、GOEのパルスによってパルスPqwの最後の部分がマスクされることによって短くなっているとともに、プレ充電期間と本充電期間との間にギャップが挿入されることになる。例4では、GOEがL固定となっていることによって、プレ充電期間が最大の長さになっている。例5では、GOEがH（ハイレベル）固定となっていることによって、プレ充電期間が0となり、シングルパルス駆動が実現されている。

20

【0351】

（ダブルパルスを実現するゲートドライバの構成および動作（1））

図74は、上記のようなダブルパルス駆動で、順次走査nH反転駆動を実現するゲートドライバ用IC41nの構成例を示している。ゲートドライバ用IC41nは、同図に示すように、シフトレジスタ46と、当該シフトレジスタ46の各段に対応して設けられた第1、第2および第3のANDゲート441、442、443と、第1のORゲート444と、第3のANDゲート443の出力信号g1～gpに基づき走査信号G1～Gpを出力する出力部45とを備えている。また、ゲートドライバ用IC41nは、外部からスタートパルス信号SPi、クロック信号CK、出力制御信号OE、および選択信号SELを受け取る。スタートパルス信号SPiはシフトレジスタ46の入力端に与えられ、シフトレジスタ46の出力端からは、後続のゲートドライバ用IC41n+1に入力されるべきスタートパルス信号SPOを出力する。

30

【0352】

また、シフトレジスタ46の奇数段（Qk；k=1～pのうち、kが奇数に相当する段）では、第1のANDゲート441には出力制御信号OEと選択信号SELの論理反転信号とが入力され、第2のANDゲート442にはクロック信号CKと選択信号SELとが入力され、第1のORゲート444には第1のANDゲート441と第2のANDゲート442との出力が入力され、第3のANDゲート443には第1のORゲート444の出力の論理反転信号とシフトレジスタ46の奇数段出力信号Qk（kは奇数）とが入力される。

40

【0353】

一方、シフトレジスタ46の偶数段（Qk；k=1～pのうち、kが偶数に相当する段）では、第1のANDゲート441には出力制御信号OEと選択信号SELとが入力され、第2のANDゲート442にはクロック信号CKと選択信号SELの論理反転信号とが入力され、第1のORゲート444には第1のANDゲート441と第2のANDゲート442の出力が入力され、第3のANDゲート443には第1のORゲート444の出力の論理反転信号とシフトレジスタの偶数段出力信号Qk（kは偶数）とが入力される。

【0354】

50

本構成例によるゲートドライバ４００は、上記構成の複数（ q 個）のゲートドライバ用ＩＣ４１１～４１ q が縦続接続されることによって実現される。すなわち、ゲートドライバ用ＩＣ４１１～４１ q 内のシフトレジスタ４６が１つのシフトレジスタを形成するように、各ゲートドライバ用ＩＣ４１ n 内のシフトレジスタ４６の出力端が次のゲートドライバ用ＩＣ４１ $n+1$ 内のシフトレジスタ４６の入力端に接続される。

【０３５５】

ただし、先頭のゲートドライバ用ＩＣ４１１内のシフトレジスタ４６の入力端には、表示制御回路２００からゲートスタートパルス信号ＧＳＰが入力され、最後尾のゲートドライバ用ＩＣチップ４１ q 内のシフトレジスタ４６の出力端は外部と未接続となっている。また、表示制御回路２００からのゲートクロック信号ＧＣＫ、ＧＯＥ、およびＳＥＬは、各ゲートドライバ用ＩＣ４１１～４１ q にクロック信号ＣＫ、出力制御信号ＯＥおよび選択信号ＳＥＬとして共通に入力される。

10

【０３５６】

次に、図７５に示す波形図を参照しながら、前記構成例によるゲートドライバ４００の動作について説明する。表示制御回路２００は、波形図に示すように、画素データ書込パルスＰ w に対応する期間Ｔ s_{pw} だけＨレベルとなる信号をゲートスタートパルス信号ＧＳＰとして生成するとともに、データ信号の極性反転直後を除き基本的に１水平走査期間（１Ｈ）毎に所定期間だけＨレベルとなるゲートクロック信号ＧＣＫを生成する。

【０３５７】

このようなゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫがゲートドライバ４００に入力されると、先頭のゲートドライバ用ＩＣ４１１におけるシフトレジスタ４６の初段の出力信号Ｑ１が出力される。この出力信号Ｑ１は、各フレーム期間において、画素データ書込パルスＰ w に対応するパルスＰ q_w を含む。

20

【０３５８】

このようなパルスＰ q_w がゲートクロック信号ＧＣＫに従ってゲートドライバ４００の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、信号波形がＧＣＫの立ち上がりに合わせてＨレベルとなりそのＧＣＫの２つ後のＧＣＫの立ち上がりに合わせてＬレベルとなる出力信号Ｑ n が順次ずれて出力される。

【０３５９】

また、ＧＣＫがＨレベルになった後にデータ信号の極性が反転するタイミングでは、次にＧＣＫがＨレベルになるまでの間隔が２Ｈとなっている。このクロックＧＣＫの動作に伴い、出力信号Ｑ k の波形Ｐ q_w の長さが変動する。

30

【０３６０】

また、表示制御回路２００は、前述したように、ゲートドライバ４００を構成するゲートドライバ用ＩＣ４１１～４１ q に与えるべきゲートドライバ出力制御信号ＧＯＥおよび選択信号ＳＥＬを生成する。選択信号ＳＥＬによってＧＣＫおよびＧＯＥのいずれかが選択され、この選択された方によってパルスＰ q_w のパルス幅が調整され、画素データ書込パルスＰ w が設定される。図において、Ｐ q_w およびＰ w のパルス幅中に記載されている「ＯＥ」「ＣＫ」は、それぞれＧＯＥによって制御されている部分、ＧＣＫによって制御されている部分を示している。

40

【０３６１】

各ゲートドライバ用ＩＣチップ４１ n （ $n=1\sim q$ ）では、上記のようなシフトレジスタ各段の出力信号Ｑ k （ $k=1\sim p$ ）、ゲートクロック信号ＧＣＫ、ゲートドライバ出力制御信号ＧＯＥ、および選択信号ＳＥＬに基づき、第１および第２のＡＮＤゲート４４１・４４２、第１のＯＲゲート４４４、および第３のＡＮＤゲート４４３により、内部走査信号 $g_1\sim g_p$ が生成され、それらの内部走査信号 $g_1\sim g_p$ が出力部４５でレベル変換されて、ゲートラインＧＬ１～ＧＬ m に印加すべき走査信号Ｇ１～Ｇ p が出力される。

【０３６２】

これにより、ゲートラインＧＬ１～ＧＬ m には、順次同じパルス幅の画素データ書込パルスＰ w が印加される。よって、データ信号の極性が反転するゲートラインの行と、それ

50

以外のゲートラインの行とで、充電期間の長さを等しくすることができるので、上記したような表示ムラを防止することができる。

【0363】

なお、図76に示すように、GCKがHレベルになった後にデータ信号の極性が反転するタイミングで、GCKのHレベルを1H期間継続させるようにしてもよい。この場合も、クロックGCKの動作に伴い、出力信号Qkの波形Pqwの長さが変動する。そして、ゲートドライバ出力制御信号GOEおよび選択信号SELを適宜設定することによって、上記と同様に、ゲートラインGL1～GLmに、順次同じパルス幅の画素データ書込パルスPwを印加することができる。

【0364】

10

ここで、以下に示す図77から図79のデータ信号波形の極性反転時のゲートオンパルスPwの形成は、図74に示したゲートドライバ用ICを用いることによりゲートクロックGCK、ゲートドライバ出力制御信号GOEのパルス幅、および選択信号SELを適宜選択することにより実現することが可能である。例えば、極性直前のゲートオンパルスの立下りをGCKでマスクし、極性反転直後のゲートオンパルスの立ち上がりをGOEでマスクすればよい。

【0365】

図77は、上記のようなダブルパルス駆動で、データ信号電圧がデータ信号電圧の中央値Vscを基準として10行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の1水平期間(1H)をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストロブ信号LS、およびゲートオンパルス(画素データ書き込みパルス)Pwのタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン(書き込み行)GL1～GLmの各行を示している。

20

【0366】

極性反転が行われた直後は、実際のデータ信号の波形に鈍りが生じている、すなわち、データ信号波形が極性反転後の所定の電圧に到達するまでに時間がかかっている。これに対して、上記の駆動方式では、極性反転直後の1水平期間においては本充電期間を設けないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

30

【0367】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインSL1～SLn(データ信号線)の、印加電圧に対する実際の電圧の到達率(充電率)を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する10行毎のムラを防止できる。

【0368】

また、図78に示すように、上記の駆動では、極性反転時点よりも前の時点で印加されるゲートオンパルスPwのうち、極性反転時点に最も近いゲートオンパルスPwの最後端から、該ゲートオンパルスPwが印加される水平期間の終了時点までの時間を第1の期間、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスPwのうち、極性反転時点に最も近いゲートオンパルスPwの印加開始時点までの時間を第2の期間とすると、この第2の期間が上記第1の期間よりも長くなっている。

40

【0369】

このような駆動によれば、極性反転時点にはゲートオンパルスPwが印加されないことになるので、極性反転前後にゲートオンパルスPwが印加される隣接する2つのゲートラインにおいて、極性が互いに反転しているデータ信号が同時に印加されないようにすることができる。これにより、極性反転時の画像表示の乱れを防止することができる。

【0370】

また、極性反転時点以降に印加されるゲートオンパルスPwのうち、極性反転時点に最

50

も近いゲートオンパルス P_w は、極性反転時点から上記第 1 の期間よりも長い期間の後にゲートオンされている。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間でプレ充電が行われなくすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【0371】

図 79 は、上記のようなダブルパルス駆動で、データ信号電圧が V_{sc} を基準として 10 行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の 2 水平期間 (2H) をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号 LS 、およびゲートオンパルス P_w のタイミングチャートを示している。これらの図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン (書き込み行) $GL1 \sim GLm$ の各行を示している。

10

【0372】

上記のように、実際のデータ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースライン $SL1 \sim SLn$ の、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する 10 行毎のムラを防止できる。

【0373】

20

なお、上記の例では、ダミー挿入期間を 2H または 3H としているが、極性反転後のデータ信号波形の鈍りの程度に応じて、4H 以上に設定してもよい。

【0374】

また、上記の駆動では、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルス P_w のうち、極性反転時点に最も近いゲートオンパルス P_w の印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加されている。

【0375】

前記したように、通常、ソースラインに印加されるデータ信号は、1 水平表示期間内で画素が充電されるような信号波形となるように設計される。よって、極性反転時点から 1 水平表示期間以上経過した時点では、極性反転時に生じるデータ信号の波形の鈍りの影響は抑えられていることになる。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われなくすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

30

【0376】

なお、上記の構成例では、ゲートクロック GCK 、ゲートドライバ出力制御信号 GOE のパルス幅、および選択信号 SEL を適宜選択することによってダブルパルスとしてのゲートオンパルス P_w を印加するようにしているが、選択信号 SEL を用いない構成とすることも可能である。図 90 は、選択信号 SEL を用いずにダブルパルスのゲートオンパルス P_w を印加するゲートドライバ用 IC の要部構成を示している。同図に示す構成は、ゲートドライバ用 IC 41n のうち、1 本のゲートラインに対する走査信号 G を出力するための構成としてのゲートドライバユニットを示している。

40

【0377】

同図に示すように、このゲートドライバユニットは、第 1 フリップフロップ 461、第 2 フリップフロップ 462、第 1 出力マスク 463、第 2 出力マスク 464、および OR ゲート 465 を備えている。第 1 フリップフロップ 461 は、ゲートスタートパルス信号 GSP を入力し、ゲートクロック信号 GCK に従って動作し、出力信号 QA を出力する。第 1 フリップフロップ 462 は、出力信号 QA を入力し、ゲートクロック信号 GCK に従って動作し、出力信号 QB を出力する。

【0378】

50

第1出力マスク463は、出力信号QAに対してゲートドライバ出力制御信号GOEによるマスクを行った信号を出力する。第2出力マスク464は、出力信号QBをゲートクロック信号GCKがLレベルとなっている期間のみ出力する。そして、ORゲート465は、第1出力マスク463からの出力信号と第2出力マスク464からの出力信号とのOR論理演算結果を走査信号Gとして出力する。なお図示はしていないが、第1フリップフロップ461は次段のゲートドライバユニットの第1フリップフロップに出力信号QAを出力し、順次繰り返すことで、シフトレジスタを構成し、ゲートドライバとして機能する。

【0379】

次に、図91に示す波形図を参照しながら、前記構成例によるゲートドライバ400の動作について説明する。表示制御回路200は、波形図に示すように、画素データ書込パルスPwに対応する期間TpsだけHレベルとなる信号をゲートスタートパルス信号GSPとして生成するとともに、データ信号の極性反転直後では1水平走査期間(1H)の期間だけHレベルとなる一方、それ以外の期間では1水平走査期間(1H)毎に所定期間だけHレベルとなるゲートクロック信号GCKを生成する。

【0380】

このようなゲートスタートパルス信号GSPおよびゲートクロック信号GCKがゲートドライバ400に入力されると、先頭のゲートドライバユニットにおける第1フリップフロップ461の出力信号QA1が出力される。

【0381】

また、ゲートスタートパルスGSPがゲートクロック信号GCKに従ってゲートドライバユニットを順次転送されていく。それに応じて各ゲートドライバユニットから、信号波形がGCKの立ち下がりに合わせてHレベルとなりそのGCKの1つ後のGCKの立ち下がりに合わせてLレベルとなる出力信号QAkが順次ずれて出力される。

【0382】

また、GCKがHレベルになった後にデータ信号の極性が反転するタイミングでは、GCKがHレベルで継続する期間が1Hとなっている。このクロックGCKの動作に伴い、出力信号QAkのパルス幅が変動する。

【0383】

また、第1フリップフロップ461から出力信号QAkが出力されると、これに従って第2フリップフロップ462がGCKに従って出力信号QBkが出力される。すなわち、出力信号QAkが1Hだけずれた信号が出力信号QBkとなる。

【0384】

また、表示制御回路200は、前述したように、ゲートドライバ400を構成するゲートドライバ用IC411~41qに与えるべきゲートドライバ出力制御信号GOEを生成する。このGOEは、データ信号の極性反転直前の1H期間だけHレベルとなり、それ以外の期間はLレベルとなる信号である。このGOEのHレベルとなるパルス幅を制御することによって、第1出力マスク463によるマスク作用により、走査信号Gkのプレ充電期間の長さが制御される。また、出力信号QBkとGCKとに基づいて、第2出力マスク464によるマスク作用により、走査信号Gkの本充電期間が設定される。

【0385】

これにより、選択信号SELを用いることなく、ゲートラインGL1~GLmには、順次同じパルス幅の画素データ書込パルスPwが印加される。よって、データ信号の極性が反転するゲートラインの行と、それ以外のゲートラインの行とで、充電期間の長さを等しくすることができるので、上記したような表示ムラを防止することができる。

【0386】

また、ゲートドライバユニットを奇数行用と偶数行用に2系統用意し、後述する図80に示す構成と同様に、それぞれ、奇数行用と偶数行用の入力信号GSPa、GSPb、GCKa、GCKb、GOEa、GOEbを入力することで、ブロック分割インターレース駆動を実現することもできる。

【 0 3 8 7 】

(ダブルパルスを実現するゲートドライバの構成および動作(2))

図80は、上記のようなダブルパルス駆動で、ブロック分割インターレース駆動を実現するゲートドライバ用IC41nの構成例を示している。ゲートドライバ用IC41nは、同図に示すように、第1および第2シフトレジスタ42・43、論理回路Aおよび論理回路B、および、出力部45を備えている。

【 0 3 8 8 】

第1シフトレジスタ42は、奇数段用シフトレジスタであり、第2シフトレジスタ43は、偶数段用シフトレジスタである。論理回路Aは第1シフトレジスタ42からの出力に対応して設けられており、論理回路Bは第2シフトレジスタ43からの出力に対応して設けられている。出力部45は、論理回路Aおよび論理回路Bの出力信号g1～gpに基づいて走査信号G1～Gpを出力する。

10

【 0 3 8 9 】

ゲートドライバ用IC41nには、外部から各シフトレジスタに入力されるスタートパルス信号SPia・SPib、クロック信号CKa・CKb、出力制御信号Oea・Oeb、および選択信号SELa・SELbが入力されている。スタートパルス信号SPia・SPibは、それぞれ第1シフトレジスタ42および第2シフトレジスタ43の入力端に入力され、第1シフトレジスタ42および第2シフトレジスタ43の出力端からは、後続のゲートドライバ用ICに入力されるべきスタートパルス信号SPOa、SPObが出力される。

20

【 0 3 9 0 】

論理回路Aおよび論理回路Bは、それぞれ第1、第2および第3のANDゲート441、442、443と、第1のORゲート444とを備えている。

【 0 3 9 1 】

論理回路Aの奇数段($Q(4k-3)$ ($k=1, 2, \dots$)に対応)では、第1のANDゲート441には出力制御信号Oeaと選択信号SELaの論理反転信号とが入力され、第2のANDゲート442にはクロック信号CKaと選択信号SELaとが入力され、第1のORゲート444には第1のANDゲート441と第2のANDゲート442との出力が入力され、第3のANDゲート443には第1のORゲート444の出力の論理反転信号とシフトレジスタの奇数段出力信号 $Q(4k-3)$ とが入力される。

30

【 0 3 9 2 】

論理回路Aの偶数段($Q(4k-1)$ ($k=1, 2, \dots$)に対応)では、第1のANDゲート441には出力制御信号Oeaと選択信号SELaとが入力され、第2のANDゲート442にはクロック信号CKaと選択信号SELaの論理反転信号とが入力され、第1のORゲート444には第1のANDゲート441と第2のANDゲート442の出力が入力され、第3のANDゲート443には第1のORゲート444の出力の論理反転信号とシフトレジスタの奇数段出力信号 $Q(4k-1)$ とが入力される。

【 0 3 9 3 】

論理回路Bの奇数段($Q(4k-2)$ ($k=1, 2, \dots$)に対応)では、第1のANDゲート441には出力制御信号Oebと選択信号SELbの論理反転信号とが入力され、第2のANDゲート442にはクロック信号CKbと選択信号SELbとが入力され、第1のORゲート444には第1のANDゲート441と第2のANDゲート442との出力が入力され、第3のANDゲート443には第1のORゲート444の出力の論理反転信号とシフトレジスタ46の奇数段出力信号 $Q(4k-2)$ とが入力される。

40

【 0 3 9 4 】

論理回路Bの偶数段($Q(4k)$ ($k=1, 2, \dots$)に対応)では、第1のANDゲート441には出力制御信号Oebと選択信号SELbとが入力され、第2のANDゲート442にはクロック信号CKbと選択信号SELbの論理反転信号とが入力され、第1のORゲート444には第1のANDゲート441と第2のANDゲート442の出力が入力され、第3のANDゲート443には第1のORゲート444の出力の論理反転信号と

50

シフトレジスタの奇数段出力信号 $Q(4k)$ とが入力される。

【0395】

本構成例によるゲートドライバ400は、上記構成の複数(q 個)のゲートドライバ用IC411~41 q が、縦続接続されることによって実現される。すなわち、ゲートドライバ用IC411~41 q 内の第1および第2シフトレジスタ42・43が1つのシフトレジスタを形成するように、各ゲートドライバ用IC41 n 内の第1および第2シフトレジスタ42・43の出力端が次のゲートドライバ用IC内の第1および第2シフトレジスタ42・43の入力端に接続される。

【0396】

ただし、先頭のゲートドライバ用IC411内の第1および第2シフトレジスタ42・43の入力端には、表示制御回路200からゲートスタートパルス信号GSPa、GSPbが入力され、最後尾のゲートドライバ用IC41 q 内の第1および第2シフトレジスタ42・43の出力端は外部と未接続となっている。また、表示制御回路200からのゲートクロック信号GCKa・GCKb、出力制御信号GOEa・GOEb、および選択信号SELa・SELbは、各ゲートドライバ用IC41 n にクロック信号CCKa・CCKb、出力制御信号OEa・OEb、および選択信号SELa・SELbとして共通に入力される。

【0397】

次に、図81および図82に示す波形図を参照しながら、前記構成例によるゲートドライバ400の動作について説明する。図81は、ラッチストロブ信号LS、データ信号、データ信号の極性POL、ゲートスタートパルス信号GSPa・GSPb、ゲートクロック信号GCKa・GCKb、出力制御信号GOEa・GOEb、選択信号SELa・SELb、および、出力信号 Q_n のタイミングチャートを示しており、図82は、図81に対応した、ラッチストロブ信号LS、データ信号、データ信号の極性POL、および走査信号 G_n のタイミングチャートを示している。

【0398】

表示制御回路200は、波形図に示すように、画素データ書込パルスPwに対応する期間 T_{spw} だけHレベルとなる信号をゲートスタートパルス信号GSP(奇数段用GSPaおよび偶数段用GSPb)として生成するとともに、データ信号の極性反転直後を除き基本的に1水平走査期間(1H)毎に所定期間だけHレベルとなるゲートクロック信号GCK(奇数段用GCKaおよび偶数段用GCKb)を生成する。

【0399】

このようなゲートスタートパルス信号GSPおよびゲートクロック信号GCK(GCKa・GCKb)がゲートドライバ400に入力されると、先頭のゲートドライバ用IC411における第1および第2シフトレジスタ42・43の初段の出力信号 Q_1 ・ Q_2 が出力される。この出力信号 Q_1 ・ Q_2 は、各フレーム期間において、画素データ書込パルスPwに対応するパルスPqwを含む。

【0400】

このようなパルスPqwがゲートクロック信号GCKに従ってゲートドライバ400の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、信号波形がGCKの立ち上がりに合わせてHレベルとなりそのGCKの2つ後のGCKの立ち上がりに合わせてLレベルとなる出力信号 Q_n が順次ずれて出力される。

【0401】

また、GCKは奇数段出力を制御するGCKaと偶数段出力を制御するGCKbとからなるが、これらのクロック信号は、データ信号の極性POLが反転するのと連動してHレベルを維持し、次にデータ信号の極性が再度反転後ダミー挿入期間(1H)が経過するとクロック信号がLレベルとなり、1H毎に所定期間だけHレベルとなる基本動作を再開する。このクロック(GCKa・GCKb)の動作に伴い、出力信号 Q_k の波形Pqwの長さが変動する。

【0402】

10

20

30

40

50

また、表示制御回路 200 は、前述したように、ゲートドライバ 400 を構成するゲートドライバ用 IC 411 ~ 41q に与えるべきゲートドライバ出力制御信号 G O E (G O E a ・ G O E b) および選択信号 S E L a ・ S E L b を生成する。選択信号 S E L によって G C K および G O E のいずれかが選択され、この選択された方によってパルス P q w のパルス幅が調整され、画素データ書込パルス P w が設定される。図において、P q w および P w のパルス幅中に記載されている「O E a (b)」「C K a (b)」は、それぞれ G O E a (b) によって制御されている部分、G C K a (b) によって制御されている部分を示している。

【0403】

各ゲートドライバ用 IC チップ 41n (n = 1 ~ q) では、上記のようなシフトレジスタ各段の出力信号 Q k (k = 1 ~ p)、ゲートクロック信号 G C K、ゲートドライバ出力制御信号 G O E、および選択信号 S E L に基づき、第 1 および第 2 の A N D ゲート 441 ・ 442、第 1 の O R ゲート 444、および第 3 の A N D ゲート 443 により、内部走査信号 g 1 ~ g p が生成され、それらの内部走査信号 g 1 ~ g p が出力部 45 でレベル変換されて、ゲートライン G L 1 ~ G L m に印加すべき走査信号 G 1 ~ G p が出力される。

【0404】

これにより、ゲートライン G L 1 ~ G L m には、順次同じパルス幅の画素データ書込パルス P w が印加される。よって、データ信号の極性が反転するゲートラインの行と、それ以外のゲートラインの行とで、充電期間の長さを等しくすることができるので、上記したような表示ムラを防止することができる。

【0405】

なお、図 8 3 および図 8 4 に示すように、データ信号の極性 P O L が反転するのと連動して、G O E a が所定の周期 (1 H) で所定のパルス幅で L レベルとなる期間と、G O E b が所定の周期 (1 H) で所定のパルス幅で L レベルとなる期間とが切り替えられるようになっていてもよい。この場合、G O E a および G O E b における L レベルとなる期間の長さを調整することによって、画素データ書込パルス P w のパルス幅を調整することができる。

【0406】

図 8 5 は、上記のようなダブルパルス駆動で、1つのブロックに含まれる走査線数 α を 20 としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の 1 水平期間 (1 H) を第 1 のダミー挿入期間とし、データ信号の極性反転が行われた時点の 5 水平期間 (5 H) 前の 1 水平期間 (1 H) を第 2 のダミー挿入期間とするとともに、第 1 および第 2 のダミー挿入期間を挿入した期間における C S 信号にもそれぞれ 1 H 分の C S 信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストロブ信号 L S、ゲートオンパルス P w、および C S 信号のタイミングチャートを示している。また、図 8 6 は、第 1 のダミー挿入期間および第 2 のダミー挿入期間のそれぞれを 2 H とした場合の駆動例を示している。なお、ゲートオンパルス P w のパルス幅がダブルパルスである点以外は、前記した図 2 6 および図 3 0 と同様の駆動であるので、ここではその説明を省略する。

【0407】

[テレビジョン受像機の構成]

次に、本発明に係る液晶表示装置をテレビジョン受像機に使用した例について説明する。図 4 9 は、このテレビジョン受像機用の表示装置 800 の構成を示すブロック図である。この表示装置 800 は、Y / C 分離回路 80 と、ビデオクロマ回路 81 と、A / D コンバータ 82 と、液晶コントローラ 83 と、液晶パネル 84 と、バックライト駆動回路 85 と、バックライト 86 と、マイコン (マイクロコンピュータ) 87 と、階調回路 88 とを備えている。なお、上記液晶パネル 84 は、本発明に係る液晶表示装置に対応するものであり、アクティブマトリクス型の画素アレイからなる表示部と、その表示部を駆動するためのソースドライバおよびゲートドライバを含んでいる。

【0408】

上記構成の表示装置 800 では、まず、テレビジョン信号としての複合カラー映像信号 S c v が外部から Y / C 分離回路 80 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 81 にて光の 3 原色に対応するアナログ R G B 信号に変換され、さらに、このアナログ R G B 信号は A / D コンバータ 82 により、デジタル R G B 信号に変換される。このデジタル R G B 信号は液晶コントローラ 83 に入力される。また、Y / C 分離回路 80 では、外部から入力された複合カラー映像信号 S c v から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 87 を介して液晶コントローラ 83 に入力される。

【0409】

液晶コントローラ 83 は、A / D コンバータ 82 からのデジタル R G B 信号（前記したデジタルビデオ信号 D v に相当）に基づきドライバ用データ信号を出力する。また、液晶コントローラ 83 は、液晶パネル 84 内のソースドライバおよびゲートドライバを上記実施形態と同様に動作させるためのタイミング制御信号を、上記同期信号に基づいて生成し、それらのタイミング制御信号をソースドライバおよびゲートドライバに与える。また、階調回路 88 では、カラー表示の 3 原色 R , G , B それぞれの階調電圧が生成され、それらの階調電圧も液晶パネル 84 に供給される。

【0410】

液晶パネル 84 では、これらのドライバ用データ信号、タイミング制御信号および階調電圧に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号、走査信号等）が生成され、それらの駆動用信号に基づき内部の表示部にカラー画像が表示される。なお、この液晶パネル 84 によって画像を表示するには、液晶パネル 84 の後方から光を照射する必要がある。この表示装置 800 では、マイコン 87 の制御の下にバックライト駆動回路 85 がバックライト 86 を駆動することにより、液晶パネル 84 の裏面に光が照射される。

【0411】

上記の処理を含め、システム全体の制御はマイコン 87 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号等も使用可能であり、この表示装置 800 では、様々な映像信号に基づいた画像表示が可能である。

【0412】

上記構成の表示装置 800 でテレビジョン放送に基づく画像を表示する場合には、図 50 に示すように、当該表示装置 800 にチューナ部 90 が接続される。このチューナ部 90 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S c v を取り出す。この複合カラー映像信号 S c v は、既述のように表示装置 800 に入力され、この複合カラー映像信号 S c v に基づく画像が当該表示装置 800 によって表示される。

【0413】

図 51 は、上記構成の表示装置をテレビジョン受像機とするときの機械的構成の一例を示す分解斜視図である。図 51 に示した例では、テレビジョン受像機は、その構成要素として、上記表示装置 800 の他に第 1 筐体 801 および第 2 筐体 806 を有しており、表示装置 800 を第 1 筐体 801 と第 2 筐体 806 とで包み込むようにして挟持した構成となっている。第 1 筐体 801 には、表示装置 800 で表示される画像を透過させる開口部 801 a が形成されている。また、第 2 筐体 806 は、表示装置 800 の背面側を覆うものであり、当該表示装置 800 を操作するための操作回路 805 が設けられると共に、下方に支持用部材 808 が取り付けられている。

【0414】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて

10

20

30

40

50

得られる実施形態についても本発明の技術的範囲に含まれる。

【 0 4 1 5 】

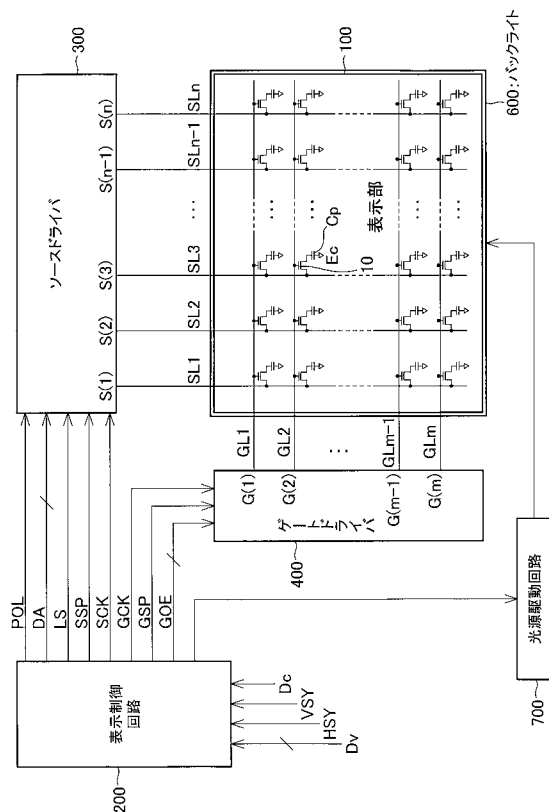
また、本願では説明の便宜上、列方向にデータ信号線、行方向に走査信号線と関連付けているが、画面を90°回転した構成なども含まれることは言うまでもない。

【産業上の利用可能性】

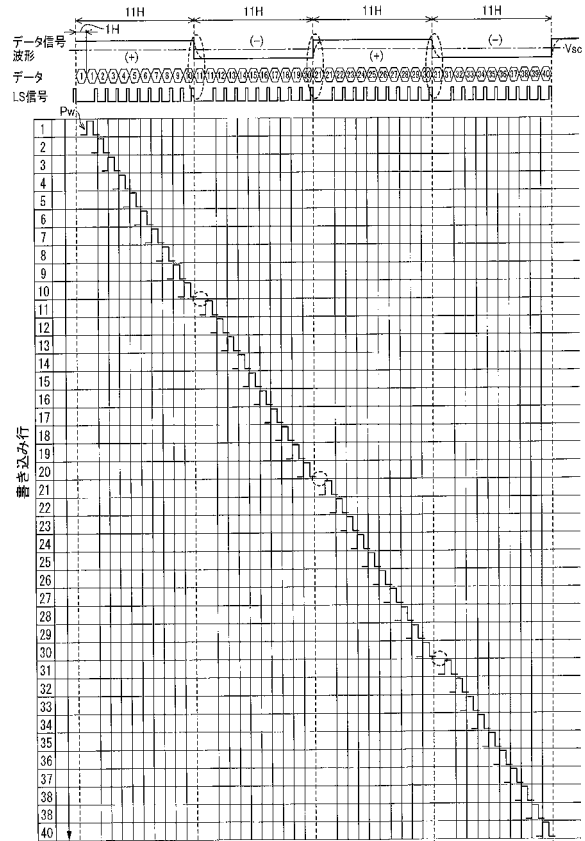
【 0 4 1 6 】

本発明に係る液晶表示装置は、例えばパーソナルコンピュータのモニターやテレビジョン受像機など、各種の表示装置に適用できる。

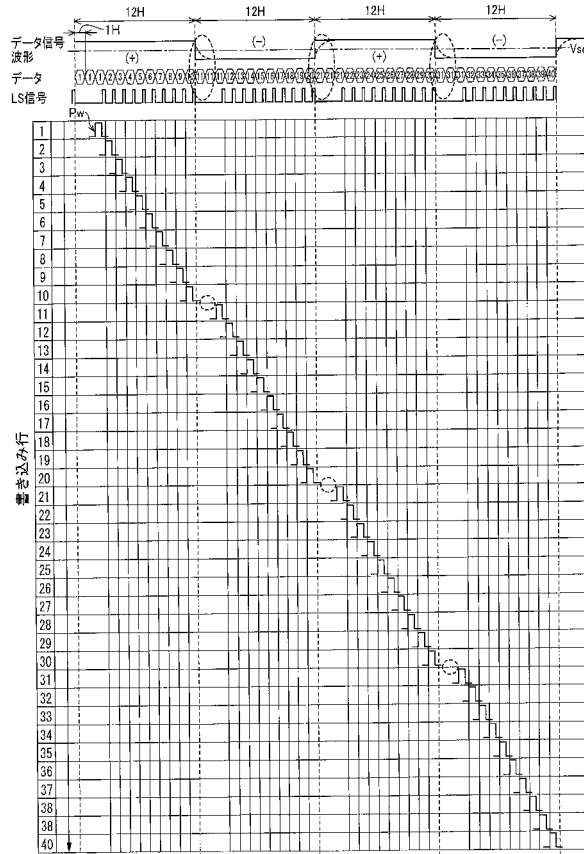
【 図 1 】



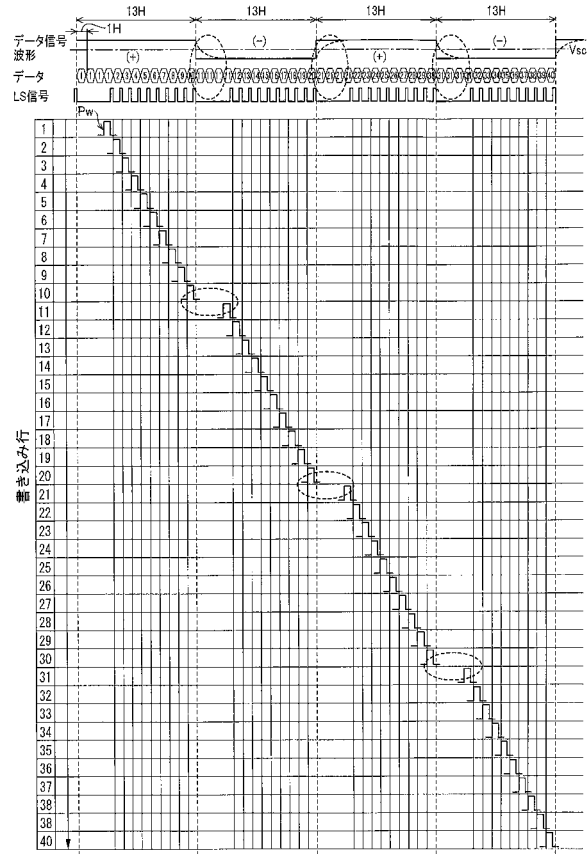
【 図 2 】



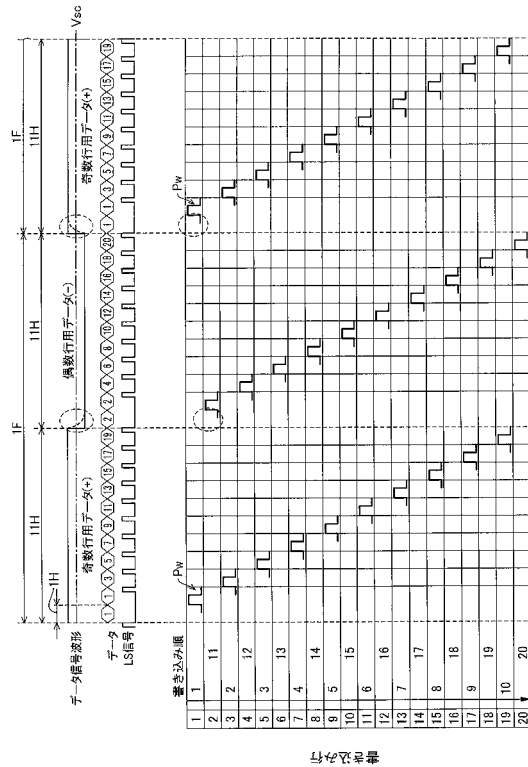
【図 3】



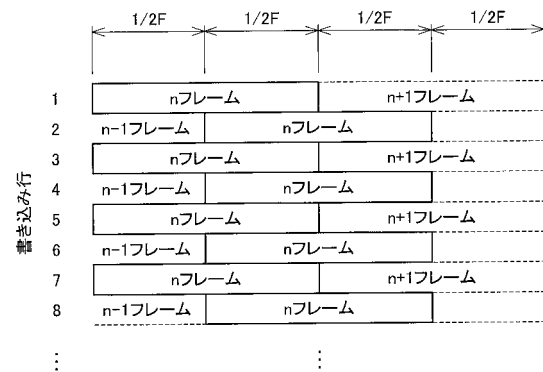
【図 4】



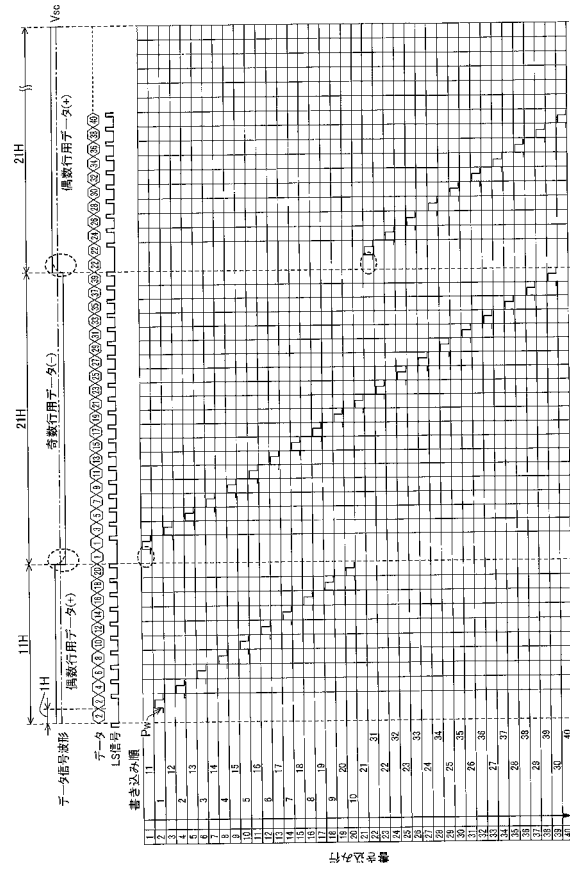
【図 5】



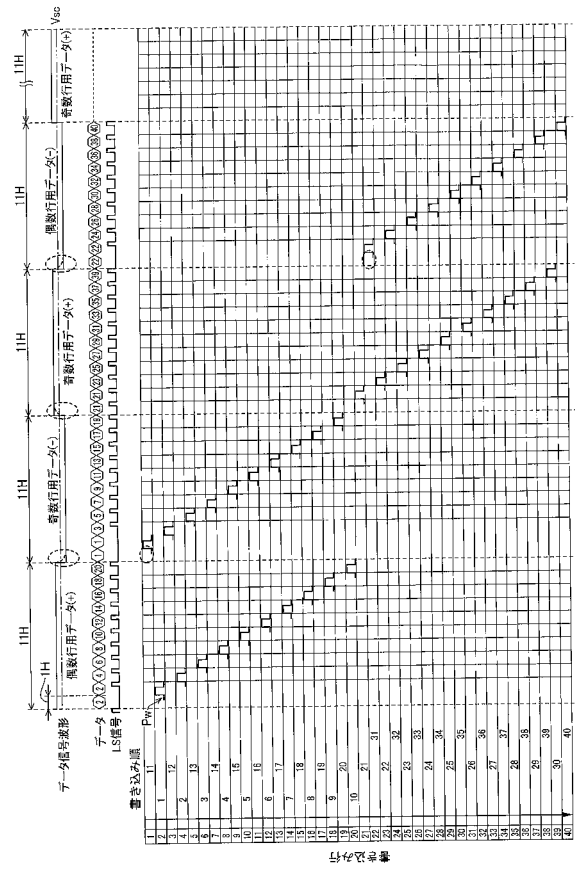
【図 6】



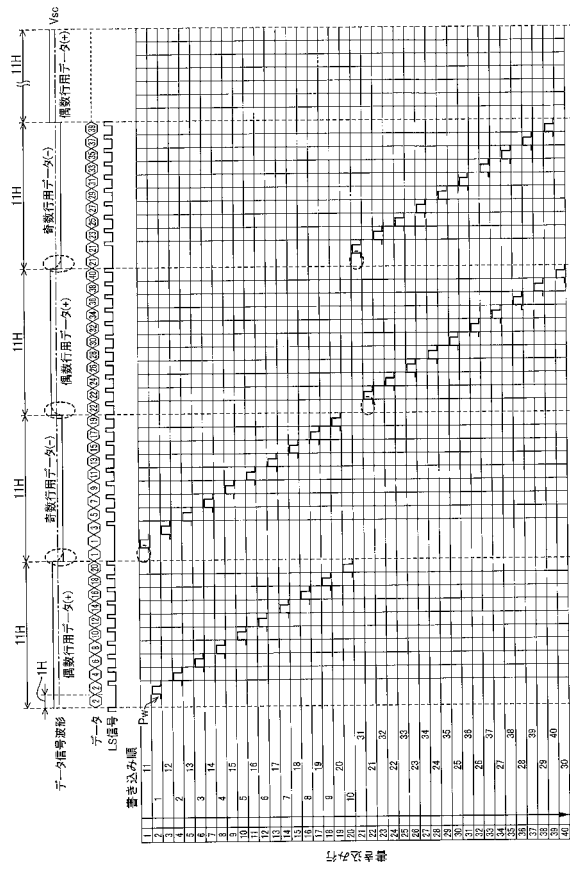
【図 1 1】



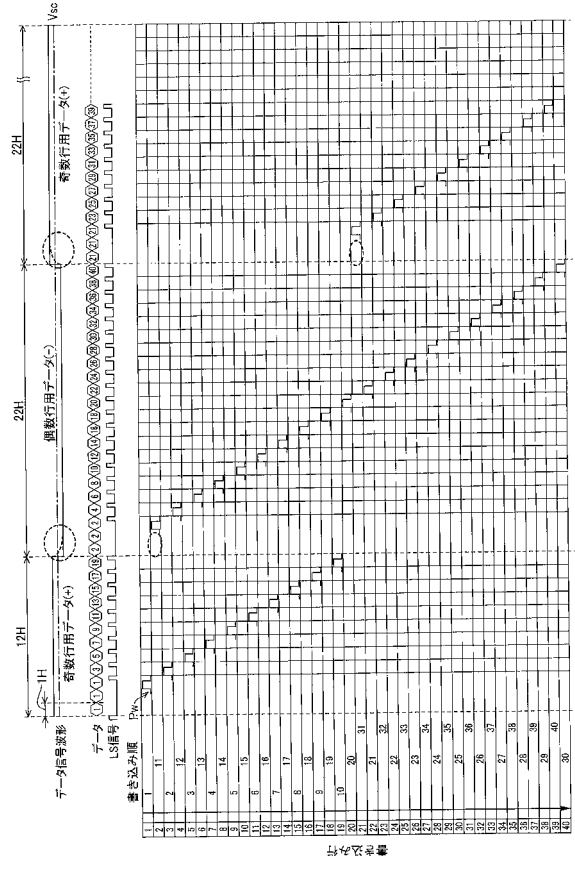
【図 1 2】



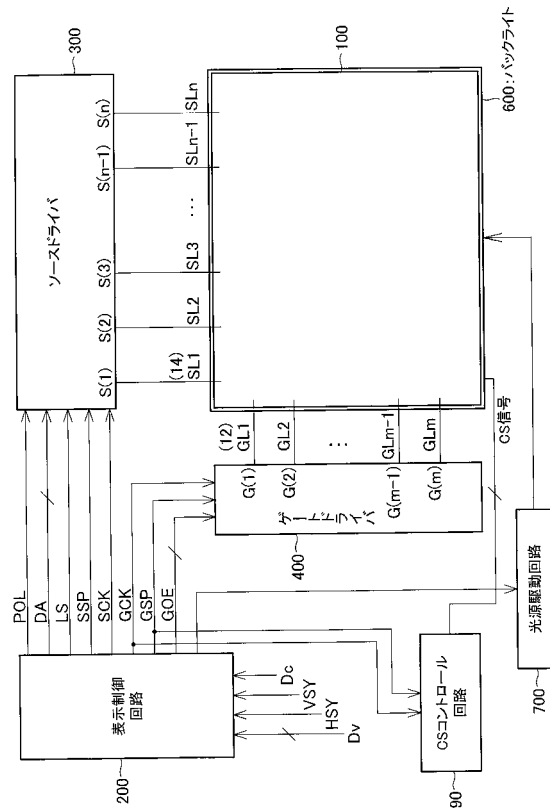
【図 1 3】



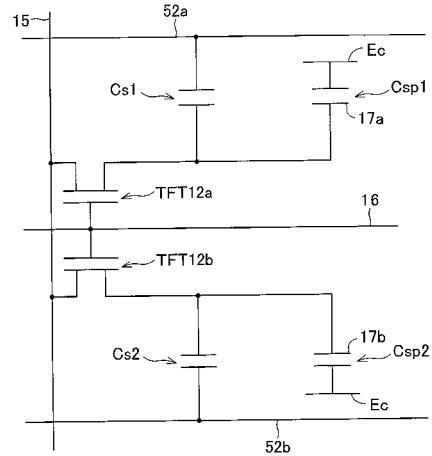
【図 1 4】



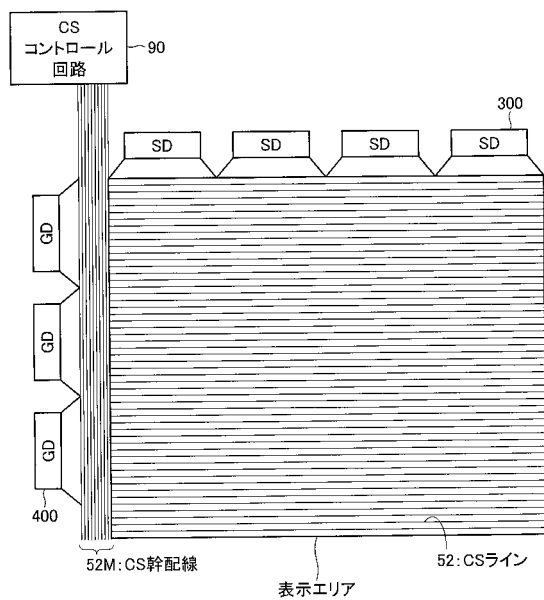
【図15】



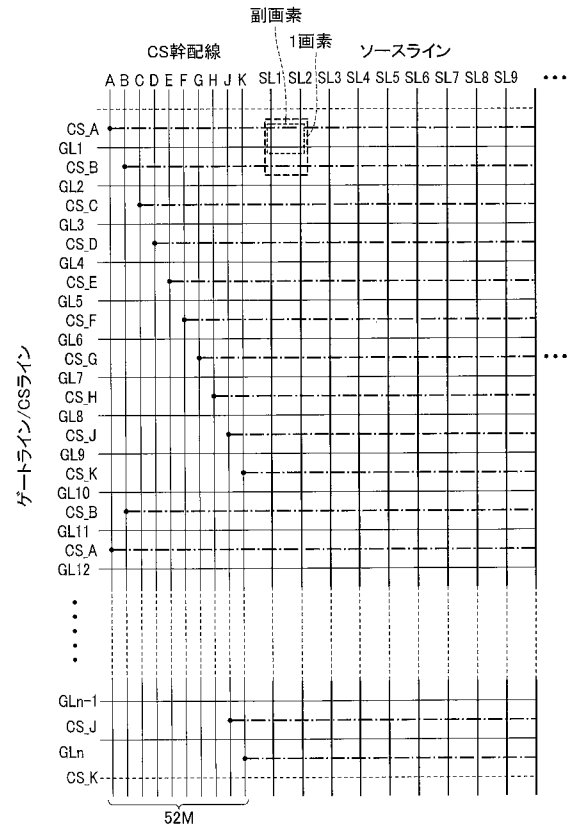
【図16】



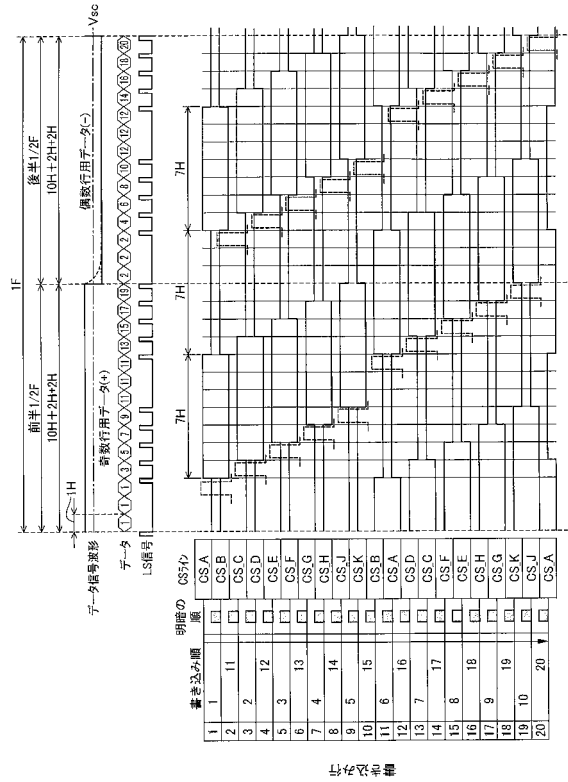
【図17】



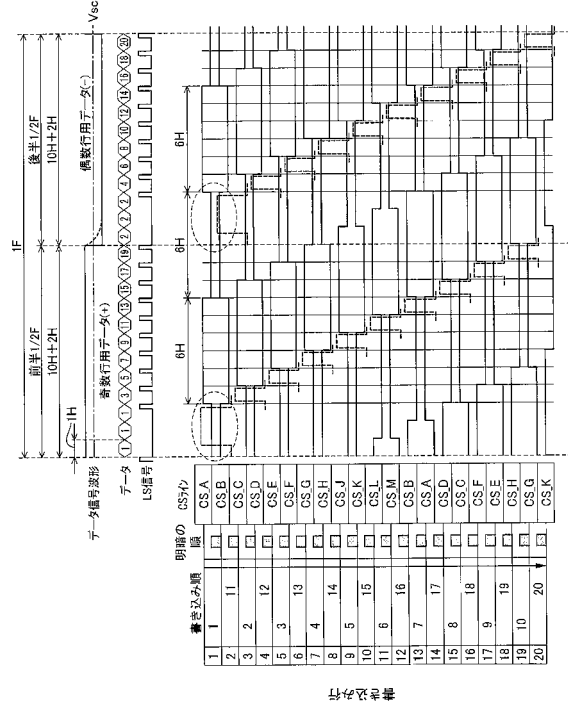
【図18】



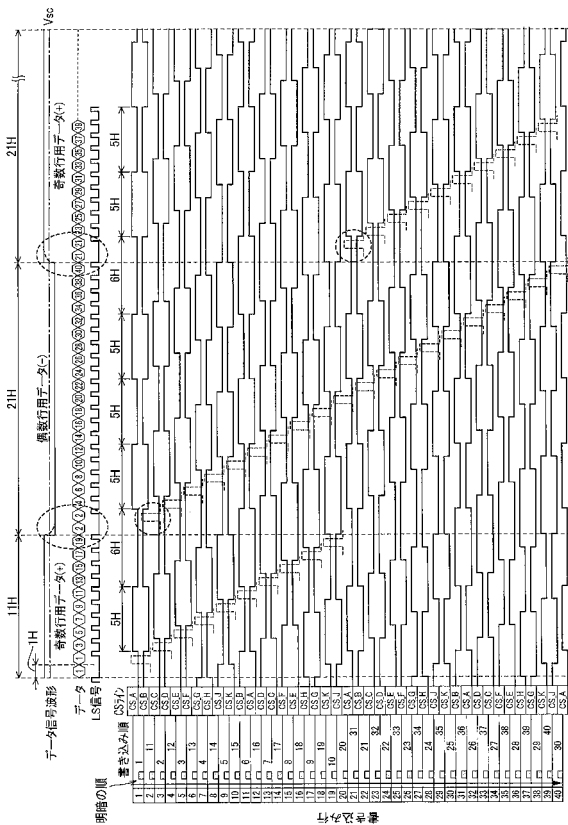
【 図 2 3 】



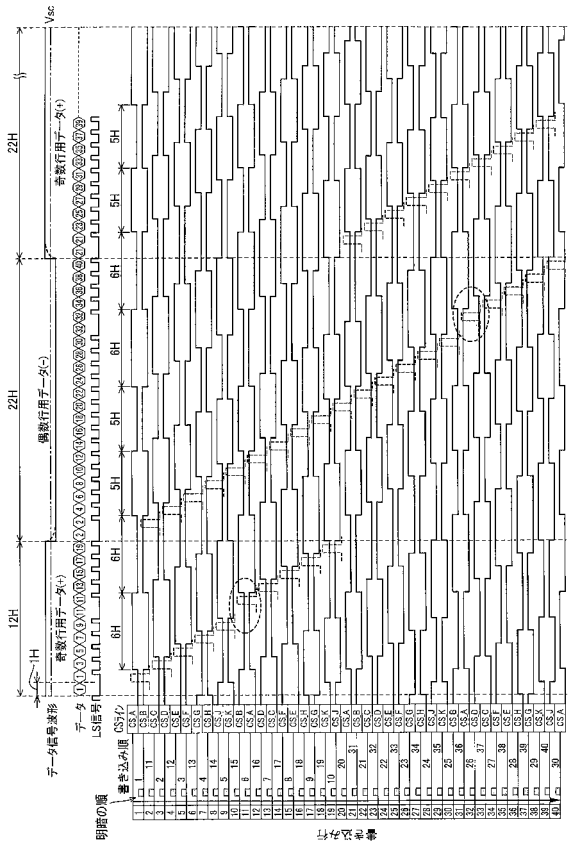
【 図 2 4 】



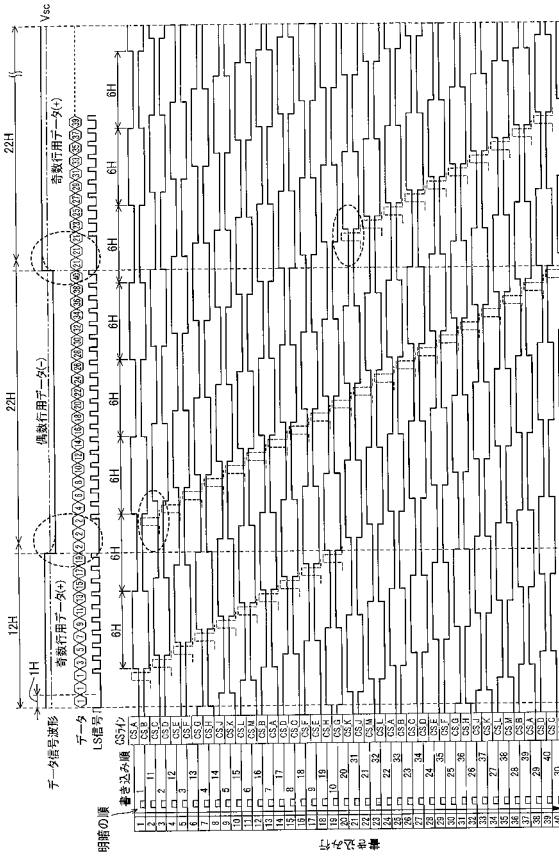
【 図 2 5 】



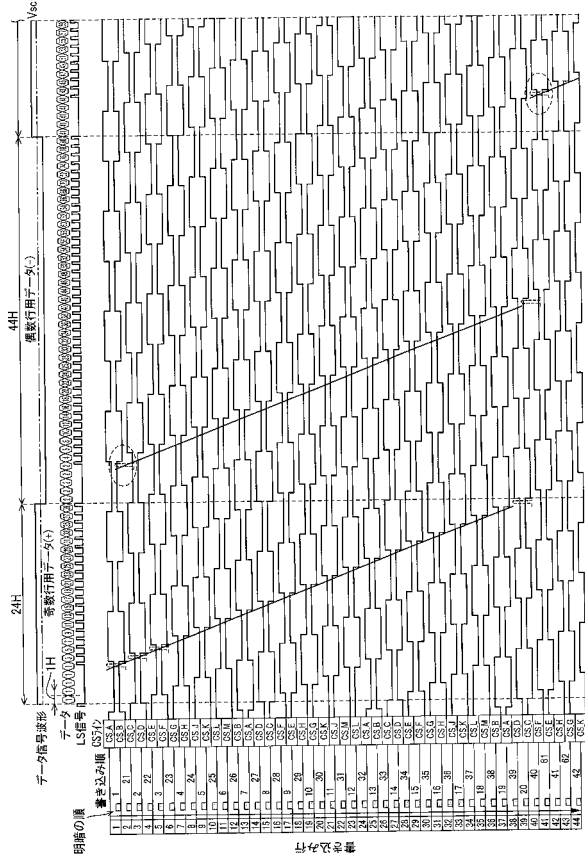
【 図 2 6 】



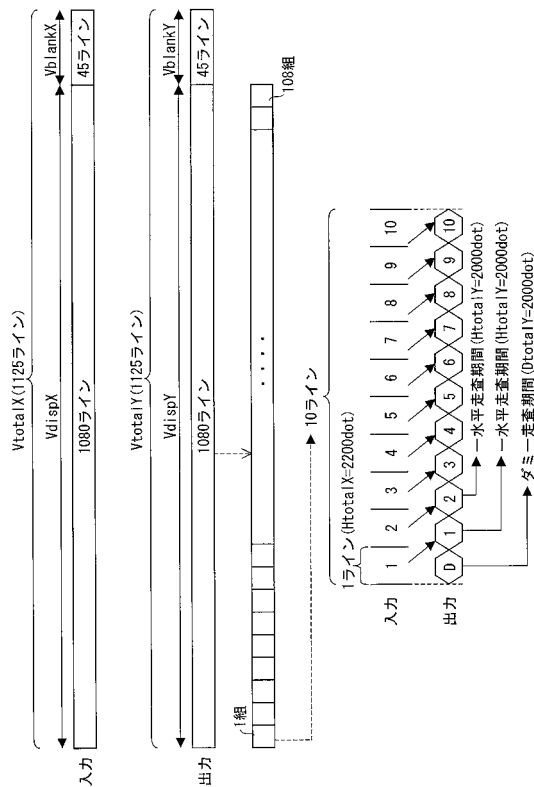
【図 3 1】



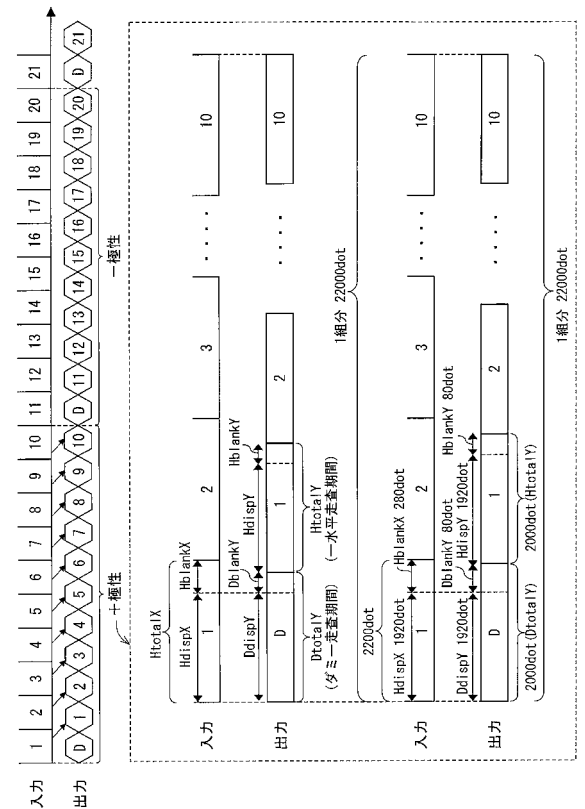
【図 3 2】



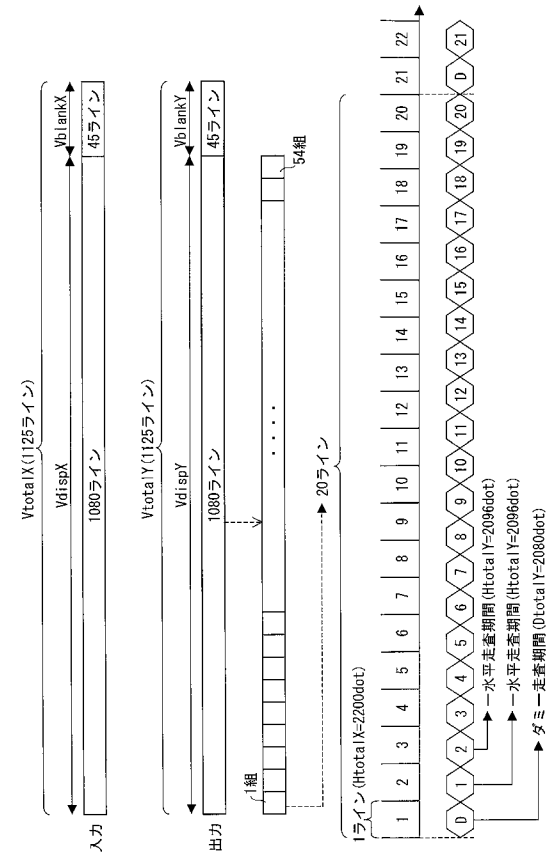
【図 3 3】



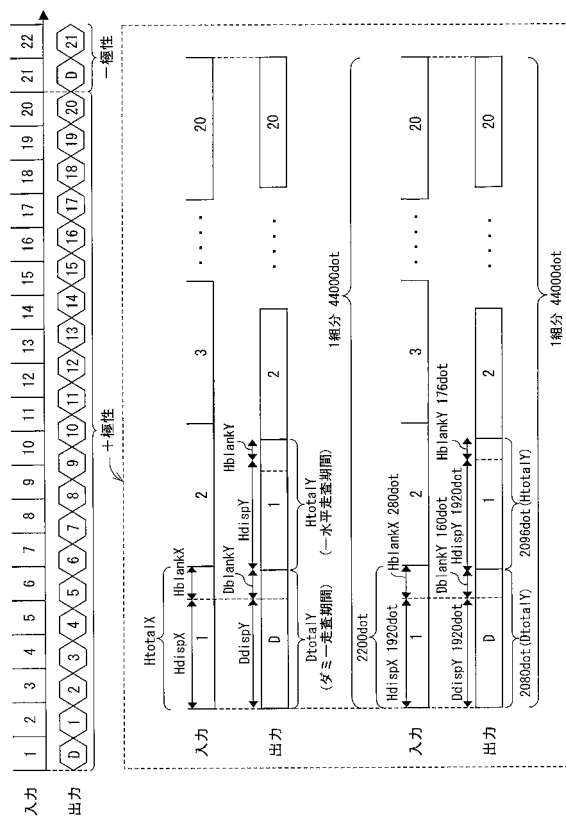
【図 3 4】



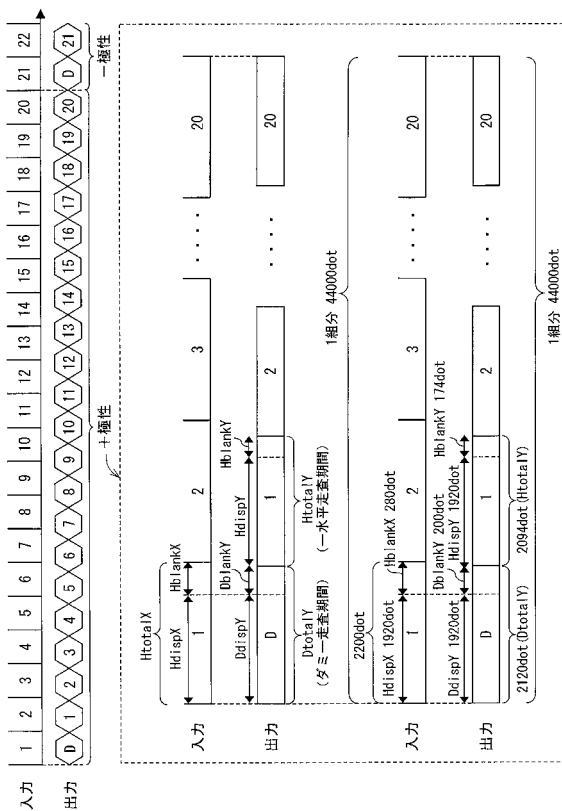
【 図 3 5 】



【 図 3 6 】



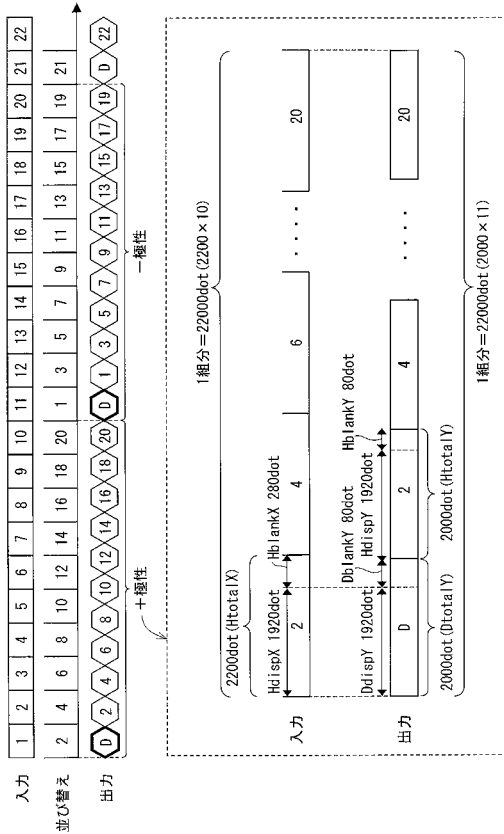
【 図 3 7 】



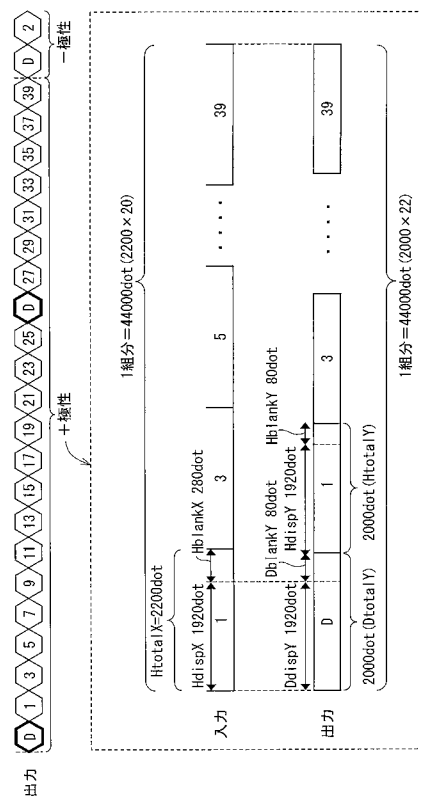
【 図 3 8 】

入力例：HtotalX=2200, Hd1spX=1920, HblankX=280									
1組の映像データ数 (ライン数)	1組の総入力クロック (2200×20)	1組のダミー走査 期間数		水平走査期間		ダミー走査期間		Do1ankY	3660
		Hdi1spY	Hbl1ankY	Hdi1spY	Hbl1ankY	Ddi1spY	Dbl1ankY		
20	44000	1		1920	1	1920		1920	3660
20	44000	1		1920	2	1920		1920	3640
20	44000	1		1920	3	1920		1920	3620
20	44000	1		1920	100	1920		1920	1680
20	44000	1		1920	101	1920		1920	1660
20	44000	1		1920	102	1920		1920	1640
20	44000	1		1920	150	1920		1920	680
20	44000	1		1920	151	1920		1920	660
20	44000	1		1920	152	1920		1920	640
20	44000	1		1920	174	1920		1920	200
20	44000	1		1920	175	1920		1920	180
20	44000	1		1920	176	1920		1920	160
20	44000	1		1920	180	1920		1920	80
20	44000	1		1920	181	1920		1920	60
20	44000	1		1920	182	1920		1920	40
20	44000	1		1920	183	1920		1920	20
20	44000	1		1920	184	1920		1920	0

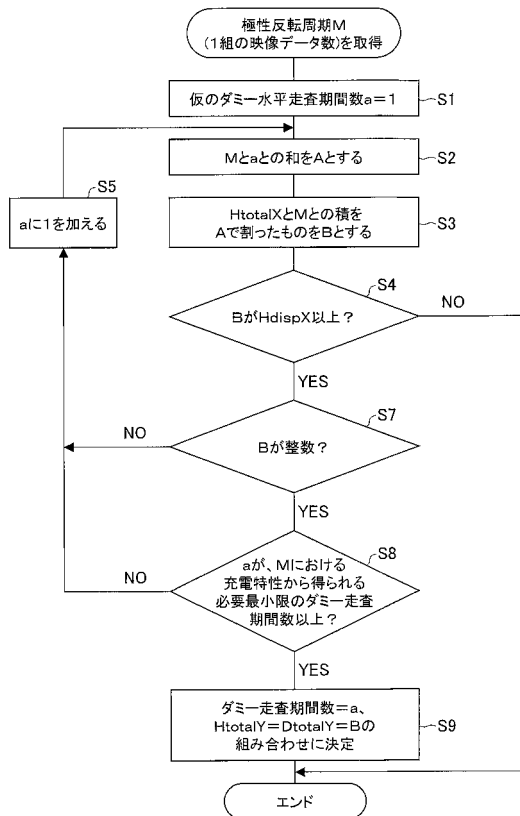
【図 39】



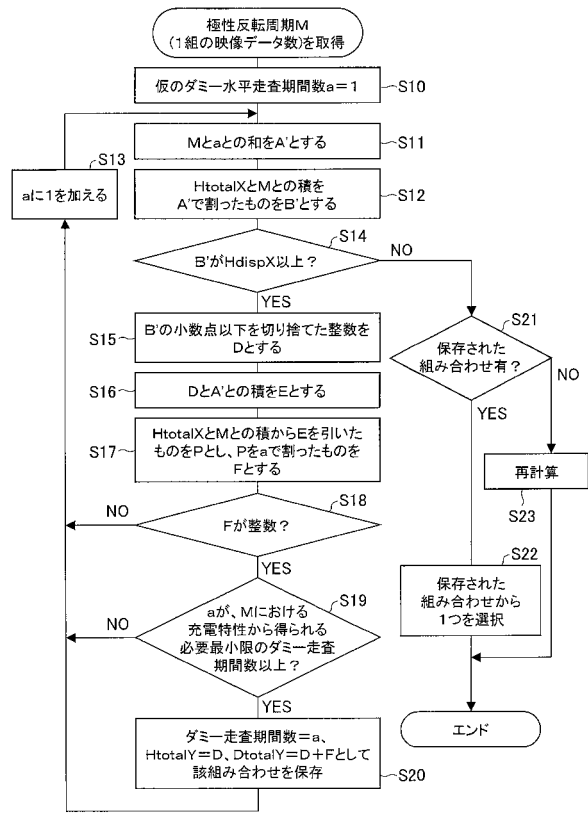
【図 40】



【図 41】



【図 42】



【図 4 3】

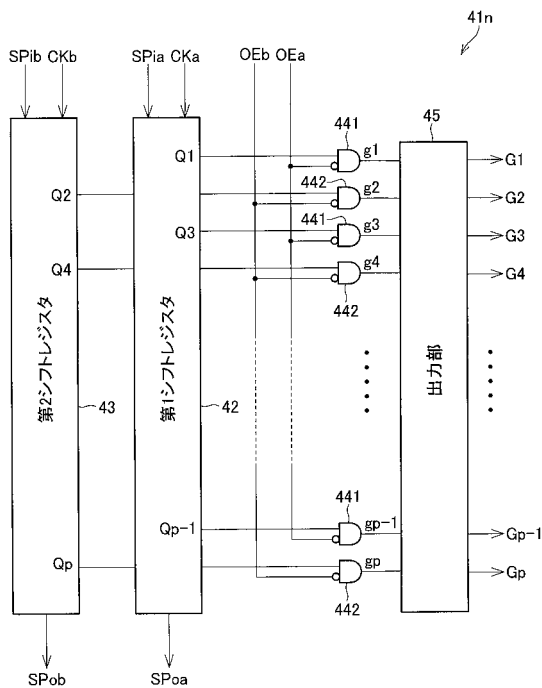
Htotal X (入力側)=2200, HdispY (出力側)=1920					
M	a = ダミー走査期間数	B'	D=HtotalY	E	F
30	1	2129.03	2129	65999	1
30	2	2062.5	2062	65984	8
30	3	2000	2000	66000	0
30	5	1885.7			不可

Htotal X (入力側)=2200, HdispY (出力側)=1920					
M	a = ダミー走査期間数	B'	D=HtotalY	E	F
40	1	2146.3	2146	87986	14
40	2	2095.2	2095	87990	5
40	4	2000	2000	88000	0
40	5	1955.5	1955	87975	5
40	6	1913.04			不可

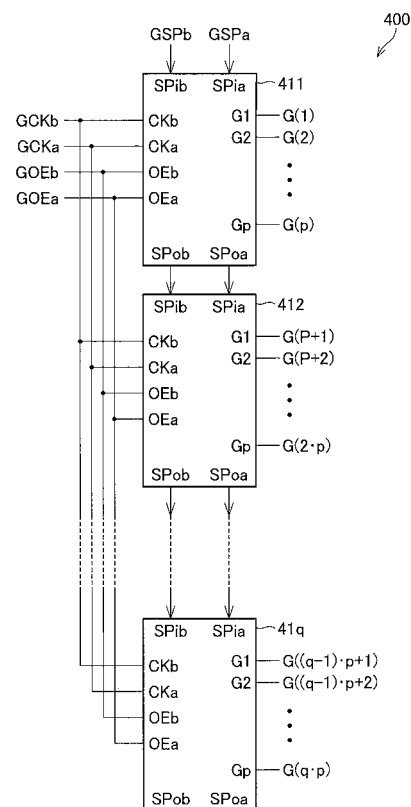
【図 4 4】

入力側:HtotalX=2200, HdispX=1920, HblankX=280					
1組の映像データ数M (ライン数)	1組の総入力クロック (2200×40)	1組のダミー走査 期間数		水平走査期間	
		HdispY	HblankY	DdispY	DblankY
40	88000	3	1920	100	1920
40	88000	3	1920	106	1920
40	88000	3	1920	112	1920
40	88000	3	1920	118	1920
40	88000	3	1920	124	1920
40	88000	3	1920	130	1920
40	88000	3	1920	136	1920

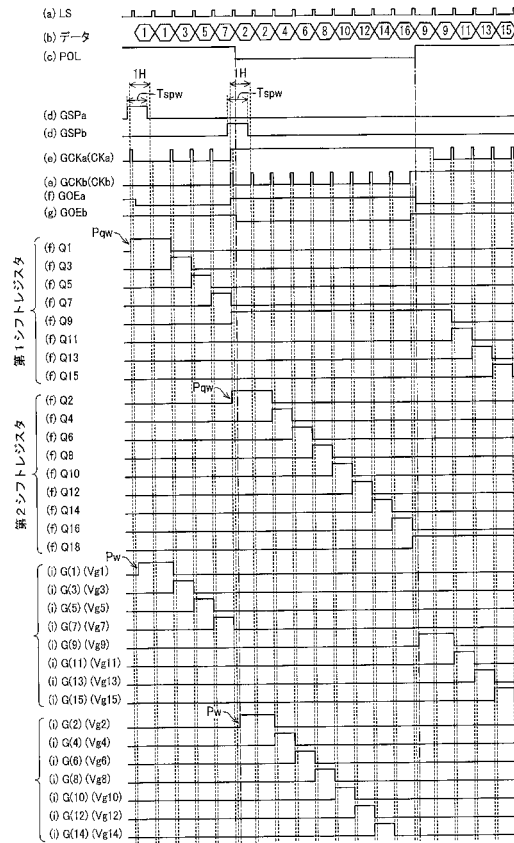
【図 4 5】



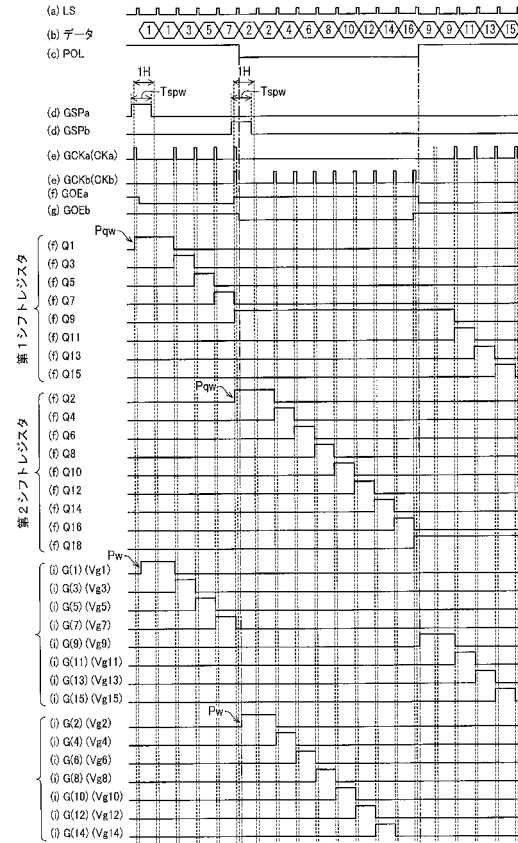
【図 4 6】



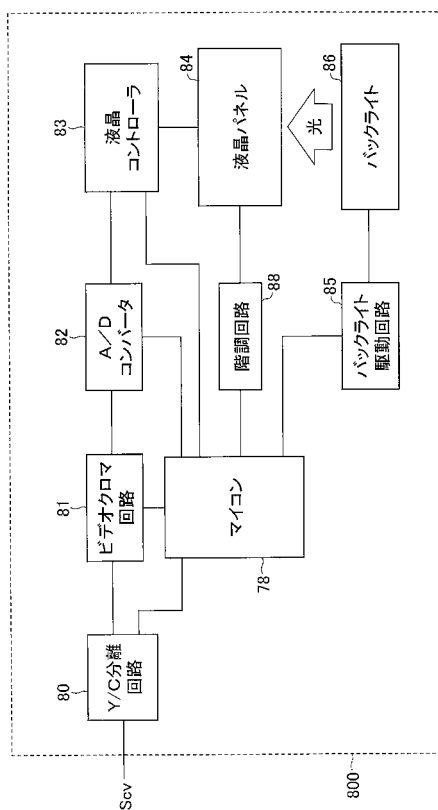
【図 47】



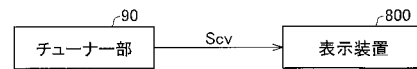
【図 48】



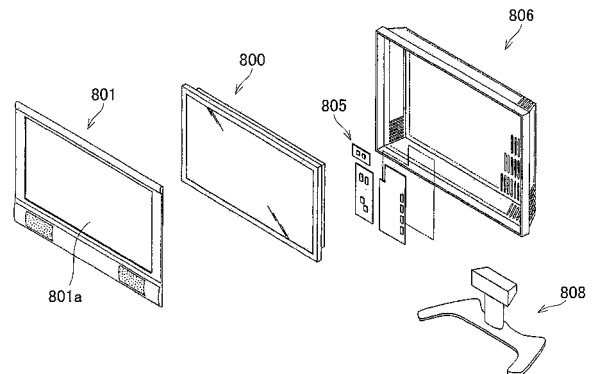
【図 49】



【図 50】



【図 51】

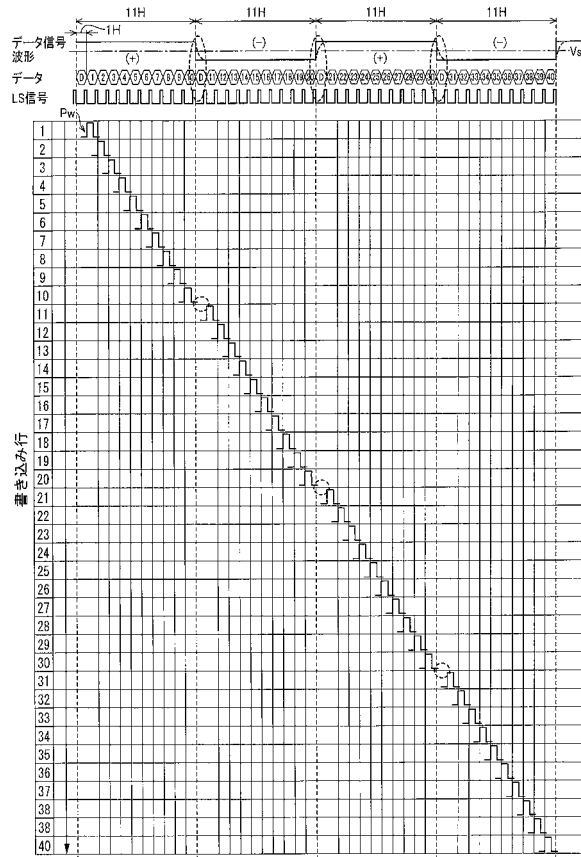


【図 52】

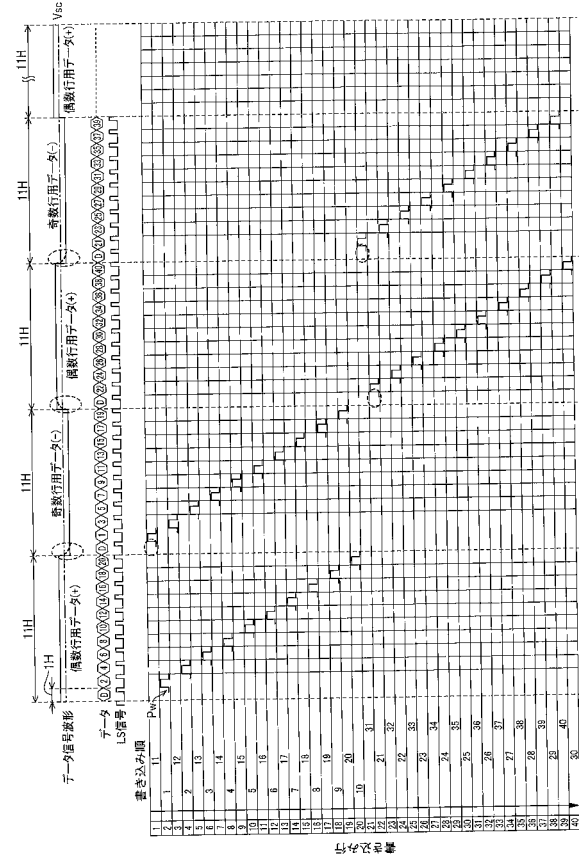
ダミー挿入期間H	540	270	135	100	80	60	55	50	40
時間: Ta(μs)	8000	4000	2000	1481	1185	889	815	741	593
判定	×	×	×	×	△	△	○	○	○

(×非常に悪いレベル、△少し気になるレベル、○気にならないレベル)

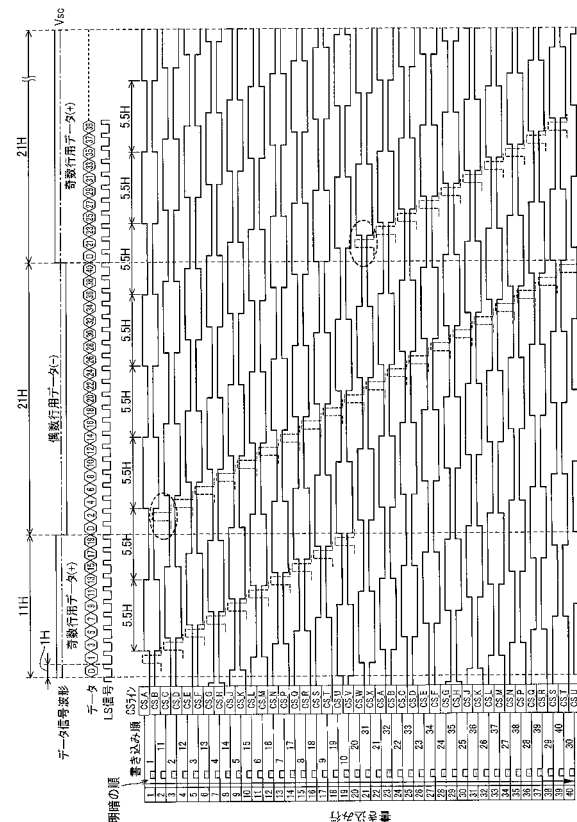
【図 53】



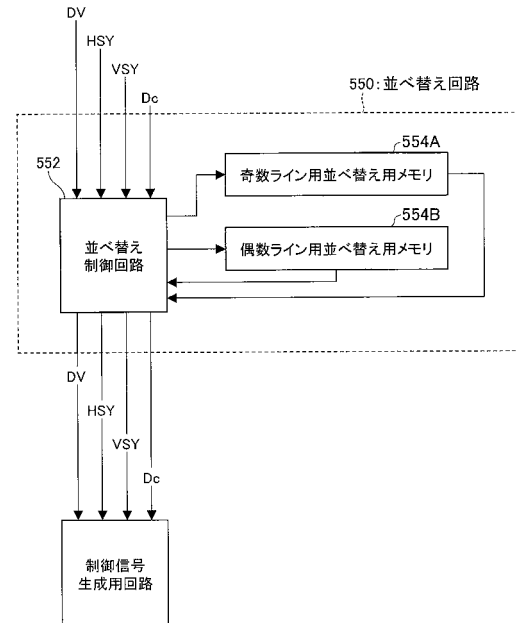
【図 54】



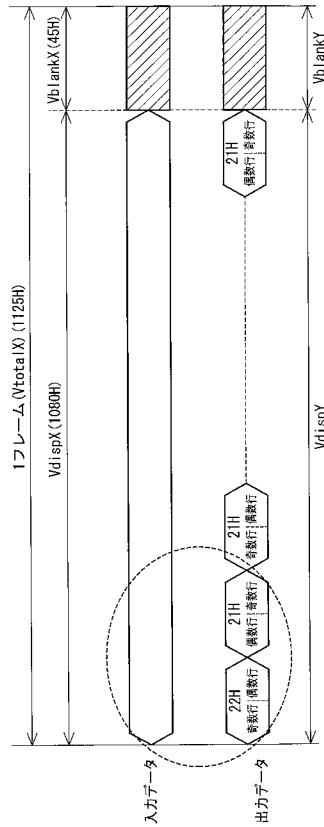
【図 55】



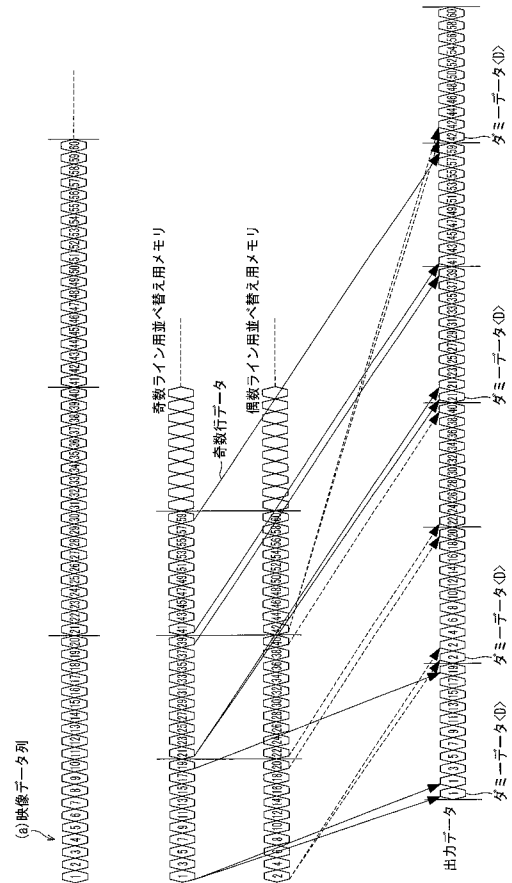
【図 56】



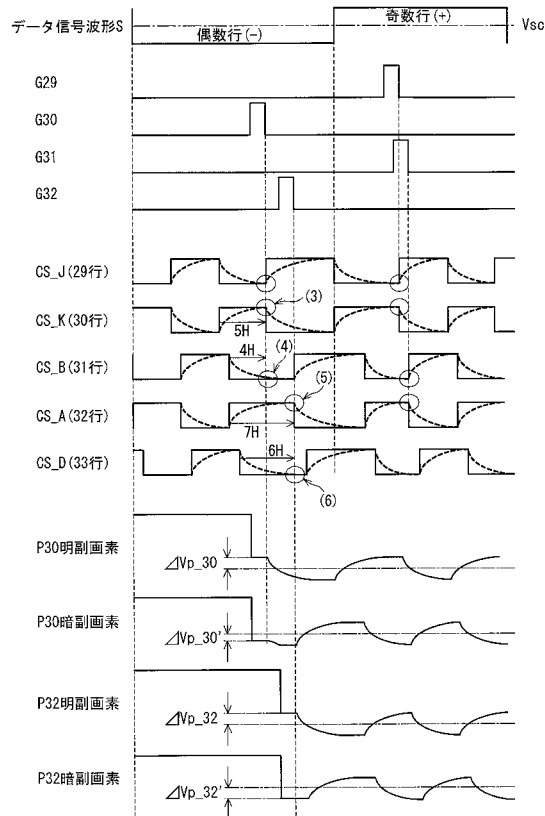
【図 57】



【図 58】



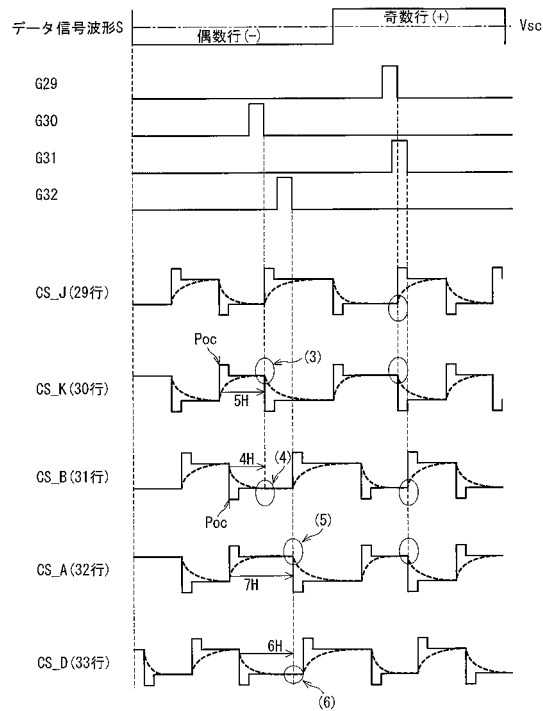
【図 59】



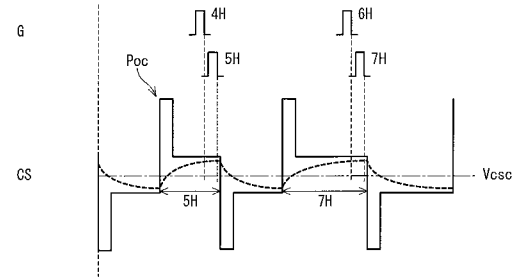
【図 60】

1	
2	
3	
4	
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	
15	
16	
17	
18	
19	
20	
21	
22	
23	
24	
25	
26	
27	
28	
29	
30	
31	
32	
33	
34	
35	
36	
37	
38	
39	
40	

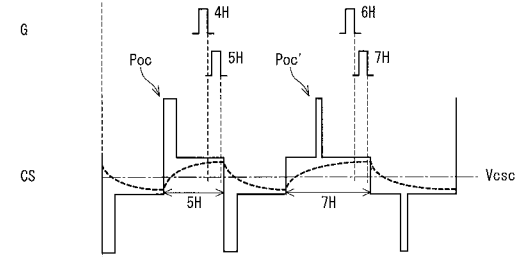
【図 6 1】



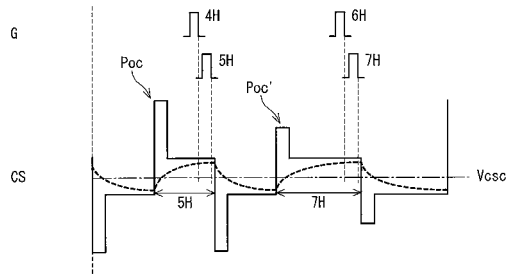
【図 6 2】



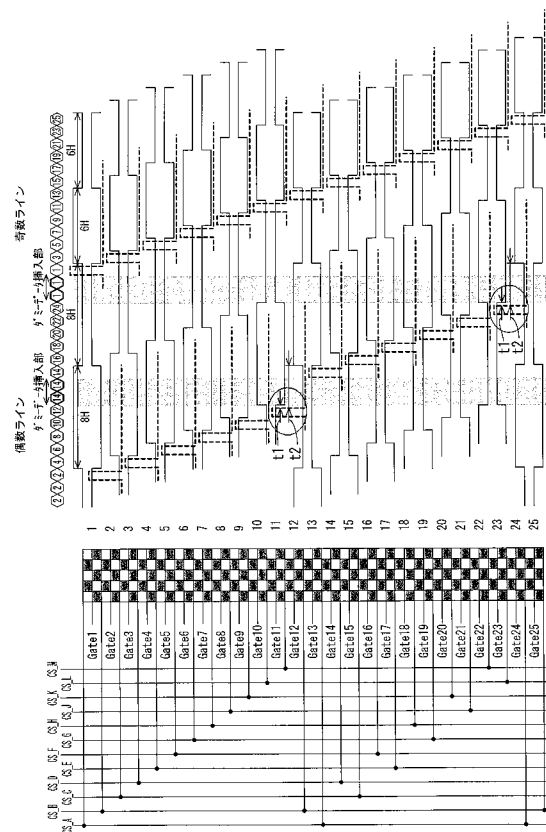
【図 6 3】



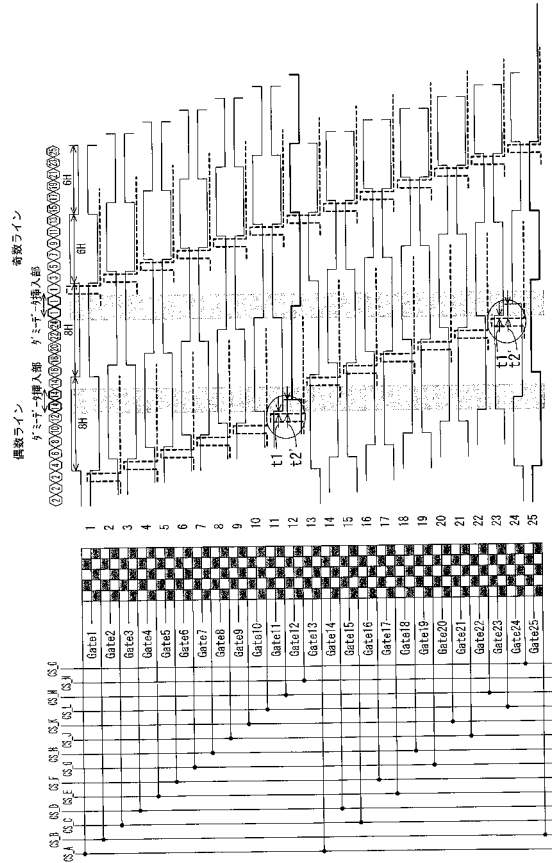
【図 6 4】



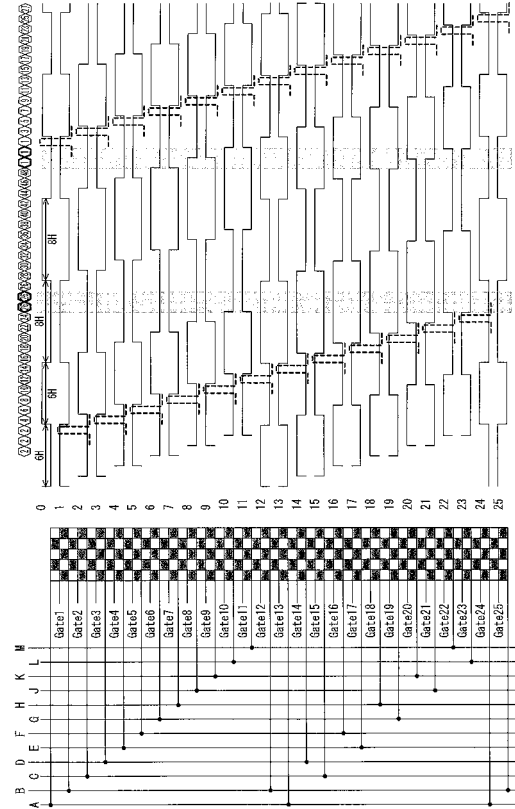
【図 6 5】



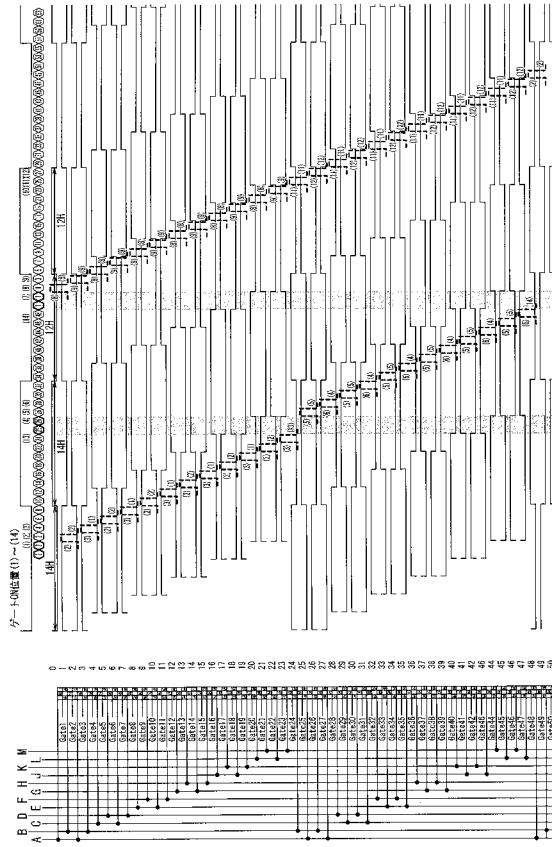
【図 6 6】



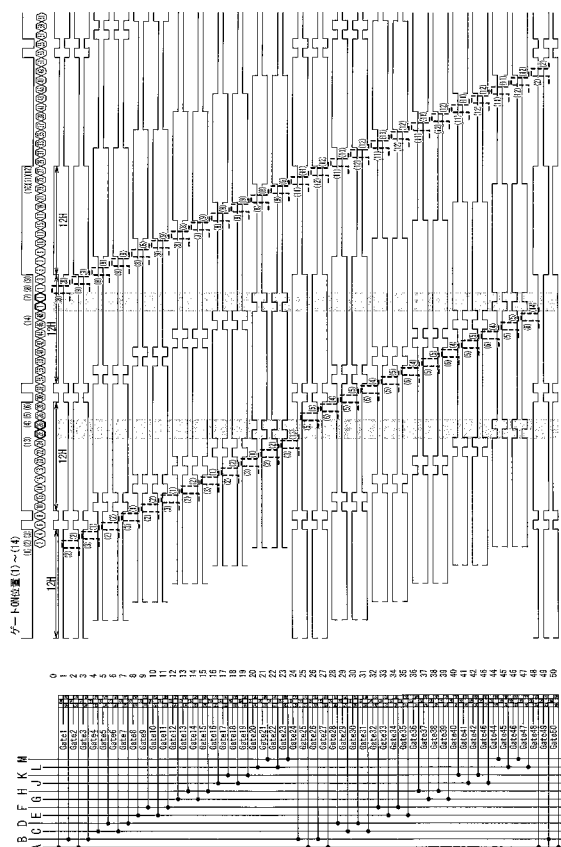
【図 6 7】



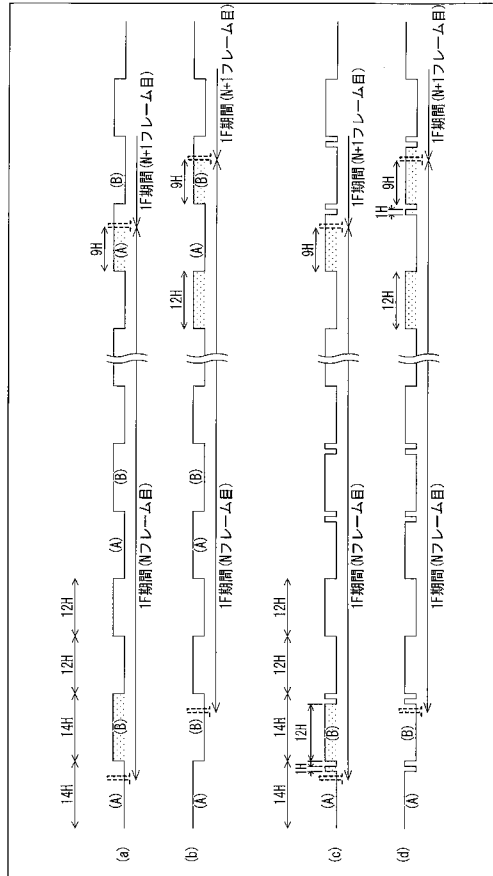
【図 6 8】



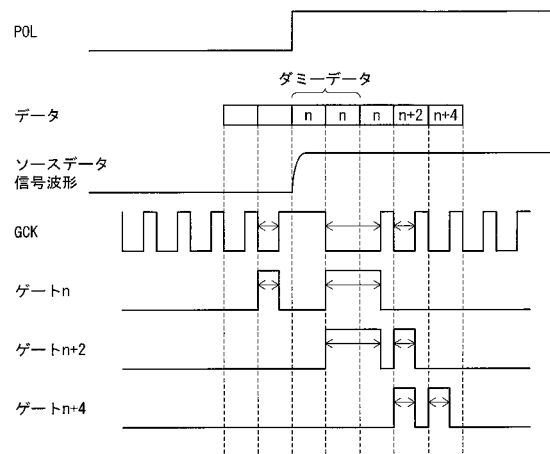
【図 6 9】



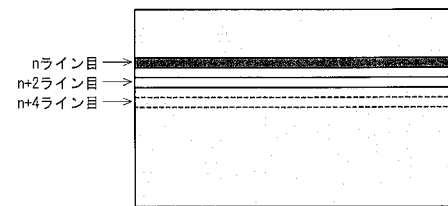
【図 70】



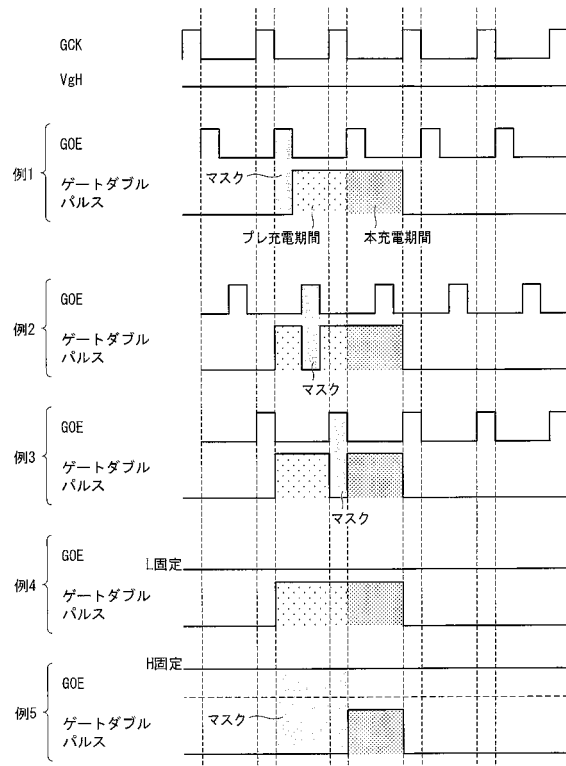
【図 71】



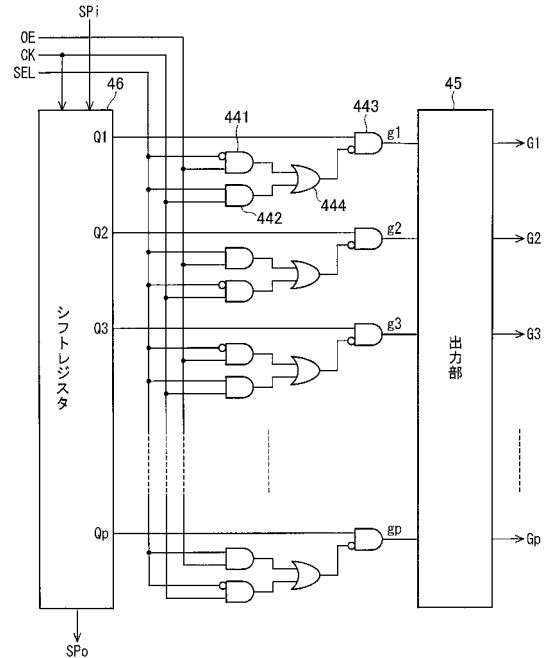
【図 72】



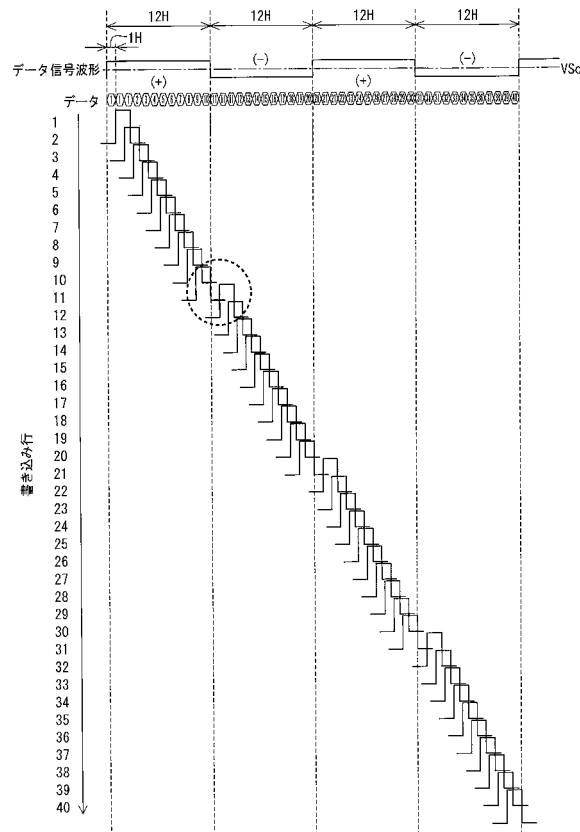
【図 73】



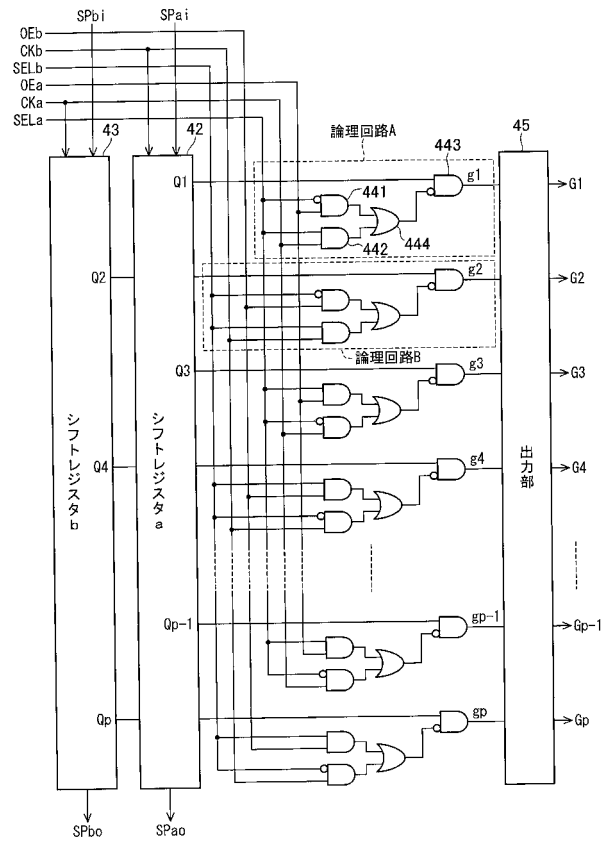
【図 74】



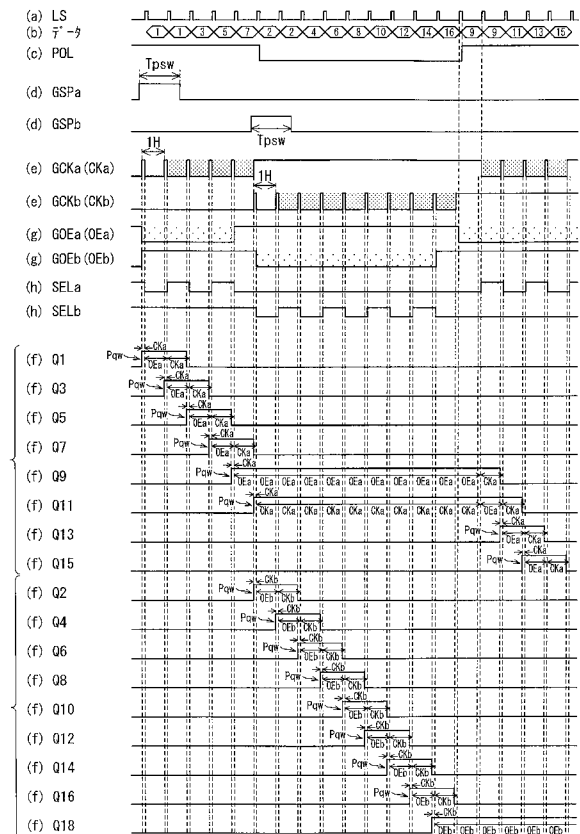
【図 79】



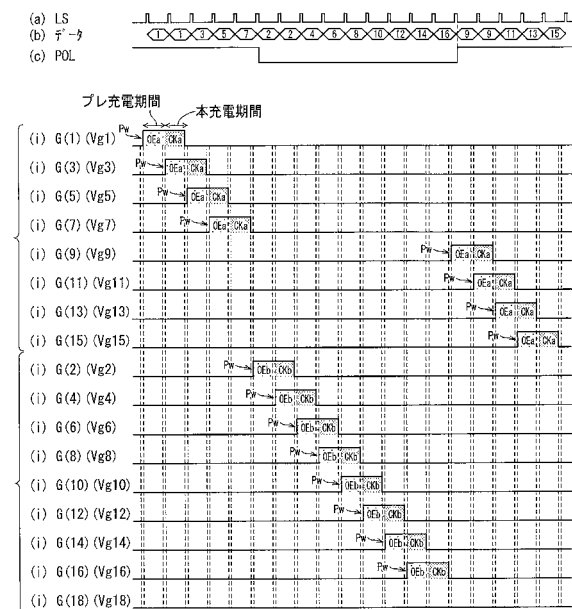
【図 80】



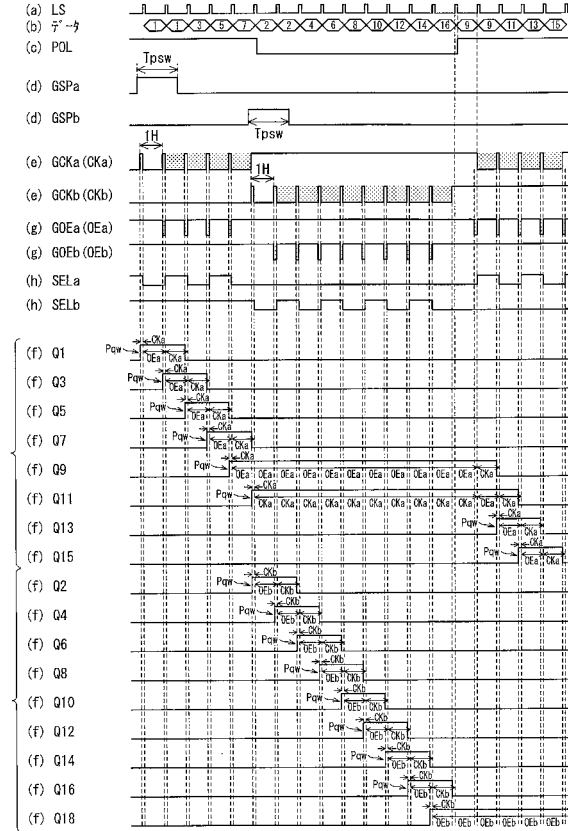
【図 81】



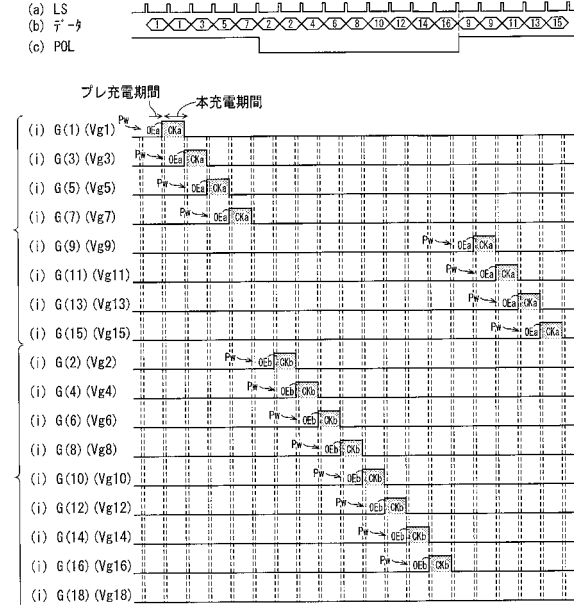
【図 82】



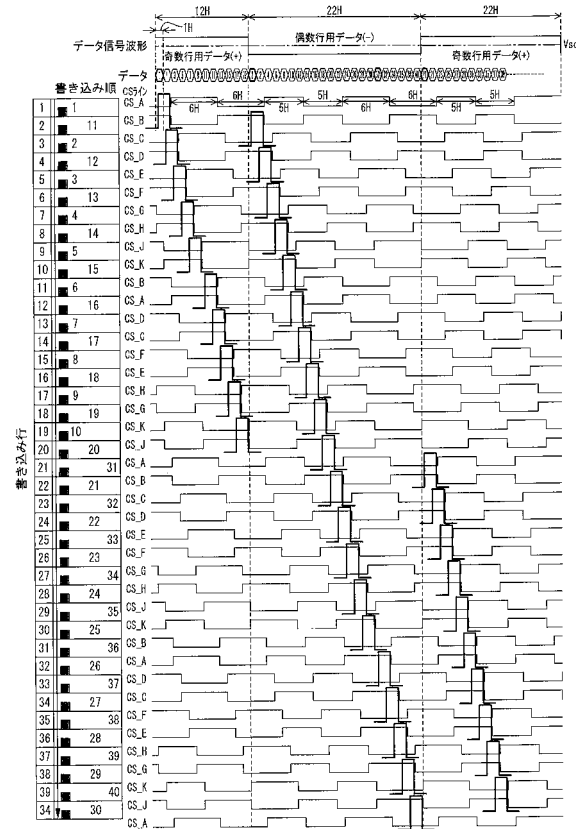
【図 8 3】



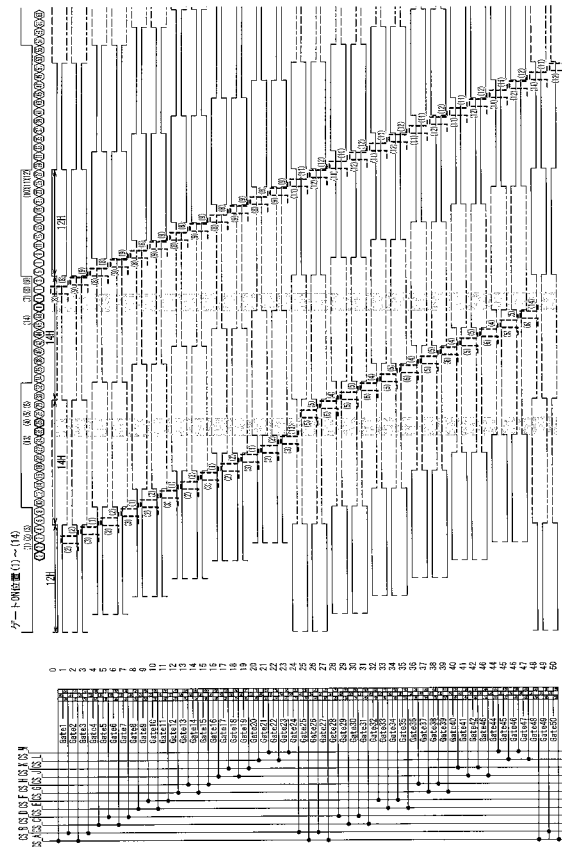
【図 8 4】



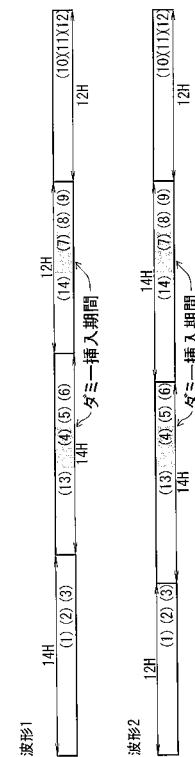
【図 8 5】



【図 87】



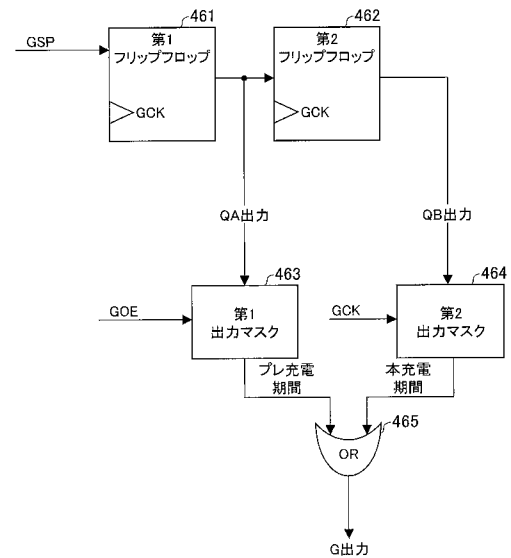
【図 88】



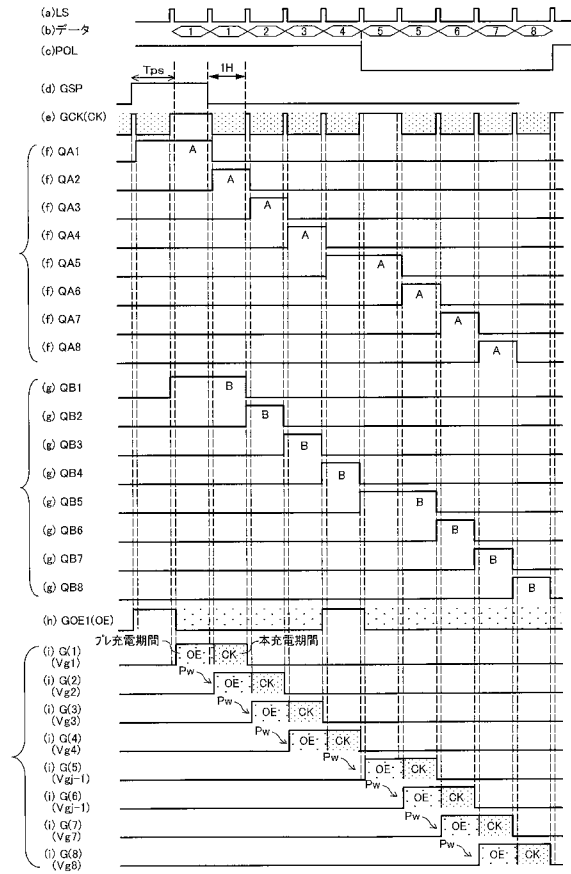
【図 89】

走査線数	差	比	ムラ(目視評価)
768	0	0	◎
768	0.5H	0.07%	◎
768	1H	0.13%	○
768	2H	0.26%	×
1080	0	0	◎
1080	0.5H	0.05%	◎
1080	1H	0.09%	◎
1080	2H	0.19%	△

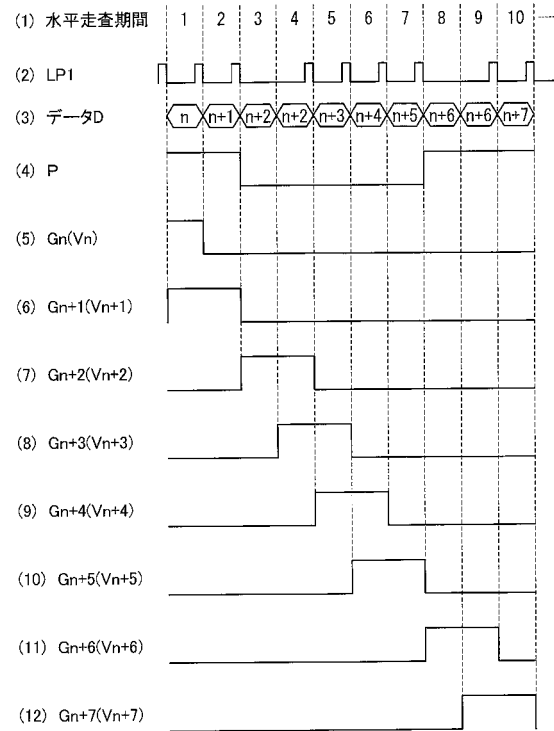
【図 90】



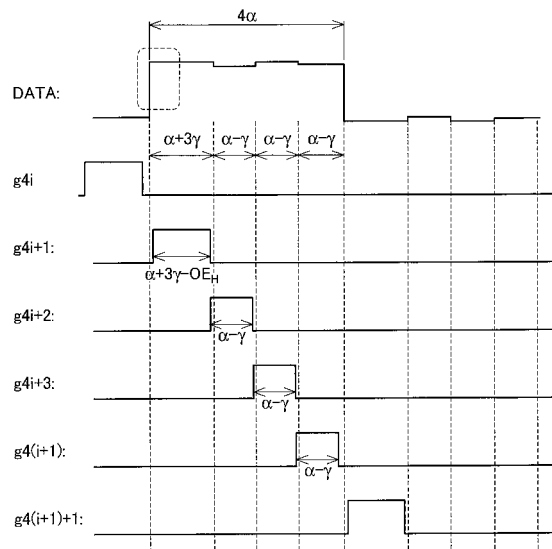
【図 9 1】



【図 9 2】



【図 9 3】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 P
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 1 2 K
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 2 R
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 1 1 A
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5
H 0 4 N	5/66	1 0 2 B

(72)発明者 津幡 俊英

日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 山田 直

日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 橋本 直明

(56)参考文献 特開平 1 1 - 3 5 2 9 3 8 (J P , A)

特開 2 0 0 6 - 0 3 9 5 4 2 (J P , A)

特開 2 0 0 1 - 2 1 5 4 6 9 (J P , A)

特開 2 0 0 6 - 2 9 5 5 8 8 (J P , A)

特許第 3 7 3 0 1 5 9 (J P , B 2)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 6

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

H 0 4 N 5 / 6 6

专利名称(译)	液晶显示装置，液晶显示装置的驱动方法和电视接收装置		
公开(公告)号	JP5214601B2	公开(公告)日	2013-06-19
申请号	JP2009519183	申请日	2008-03-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	北山雅江 入江健太郎 下敷領文一 津幡俊英 山田直		
发明人	北山 雅江 入江 健太郎 下敷領 文一 津幡 俊英 山田 直		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3677 G02F1/13624 G02F2001/133397 G09G3/3614 G09G3/3648 G09G2300/0443 G09G2300/0876 G09G2310/0205 G09G2310/0224 G09G2310/0248 G09G2310/0251 G09G2310/0286 G09G2310/08 G09G2320/0233 G09G2320/0261 G09G2320/028		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.611.J G09G3/20.642.A G09G3/20.623.C G09G3/20.622.P G09G3/20.622.C G09G3/20.622.D G09G3/20.622.M G09G3/20.622.N G09G3/20.612.K G09G3/20.622.E G09G3/20.623.D G09G3/20.621.F G09G3/20.622.R G09G3/20.621.A G09G3/20.611.E G09G3/20.611.A G02F1/133.550 G02F1/133.525 H04N5/66.102.B		
审查员(译)	Naoaki桥本		
优先权	2007155652 2007-06-12 JP 2007309529 2007-11-29 JP		
其他公开文献	JPWO2008152848A1		
外部链接	Espacenet		

摘要(译)

在栅极驱动器施加数据信号的极性反转的点之前施加的栅极导通脉冲中，最接近极性反转点的栅极导通脉冲的最后一端是施加栅极导通脉冲的水平周期。从栅极导通脉冲结束到施加栅极导通脉冲的水平周期结束的时间（早于结束点）被作为第一周期，并且极性从极性反转点反转。第二周期比第一周期长，其中在该点之后施加的栅极导通脉冲中最接近极性反转点的栅极导通脉冲的施加开始的时间是第二周期。施加一个栅极开启脉冲这提供了一种能够以高显示质量进行显示的液晶显示装置，其中即使在极性反转时数据信号的波形变钝，也抑制了显示不均匀等。

【 図 1 】

