

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5130931号
(P5130931)

(45) 発行日 平成25年1月30日 (2013. 1. 30)

(24) 登録日 平成24年11月16日 (2012. 11. 16)

(51) Int. Cl.

F I

G02F 1/133 (2006.01)

G02F 1/133 560

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 621B

G02F 1/137 (2006.01)

G09G 3/20 611A

G09G 3/20 622R

請求項の数 5 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2008-22767 (P2008-22767)
 (22) 出願日 平成20年2月1日 (2008. 2. 1)
 (65) 公開番号 特開2009-181110 (P2009-181110A)
 (43) 公開日 平成21年8月13日 (2009. 8. 13)
 審査請求日 平成22年9月17日 (2010. 9. 17)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100099759
 弁理士 青木 篤
 (74) 代理人 100119987
 弁理士 伊坪 公一
 (74) 代理人 100081330
 弁理士 樋口 外治
 (74) 代理人 100141254
 弁理士 榎原 正巳
 (74) 代理人 100113826
 弁理士 倉地 保幸

最終頁に続く

(54) 【発明の名称】 ドットマトリクス型表示素子の駆動方法および表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のスキャンラインと複数のデータラインを有し、コレステリック相を形成するドットマトリクス型表示素子の駆動方法であって、

前記表示素子は、それぞれ2つ以上のスキャンラインで構成される複数のサブ表示ライングループを備え、

前記サブ表示ライングループ内の表示ラインを連続してスキャンして、第1の極性の書き込みを行う第1フェーズと、

前記サブ表示ライングループ内の表示ラインを連続してスキャンして、前記第1の極性と逆極性の第2の極性の書き込みを行う第2フェーズと、を連続して実行することを特徴とするドットマトリクス型表示素子の駆動方法。

【請求項 2】

前記第1および第2フェーズの実行時間は、約33ms以下であることを特徴とする請求項1に記載のドットマトリクス型表示素子の駆動方法。

【請求項 3】

前記サブ表示ライングループでの前記第1および第2フェーズの実行順は、直前に書き込みが実行された前記サブ表示ライングループで前記第1および第2フェーズの実行順と逆であることを特徴とする請求項1または2に記載のドットマトリクス型表示素子の駆動方法。

【請求項 4】

10

20

前記表示素子が初期階調を表示するように初期化する第1ステップと、
電圧パルスを印加して前記初期階調を変化させる第2ステップと、を備え、
前記第1および第2フェーズは、前記第2ステップで実行されることを特徴とする請求
項1から3のいずれか1項に記載のドットマトリクス型表示素子の駆動方法。

【請求項5】

複数のスキャンラインと複数のデータラインを有し、コレステリック相を形成するドッ
トマトリクス型表示素子と、前記表示素子を駆動する駆動回路と、を備え、

前記表示素子は、それぞれ2つ以上のスキャンラインで構成される複数のサブ表示ライ
ングループを備え、

前記駆動回路は、

前記サブ表示ライングループ内の表示ラインを連続してスキャンして、第1の極性の書
き込みを行う第1フェーズ処理と、

前記サブ表示ライングループ内の表示ラインを連続してスキャンして、前記第1の極性
と逆極性の第2の極性の書き込みを行う第2フェーズ処理と、を連続して行う、ことを特徴
とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドットマトリクス型表示素子の駆動方法および表示装置に関し、特にコレス
テリック液晶のような高い分極性を有する表示材料を使用し、書き込み時間が長いドットマ
トリクス型表示素子の駆動方法および表示装置に関する。

【背景技術】

【0002】

液晶表示素子のようなドットマトリクス型表示素子が、テレビ受像機やコンピュータシ
ステムのモニタとして広く使用されている。ドットマトリクス型表示素子は、平行に配列
された複数のスキャンラインと、スキャンラインと垂直に交差するように配置された複数
のデータラインとを有し、複数のスキャンラインと複数のデータラインの交差部に画素が
形成される。表示する画像の書き込みは、スキャンラインに順次スキャンパルスを印加し、
スキャンパルスの印加に同期して複数のデータラインに1ライン分のデータを出力するこ
とにより行われる。

【0003】

ドットマトリクス型表示素子には、PDP、EL、液晶方式など各種の方式があるが、
近年は液晶方式が広く使用されている。液晶方式は、一方極性の電圧のみを印加するとイ
オン成分などが分極して表示品位や信頼性が低下する問題がある。この問題を解決するた
め、30～60フレーム/秒で書換えを行う液晶表示装置では、フレームごとに書き込み電
圧の極性を変化させてイオン成分などの分極を防止している。

【0004】

近年、各企業および大学などにおいて、電子ペーパーの開発が盛んに進められている。
電子ペーパーの利用が期待されている応用分野として、電子書籍を筆頭に、モバイル端末
機器のサブディスプレイやICカードの表示部など、多様な応用形態が提案されている。
電子ペーパーの有力な方式の1つに、コレステリック液晶がある。コレステリック液晶は
、半永久的な表示保持（メモリ性）や鮮やかなカラー表示、高コントラスト、高解像度と
いった優れた特徴を有している。

【0005】

コレステリック液晶を使用した表示素子は、書き込み方法が通常の液晶表示素子とは大き
く異なるが、コレステリック液晶にも分極による不具合がある。以下、コレステリック液
晶の表示素子を例として説明するが、本出願は正負のパルスを印加して分極による不具合
を解決する構成であれば適用可能であり、コレステリック液晶の表示素子に限定されるも
のではない。

【0006】

コレステリック液晶は、カイラルネマティック液晶とも称されることがあり、ネマティック液晶にキラリ性の添加剤（カイラル材）を比較的多く（数十％）添加することにより、ネマティック液晶の分子がらせん状のコレステリック相を形成する液晶である。

【0007】

図1は、コレステリック液晶の状態を説明する図である。図1の（A）および（B）に示すように、コレステリック液晶を利用した表示素子10は、上側基板11と、コレステリック液晶層12と、下側基板13と、有する。コレステリック液晶には、図1の（A）に示すように入射光を反射するプレーナ状態と、図1の（B）に示すように入射光を透過するフォーカルコニック状態と、があり、これらの状態は、無電界下でも安定してその状態が保持される。

10

【0008】

プレーナ状態の時には、液晶分子のらせんピッチに応じた波長の光を反射する。反射が最大となる波長 λ は、液晶の平均屈折率 n 、らせんピッチ p から次の式で表される。

【0009】

$$\lambda = n \cdot p$$

一方、反射帯域 $\Delta\lambda$ は、液晶の屈折率異方性 Δn により大きく異なる。

【0010】

プレーナ状態の時には、入射光が反射するので「明」状態、すなわち白を表示することができる。一方、フォーカルコニック状態の時には、下側基板13の下に光吸収層を設けることにより、液晶層を透過した光が吸収されるので「暗」状態、すなわち黒を表示することができる。

20

【0011】

次に、コレステリック液晶を利用した表示素子の駆動方法を説明する。

【0012】

図2は、一般的なコレステリック液晶の電圧－反射特性の一例を示している。横軸は、コレステリック液晶を挟む電極間に所定のパルス周期で印加されるパルス電圧の電圧値（V）を表し、縦軸はコレステリック液晶の反射率（％）を表している。図2に示す実線の曲線Pは、初期状態がプレーナ状態のコレステリック液晶の電圧－反射率特性を示し、破線の曲線FCは、初期状態がフォーカルコニック状態のコレステリック液晶の電圧－反射率特性を示す。

30

【0013】

図2において、電極間に所定の高電圧 V_{P100} （例えば $\pm 36V$ ）を印加して、コレステリック液晶中に相対的に強い電界を発生させると、液晶分子のらせん構造は完全にはどけて、すべての分子が電界の方向に従うホメオトロピック状態になる。次に、液晶分子がホメオトロピック状態の時に、印加電圧を V_{P100} から所定の低電圧（例えば、 $V_{F0} = \pm 4V$ ）に急激に低下させて、液晶中の電界を急激にほぼゼロにすると、液晶のらせん軸は電極に垂直になり、らせんピッチに応じた光を選択的に反射するプレーナ状態になる。

【0014】

一方、電極間に所定の低電圧 V_{F100b} （例えば、 $\pm 24V$ ）を印加し、コレステリック液晶中の相対的に弱い電界を発生させると、液晶分子のらせん構造が完全には解けない状態になる。この状態において、印加電圧を V_{F100b} から低電圧 V_{F0} に急激に低下させて、液晶中の電界を急激にほぼゼロにするか、あるいは強い電界を印加し緩やかに電界を除去した場合は、液晶分子のらせん軸が電極に平行になり、入射光を透過するフォーカルコニック状態になる。

40

【0015】

また、中間的な強さの電界を印加し、急激に電界を除去すると、プレーナ状態とフォーカルコニック状態が混在し、中間調の表示が可能となる。

【0016】

ここで、図2に示す曲線Pにおいて、破線枠A内では、印加する電圧パルスの電圧値を

50

高くするに従ってフォーカルコニック状態の割合を増加させてコレステリック液晶の反射率を低下させることができる。また、図2に示す曲線PおよびFCにおいて、破線枠B内では、印加する電圧値を低くするに従って増加させてコレステリック液晶の反射率を低下させることができる。

【0017】

中間調を表示するためには、A領域またはB領域を利用する。A領域を利用する場合には、画素を初期化してプレーナ状態にした後に、VF0とVF100aの間の電圧パルス印加して一部をフォーカルコニック状態にする。また、B領域を利用する場合には、画素を初期化してフォーカルコニック状態にした後に、VF100bとVP0の間の電圧パルス印加して一部をプレーナ状態にする。

10

【0018】

以上説明した電圧応答特性に基づく駆動方法の原理を、図3および図4を参照して説明する。図3の(A)、図4の(A)および(C)は電圧パルスの波形を示す。図3の(B)、図4の(B)および(D)は、図3の(A)、図4の(A)および(C)の電圧パルスをそれぞれ印加した時のパルス応答特性を示す。図3の(A)は、電圧値が ± 36 Vで、パルス周期が数十msの電圧パルスを示す。図4の(A)は、オン(ON)時の電圧値が ± 20 Vで、オフ(OFF)時の電圧値が ± 10 Vで、パルス周期が2msの電圧パルスを示す。図4の(C)は、オン(ON)時の電圧値が ± 20 Vで、オフ(OFF)時の電圧値が ± 10 Vで、パルス周期が1msの電圧パルスを示す。図3の(B)、図4の(B)および(D)において、横軸は電圧(V)を表し、縦軸は反射率(%)を表す。図3の(B)の電圧-反射率特性は、図2の曲線PおよびFCを模式化して示し、図4の(B)および(D)の電圧-反射率特性は、図2の曲線Pのみを模式化して示す。ここで使用する電圧パルスは、液晶の駆動パルスとしてよく知られているように、分極による表示品位や信頼性の劣化を防止するために、正極性と負極性のパルスを組み合わせている。

20

【0019】

図3の(A)および(B)に示すように、パルス周期が大きい場合には、初期状態がプレーナ状態だと、電圧をある範囲に上げると、フォーカルコニック状態となり、さらに電圧を上げると、再度プレーナ状態となる。初期状態がフォーカルコニック状態だと、パルス電圧を上げるにつれて次第にプレーナ状態になる。

【0020】

30

パルス周期が大きい場合に、初期状態がプレーナ状態とフォーカルコニック状態のいずれでも必ずプレーナ状態になるパルス電圧は、図3の(B)では ± 36 Vである。また、この中間のパルス電圧では、プレーナ状態とフォーカルコニック状態が混在した状態になり、中間調が得られる。

【0021】

一方、図4の(A)および(B)に示すように、パルス周期が2msの場合には、初期状態がプレーナ状態では、パルス電圧が ± 10 Vでは反射率変化しないが、それ以上大きな電圧なるとプレーナ状態とフォーカルコニック状態が混在した状態になり、反射率が低下する。反射率の低下量は電圧が大きくなるに従って大きくなるが、 ± 36 Vよりさらに大きな電圧なると反射率の低下量は一定となる。これは、初期状態がプレーナ状態とフォーカルコニック状態が混在した状態でも同じである。従って、初期状態がプレーナ状態である場合に、パルス周期が2msでパルス電圧が ± 20 Vの電圧パルスを1回印加すると、反射率はある程度低下する。このようにしてプレーナ状態とフォーカルコニック状態が混在した状態で反射率が少し低下した状態で、パルス周期が2msでパルス電圧が ± 20 Vの電圧パルスをさらに印加すると、反射率はさらに低下する。これを繰り返すと、反射率は所定値まで低下する。

40

【0022】

図4の(C)および(D)に示すように、パルス周期が1msの場合には、パルス周期が2msの場合と同様に、電圧パルスを印加することにより反射率が低下するが、反射率の低下具合はパルス周期が2msの場合と比べて小さい。

50

【0023】

以上のことから、数十msのパルス周期で36Vのパルスを印加すればプレーナ状態になり、2ms程度のパルス周期で十数Vから20V程度のパルスを印加すればプレーナ状態からプレーナ状態とフォーカルコニック状態が混在した状態になって反射率が低下し、反射率の低下量は、パルスの累積時間に関係すると考えられる。

【0024】

そこで、コレステリック液晶の表示素子では、第1ステップにおいて書き換える画素にパルス周期が数十msの±36Vの初期化パルスを印加してプレーナ状態にし、次の第2ステップでは、中間調にする画素に狭いパルス周期が約±20.0Vの階調パルスを印加し、その累積印加時間を中間調のレベルに応じた値にする。言い換えれば、この表示方法は、図2の領域Aを利用して中間調レベルを表示する。

10

【0025】

表示素子では、表示材料層の一方の面に互いに平行な複数のスキャン電極を設け、表示材料層の他方の面に前記複数のスキャン電極と交差する互いに平行な複数のデータ電極を設け、スキャン電極とデータ電極の交差部分に画素が形成される。ここでは、スキャン電極をスキャンライン、データ電極をデータラインと称する。表示素子では、コモンドライバがスキャンラインにスキャンパルスを印加し、セグメントドライバがデータラインにデータパルスを印加する。ドライバは、2値出力の汎用STNドライバを使用することが、コストの点からも好ましい。

【0026】

20

ここでは、全画素を書込む場合について説明する。

第1ステップでは、全スキャンラインと全データラインに同時にパルスが印加される。第2ステップでは、画素ごとに階調レベルを設定するため、1本のスキャンラインにスキャンパルスを印加している時に、全データラインにデータパルスを印加することにより、1スキャンライン内の画素への電圧パルスの印加が行われる。以下、スキャンパルスを印加するスキャンラインを順次シフトしながら全スキャンラインの画素への電圧パルスの印加が終了する。

【0027】

第2ステップでは、1本のスキャンラインにスキャンパルスに対応する選択スキャン電圧が印加される間、他のスキャンラインには非選択スキャン電圧が印加される。また、階調書込みを行う画素のデータラインにはデータパルスに対応する選択データ電圧が印加され、階調書込みを行わない画素のデータラインには非選択データ電圧が印加される。従って、選択スキャン電圧と選択データ電圧が印加された画素、非選択スキャン電圧と選択データ電圧が印加された画素、非選択スキャン電圧と非選択データ電圧が印加された画素が存在することになる。選択スキャン電圧と選択データ電圧が印加された画素のみで反射率（階調）が低下し、他の3種類の画素では反射率（階調）が低下しないように、選択スキャン電圧、非選択スキャン電圧、選択データ電圧および非選択データ電圧を設定する必要がある。

30

【0028】

コレステリック液晶を利用した表示装置では、プレーナ状態から中間調レベルに変化させるために印加する階調パルスとしてセグメントドライバおよびコモンドライバは、例えば図5の(A)に示すようなパルスを出力する。このようなパルスを印加することにより、画素には図5の(B)に示すような電圧が印加される。なお、正極フェーズと負極フェーズを有するのは、前述の分極による不具合を防止するためである。

40

【0029】

セグメントドライバには、V0として20Vが、V21SおよびV34Sとして10Vが、供給され、ベース電圧は10Vで、正極フェーズ(FR=1)ではV0のパルスが、負極フェーズ(FR=0)では0Vのパルスが、出力される。

【0030】

コモンライバには、V0として20Vが、V21Cとして15Vが、V341Cとして

50

5 Vが、供給され、正極フェーズ（ $FR = 1$ ）では、ベース電圧は15 Vで0 Vのパルスが、負極フェーズ（ $FR = 0$ ）では、ベース電圧は5 Vで20 Vのパルスが、出力される。

【0031】

図5の（A）のようなパルスが印加されることにより、スキャンラインが選択状態（コモンがオン）で、データラインも選択状態（セグメントがオン）では、正極フェーズ（ $FR = 1$ ）においては20 Vが、負極フェーズ（ $FR = 0$ ）では−20 Vが印加される。スキャンラインが選択状態（コモンがオン）で、データラインが非選択状態（セグメントがオフ）では、正極フェーズ（ $FR = 1$ ）においては10 Vが、負極フェーズ（ $FR = 0$ ）では−10 Vが印加される。スキャンラインが非選択状態（コモンがオフ）で、データラインが選択状態（セグメントがオン）では、正極フェーズ（ $FR = 1$ ）においては5 Vが、負極フェーズ（ $FR = 0$ ）では−5 Vが印加される。スキャンラインが非選択状態（コモンがオフ）で、データラインが非選択状態（セグメントがオフ）では、正極フェーズ（ $FR = 1$ ）においては−5 Vが、負極フェーズ（ $FR = 0$ ）では5 Vが印加される。

10

【0032】

従って、選択状態のスキャンラインの各画素に印加される電圧パルスの波形は図6の（A）に示すようになり、非選択状態のスキャンラインの各画素に印加される電圧パルスの波形は図6の（B）に示すようになり、どちらの場合も、選択状態のデータラインの波形を実線で、非選択状態のデータラインの波形を点線で示す。図4の（B）に示すように、パルス周期が2 msの電圧パルスの場合、電圧が±20 Vでは液晶の状態、すなわち反射率が変化するが、電圧が±10 Vでは反射率は変化しないので、上記のような波形であれば、スキャンラインとデータラインの両方がONの場合に、階調パルスによる書き込みが行われ、それ以外の場合には書き込みは行われないことになる。実際にはクロストークの問題があるが、本発明には直接関係しないので、説明は省略する。

20

【0033】

上記のように、表示装置において実際に印加される電圧パルスは図6に示すような波形であるが、以下の記載では説明を簡単にするために、0 Vを中心にして対称な正負のパルスで表す場合がある。また、OFFパルスの電圧は、書き込みが行われないようなレベルに設定されるものとし、パルスの電圧は、ONパルスの電圧を指すものとする。

【0034】

コレステリック液晶による多階調表示方法については各種の駆動方法が提案されている。コレステリック液晶の多階調表示の駆動方法は、ダイナミック駆動とコンベンショナル駆動の2つの方法に分けられる。

30

【0035】

特許文献1は、ダイナミック駆動法を記載している。しかし、ダイナミック駆動法は、駆動波形が複雑なため、複雑な制御回路およびドライバICを必要とし、パネルの透明電極も低抵抗ものが必要であるため、製造コストが高くなるという問題がある。また、ダイナミック駆動法は、消費電力も大きいという問題がある。

【0036】

非特許文献1は、コンベンショナル駆動法を記載している。非特許文献1は、液晶特有の累積時間を利用し、短いパルスを印加する回数を調整することで、徐々にプレーナ状態からフォーカルコニック状態へ、あるいはフォーカルコニックからプレーナ状態へ準動画レートの比較的高速で駆動する方法を記載している。

40

【0037】

コンベンショナル駆動法で累積時間を利用して階調を設定する場合、短いパルスの印加回数を調整する方法と、パルス周期を異ならせる方法がある。パルス周期を異ならせる方法の方が、短いパルスの印加回数を調整するよりも、消費電力を抑制する上では有利である。さらに、パルスの印加回数とパルス周期の両方でパルス印加の累積時間を変える方法もある。図7はそのような方法における電圧パルスの例を示す図であり、電圧パルスとそれを印加することにより変化する階調状態を示す。

50

【0038】

図7の(A)は、第1ステップで使用する初期化パルスであり、パルス電圧が $\pm 36\text{V}$ で、比較的大きなパルス周期を有する。このパルスを印加することにより、画素の液晶はプレーナ状態になり、最大の階調状態になる。図7の(B)から(D)は、第2ステップで使用する第1から第3階調パルスであり、それぞれパルス電圧は $\pm 20\text{V}$ であるが、第1から第3階調パルスの順にパルス周期が狭くなる。図7の(B)から(D)のパルスを印加すると、画素内で液晶は一部がプレーナ状態からフォーカルコニック状態に変化して階調が低下し、階調の低下具合は、(B)から(D)になるに従って小さくなる。言い換えれば、(B)から(D)のパルスを印加すると、相対的に低階調、中程度の階調、高階調になる。ここでは、(B)を低階調パルス、(C)を中階調パルス、(D)を高階調パルスと称する。これでは(B)から(D)のパルスのいずれかを印加するか、またはいずれも印加しないというだけでは、4階調を表現できるだけであるが、図7に示す3種類のパルスを組み合わせることも可能である。例えば、周期Tをn個合わせて1ライン周期nTとし、各周期Tにおけるパルス周期を選択することにより、多数の階調を表現することが可能である。また、階調パルスの印加を複数のフレームで行い、各フレームで(B)から(D)のパルスのいずれかを印加するか、またはいずれも印加しないという選択を行うことにより、多数の階調を表現することが可能である。

10

【0039】

以上説明したように、コレステリック液晶の表示素子の表示方法は、ツイストネマティック液晶などを使用する通常の液晶表示素子とは大きく異なり、それに応じて駆動方法も大きく異なる。

20

【0040】

コレステリック液晶の表示素子も分極による不具合を有しており、そこで、上記のように各パルスは正極フェーズと負極フェーズを有するように構成し、正負のパルスを連続して印加することにより、分極による不具合の問題を回避している。

【0041】

【特許文献1】特開2001-228459号公報

【特許文献2】特開2005-024774号公報

【非特許文献1】Y.-M. Zhu, D-K. Yang, Cumulative Drive Schemes for Bistable Reflective Cholesteric LCDs, SID 98 DIGEST, pp798-801, 1998

30

【発明の開示】

【発明が解決しようとする課題】

【0042】

上記のように、コンベンショナル駆動を採用することにより、書換え時の消費電力が小さくなり、ドライバ回路を汎用のSTNドライバで構成できるので、低コスト化が図れるという利点があるが、電子機器では省電力が求められる。特に、電子ペーパーでは、大きな電源を搭載することが不適切であり、非接触で給電するワイヤレス給電機構を電子ペーパーに設けて表示を行う場合には、省電力が強く求められる。

【0043】

特許文献2は、コレステリック液晶の表示素子のコンベンショナル駆動法において、図8に示すように、スキャンラインに印加する電圧の極性を、1番目のスキャンラインでは、正、負の順に切り換え、2番目のスキャンラインでは、負、正の順に切り換える、という具合に、スキャンラインごとに電圧の極性の印加順を反転させることを、記載している。これにより、コモンドライバが非選択ラインに出力するパルス信号周期は $1/2$ になるので、消費電力が低減できる。スキャンドライバの非選択ラインへの出力は、図5の(A)に示すように、 15V と 5V の間で変化する。スキャンラインのうち、選択ラインは1本だけであり、残りは非選択ラインであるから、パッシブ駆動の場合のスキャンドライバの消費電力は、非選択ラインに出力するパルス信号に起因する部分が大部分である。また、セグメントドライバの出力するパルス信号についても、直前のデータを維持するラインについてはパルス信号が変化しないので、その分消費電力が低減できる。

40

50

【0044】

しかし、表示素子、特に電子ペーパーに使用する表示素子では、より一層の省電力が求められている。

【0045】

本発明は、このような問題を解決して、表示材料の分極による不具合を回避しながら、表示素子の消費電力を低減することを目的とする。

【課題を解決するための手段】

【0046】

ここに開示するドットマトリクス型表示素子の駆動方法および表示装置は、上記目的を実現するため、スキャンラインを、それぞれ2つ以上のスキャンラインで形成される複数のサブ表示ライングループに分割する。そして、サブ表示ライングループ内の表示ラインを連続してスキャンして第1の極性の書き込みを行い、続いてサブ表示ライングループ内の表示ラインを連続してスキャンして第1の極性と逆極性の第2の極性の書き込みを行う。

10

【0047】

図9は、開示するドットマトリクス型表示素子の駆動方法の概要を説明する図であり、(A)が開示の方法を、(B)が比較のための従来例の方法を示す。

【0048】

図9の(A)は、 $m=8$ の場合の例を示す。コモンドライバは、図9の(A)に示すように、1番目の第1フェーズ+P1において、0番目から7番目の8本のスキャンラインに対して、正極フェーズのスキャンパルスを連続して印加する。セグメントドライバは、各スキャンパルスの印加に同期して正極フェーズのデータパルスすべてのデータラインに出力する。正極フェーズのスキャンパルスを7番目のスキャンラインまで印加した後、1番目の第2フェーズ-P1において、0番目のラインから7番目の8本のスキャンラインに対して、負極フェーズのスキャンパルスを連続して印加する。セグメントドライバは、各スキャンパルスの印加に同期して負極フェーズのデータパルスすべてのデータラインに出力する。

20

【0049】

負極フェーズのスキャンパルスを7番目のスキャンラインまで印加した後、8番目から15番目の8本のスキャンラインに対して、上記と同様に、2番目の第1フェーズ+P2および2番目の第2フェーズ-P2の書き込み動作を行い、以下この動作を最終ラインまで繰り返して、1フレームの描画(書き込み)が終了する。

30

【0050】

従来例では、図9の(B)に示すように、各スキャンラインに、正極フェーズと負極フェーズの正負のパルスを連続して印加していた。

【0051】

図10は、開示の駆動方法において、表示ラインにおける選択(オン)画素に印加されるパルスの変化を示すタイムチャートである。ここでは、 m 本の表示ラインを1サブ表示ライングループとしている。+P1では、1番目のサブ表示ライングループの0番目から $m-1$ 番目の表示ラインの書き込み(オン)画素に対して正の書き込みパルスを印加する。-P1では、1番目のサブ表示ライングループの0番目から $m-1$ 番目の表示ラインの書き込み(オン)画素に対して負の書き込みパルスを印加する。以下同様の動作を最終のサブ表示ライングループの最終ラインまで行い、1フレームの書き込みが終了する。

40

【0052】

図11の(A)は、開示の駆動方法で $m=8$ の場合の、8本の非選択スキャンラインに対するコモンドライバの出力波形を示す図であり、図11の(B)は従来例でのコモンドライバの出力波形を示す図である。図示のように、非選択スキャンラインに対するコモンドライバの出力は、開示の駆動方法では、従来例に比べて $1/8$ になっており、消費電力が低減できる。

【0053】

50

上記のように、スキヤンドライバの消費電力は、非選択ラインに出力するパルス信号に起因する部分が大部分である。サブ表示ライングループ内の表示ライン数を m とした場合、コモンドライバが非選択ラインに出力するパルス信号周期は $1/m$ になるので、消費電力が大幅に低減できる。また、セグメントドライバの出力するパルス信号についても、直前のデータを維持するラインについてはパルス信号が変化しないので、その分消費電力が低減できる。例えば、あるデータラインについて、同じ画素値が m ライン以上続くならば、その部分については、消費電力が約 $1/m$ になる。

【0054】

通常の画像は、空間周波数が低周波に偏る上、同じ画素値が続く確率が非常に高い。そのため、シミュレーションした結果によれば、消費電力は、約 $1/m$ になることが分かった。

10

【0055】

開示の技術は、非選択ラインに印加する信号も変化するパッシブ駆動を使用する場合に有効である。

【0056】

ドットマトリクス型表示素子は、駆動信号の極性を反転する駆動方法で駆動するものが対象であり、例えば、液晶表示素子である。液晶表示素子の中でも、電子ペーパーに使用されるコレステリック相を形成する素子は、ビデオディスプレイとして使用されるSTN液晶などに比べて応答時間が長いため、初期化したプレーナ状態から書込みパルスを印加して階調レベルを書き込むのに要する時間が長い。そのため、1フレームの書込みに数秒以上を要する。図10に示すように、各スキャンラインにおいては、正の電圧パルスが印加されてから負の電圧パルスが印加されるまで、1サブ表示ライングループのすべてのラインをスキャンするのに要する時間だけ経過する。この時間が短ければ分極による不具合は生じないが、上記のように1フレームの書込みに数秒以上を要する場合には、フレームごとに極性を切り換えて書き込むのでは、分極による不具合が生じる。

20

【0057】

正の電圧パルスが印加されてから負の電圧パルスが印加されるまでの時間は、1サブ表示ライングループのライン数により決定される。従って、1サブ表示ライングループのライン数は、分極による不具合を考慮して決定する必要があるが、他にも次のようなことを考慮して決定することが望ましい。

30

【0058】

1サブ表示ライングループのライン数が多い方が消費電力の低減効果が大きい。しかし、1サブ表示ライングループのライン数が多いと次のような問題を生じる。

【0059】

(1) スキャン中のラインが上下するので、描画がぎこちなく見える。

【0060】

(2) 駆動信号が低周波パルスになるため、信頼性が低下するリスクがある。

【0061】

(3) 液晶パネル内に不純物や液晶自体に起因するイオン成分がある場合、そのイオン成分が分極し、駆動時の場合の負荷が増加する。言い換えれば駆動容量が増加するので、ドライバの負荷が大きくなり、駆動波形が乱れるという問題が生じる。駆動波形が乱れるとDC成分が発生し、表示品位や信頼性にも影響する。この影響は、例えば、グループ間、特にグループが隣接する部分(第7番目と第8番目のライン)間に濃度差を生じさせるなどの現象が発生し、画像を劣化させる。そのため、1サブ表示ライングループのライン数は、上記のことを考慮して決定する必要がある。例えば、1サブ表示ライングループの第1および第2ステップの実行時間が、表示素子の駆動容量の増加が相対的に小さい限界駆動周波数に対応した所定値以下であるように決定される。

40

【0062】

具体的には、第1および第2ステップの実行時間が約33ms以下、つまり30Hz以上に相当するようにすれば、スキャンが往復することによる見た目の不快さを感じるこ

50

がなく、濃度差の問題も回避できる。

【0063】

隣接するサブ表示ライングループでの第1および第2フェーズの実行順を逆にして、あるサブ表示ライングループで第1フェーズ、第2フェーズの順で書込みパルスを印加した後、次のサブ表示ライングループでは、第2フェーズ、第1フェーズの順で書込みパルスを印加し、次には第1フェーズ、第2フェーズの順で書込みパルスを印加するという具合にすれば、さらに消費電力を低減できる。

【0064】

上記のように、コレステリック液晶の表示素子の場合には、表示素子が初期階調を表示するように初期化する第1ステップと、電圧パルスを印加して前記初期階調を変化させる第2ステップと、を有する駆動方法が使用されるが、第1および第2フェーズは第2ステップで実行される。

10

【0065】

駆動回路は、2値出力の汎用STNドライバで構成することができる。

【0066】

開示の技術は、異なる反射色を呈する複数のコレステリック液晶パネルの積層構造を有するカラー表示素子にも適用できる。その場合、サブ表示ライングループを構成するスキャンラインの本数は、すべてのコレステリック液晶パネルで同一でも、パネルごとに異なってもよい。パネルごとに異なる場合は、パネルの液晶層の誘電率が相対的に大きいパネルほど、サブ表示ライングループを構成するスキャンラインの本数が多いことが望ましい。

20

【0067】

さらに、用途や状況に応じて、開示の技術を適用するかどうかを設定することも可能である。例えば、濃度差が目立ちやすい表示素子の場合は、濃度差を許容する省電力モードと、均一な画像を表示する通常モードを設け、省電力モードでは開示の駆動方法を行い、通常モードでは図6および図7に示した従来の駆動方法を使用する。省電力モードと通常モードは、ユーザが選択可能にしても、電源状況に応じて選択されるようにしてもよい。これは、特に非接触で電源を供給する電源供給機構を使用する場合などに有効である。

【発明の効果】

【0068】

30

本出願によれば、分極による不具合の関係で正負のパルスを印加する必要があるパッシブ型の表示素子で、分極による不具合を発生させずに、消費電力を大幅に低減できる。

【発明を実施するための最良の形態】

【0069】

以下、コレステリック液晶の表示装置を例として実施形態を説明する。しかし、開示の技術はこれに限定されるものではなく、分極による不具合の都合で正負のパルスを印加する必要があるパッシブ型の表示素子であれば適用可能である。

【0070】

図12は、実施形態で使用する表示素子10の構成を示す図である。図12に示すように、この表示素子10は、見る側から順番に、青（ブルー）用パネル10B、緑（グリーン）用パネル10G、および赤（レッド）用パネル10Rの3枚のパネルが積層されており、レッド用パネル10Rの下側には光吸収層17が設けられている。パネル10B、10Gおよび10Rは、同じ構成を有するが、パネル10Bは反射の中心波長が青色（約480nm）、パネル10Gは反射の中心波長が緑色（約550nm）、パネル10Rは反射の中心波長が赤色（約630nm）になるように、液晶材料およびカイラル材が選択され、カイラル材の含有率が決定されている。パネル10B、10Gおよび10Rは、青層用制御回路18B、緑層用制御回路18Gおよび赤層用制御回路18Rで、それぞれ駆動される。

40

【0071】

図13は、図12の表示素子10を構成する3枚のパネル10B、10G、10Rのう

50

ちの１枚のパネル１０Ａの基本構成を示す図である。３枚のパネル１０Ｂ、１０Ｇ、１０Ｒは、反射波長以外はほぼ共通の構成を有する。実施形態で使用するパネルについて、図１３を参照して説明する。

【００７２】

図１３に示すように、表示素子１０Ａは、上側基板１１と、上側基板１１の表面に設けられた上側電極層１４と、下側基板１３の表面に設けられた下側電極層１５と、シール材１６と、を有する。上側基板１１と下側基板１３は、電極が対向するように配置され、間に液晶材料を封入した後シール材１６で封止される。なお、液晶層１２内にスペーサが配置されるが図示は省略している。上側電極層１４と下側電極層１５の電極には、駆動回路１８から電圧パルス信号が印加され、それにより液晶層１２に電圧が印加される。液晶層１２に電圧を印加して、液晶層１２の液晶分子をプレーナ状態またはフォーカルコニック状態にして表示を行う。

10

【００７３】

上側基板１１と下側基板１３は、いずれも透光性を有しているが、パネル１０Ｒの下側基板１３は不透光性でもよい。透光性を有する基板としては、ガラス基板があるが、ガラス基板以外にも、ＰＥＴ（ポリエチレンテレフタレート）やＰＣ（ポリカーボネート）などのフィルム基板を使用してもよい。

【００７４】

上側電極層１４と下側電極層１５の電極の材料としては、例えば、インジウム錫酸化物（ITO: Indium Tin Oxide）が代表的であるが、その他インジウム亜鉛酸化物（IZO: Indium Zic Oxide）などの透明導電膜を使用することが可能である。

20

【００７５】

上側電極層１４の透明電極は、上側基板１１上に互いに平行な複数の帯状の上側透明電極として形成され、下側電極層１５の透明電極は、下側基板１３上に互いに平行な複数の帯状の下側透明電極として形成されている。そして、上側基板１１と下側基板１３は、基板に垂直な方向から見た時に、上側電極と下側電極が交差するように配置され、交差部分に画素が形成される。電極上には絶縁性のある薄膜が形成される。この薄膜が厚いと駆動電圧を高くする必要があり、汎用ＳＴＮドライバで駆動回路を構成するのが難しくなる。逆に、薄膜がないとリーク電流が流れるため、消費電力が増大するという問題を生じる。ここでは、薄膜は比誘電率が約５であり、液晶よりもかなり低いため、薄膜の厚さは約０．３μm以下とするのが適している。

30

【００７６】

なお、この絶縁性薄膜は、ＳｉＯ₂の薄膜、あるいは配向安定化膜として知られているポリイミド樹脂、アクリル樹脂などの有機膜で実現できる。

【００７７】

上記のように、液晶層１２内にスペーサが配置され、上側基板１１と下側基板１３の間隔、すなわち液晶層１２の厚さを一定にする。スペーサは、一般に樹脂製または無機酸化物製の球体であるが、基板表面に熱可塑性の樹脂をコーティングした固着スペーサを使用することも可能である。このスペーサによって形成されるセルギャップは３．５μm～６μmの範囲が適正である。セルギャップがこの値より小さいと反射率が低下して暗い表示になり、逆のこの値より大きいと駆動電圧が上昇して汎用ドライバＩＣによる駆動が困難になる。

40

【００７８】

液晶層１２を形成する液晶組成物は、ネマティック液晶混合物にカイラル材を１０～４０重量％（ｗｔ％）添加したコレステリック液晶である。ここで、カイラル材の添加量は、ネマティック液晶成分とカイラル材の合計量を１００ｗｔ％とした時の値である。

【００７９】

ネマティック液晶としては、従来から公知の各種のものを使用可能であるが、誘電率異方性（Δε）が１５～３５の範囲の液晶材料であることが望ましい。誘電率異方性が１５以上であれば、駆動電圧が比較的低くなり、この範囲より大きいと駆動電圧自体は低下す

50

るが比抵抗が小さくなりやすく、特に高温時の消費電力が増大する。

【0080】

また、屈折率異方性 (Δn) は、0.18~0.24であることが望ましい。屈折率異方性が、この範囲より小さいと、プレーナ状態の反射率が低くなり、この範囲より大きいと、フォーカルコニック状態での散乱反射が大きくなるのに加えて、粘度も高くなり、応答速度が低下する。

【0081】

図14は、実施形態の表示装置の全体構成を示す図である。表示素子10は、A4判XGA仕様で、1024×768画素を有する。電源21は、例えば3V~5Vの電圧を出力する。昇圧部22は、DC-DCコンバータなどのレギュレータにより、電源21からの入力電圧を36V~40Vに昇圧する。この昇圧レギュレータは、専用ICが広く使用されており、そのICにはフィードバック電圧を設定することにより、昇圧電圧を調整する機能を有している。従って、抵抗による分圧などにより生成した複数の電圧を選択してフィードバック端子に供給するように構成することで、昇圧電圧を変化させることが可能である。

10

【0082】

電圧切替部23は、抵抗分割などにより各種の電圧を生成する。電圧切替部23におけるリセット電圧と階調書込み電圧のスイッチングには、高耐圧のアナログスイッチを用いてもよいが、トランジスタによる単純なスイッチング回路を使用することも可能である。電圧安定部24は、電圧切替部23から供給される各種の電圧を安定化させるために、オペアンプのボルテージフォロア回路を使用することが望ましい。オペアンプは、容量性負荷に対して強い特性を有するものを使用するのが望ましい。なお、オペアンプに接続する抵抗を切り替えることにより増幅率を切り替える構成が広く知られており、この構成を使用すれば、電圧安定部24から出力する電圧を容易に切り替えることが可能である。

20

【0083】

原振クロック部25は、動作の基本となる基本クロックを発生する。分周部26は、基本クロックを分周して、後述する動作に必要な各種クロックを生成する。

【0084】

制御回路27は、基本クロック、各種クロックおよび画像データDに基づいて制御信号を生成して、コモンドライバ28およびセグメントドライバ29に供給する。

30

【0085】

コモンドライバ28は768本のスキャンラインを駆動し、セグメントドライバ29は1024本のデータラインを駆動する。RGBの各画素に与える画像データが異なるため、セグメントドライバ29は各データラインを独立して駆動する。コモンドライバ28は、RGBのラインを共通に駆動する。本実施形態では、ドライバICは、汎用の2値出力のSTNドライバを使用した。利用可能な汎用STNドライバは、様々なものが使用可能である。

【0086】

セグメントドライバ29へ入力する画像データは、フルカラーの原画像を誤差拡散法によりRGB各16階調の4096色のデータに変換した、4ビットのデータD0-D3である。この階調変換は、高い表示品質を得られる方法が好ましく、誤差拡散法のほかにブルーノイズマスク法などが使用できる。

40

【0087】

次に、本実施形態における画像の書込み動作を説明する。

【0088】

実施形態の駆動シーケンスは、初期階調を表示するように、画素内のコレステリック液晶を初期化する第1ステップS1と、初期階調を変化させる第2ステップS2と、を有し、第2ステップS2では、7個のサブ電圧パルスSB1からSB7を出力し、階調に応じて印加するサブ電圧パルスを選択し、サブ電圧パルスのエネルギー累積値に応じて階調を設定する。

50

【0089】

図15は、第2ステップS2における、各階調における7個のサブ電圧パルスSB1からSB7の選択を示す図である。最上段は階調を示し、2段目が第1ステップS1後の階調を示し、3段目から8段目が第2ステップS2におけるサブ電圧パルスSB1からSB7の選択と印加後の階調を示す。3段目から8段目では、ONで示された場合に、そのサブ電圧パルスが印加されるように選択される。すべての階調に対して、第1ステップS1が行われ、階調15の状態に初期化される。次の第2ステップS2では、例えば、階調1の画素に対しては、SB1-SB5、SB7が選択されて印加される。階調6に対しては、SB1-SB4、SB6が選択されて印加される。階調14に対しては、SB3のみが選択されて印加される。

10

【0090】

3段目から8段目の右側にはサブ電圧パルスSB1からSB7のパルス特性が示される。例えば、SB1は電圧±20Vのパルス周期2.0msの電圧パルスである。SB3は電圧±20Vのパルス周期0.5msの電圧パルスである。さらに、SB6は、電圧±20Vのパルス周期1.5msの電圧パルスである。このように、サブ電圧パルスSB1からSB7は、電圧が±20Vでパルス周期が異なる。

【0091】

図16は、第1ステップS1、すなわち全画素を初期化する時の、セグメントドライバ29とコモンドライバ28の出力電圧と、それによる液晶の印加電圧を示す図である。

【0092】

20

SB1-SB7を印加する時の、セグメントドライバ29とコモンドライバ28の出力電圧と、それによる液晶の印加電圧は、図5に示される。

【0093】

ドライバの出力電圧と液晶の印加電圧の関係については、図5で説明したので、ここでは説明を省略する。ドライバの出力電圧の変更は、電圧安定部24からコモンドライバ28およびセグメントドライバ29に供給する電圧を切り替えることにより行う。

【0094】

図17は、第1ステップS1における全画素をプレーナ状態にする全面プレーナリセット処理による画面の変化を示す図である。

【0095】

30

第1ステップS1を開始する前には、図17の(A)に示すように画像が表示されている。

【0096】

第1ステップS1を開始時には、セグメントドライバ29の出力電圧をすべてグランド(GND)レベルにした上で、コモンドライバ28の全出力ラインを選択状態にする。出力電圧をすべてGNDレベルにするのは、/DSPOFを低(L)にすればよい。

【0097】

次に極性信号FRを高(H)レベルにした上で、/DSPOFをHレベルにすると、選択された全ラインに+36Vが印加され、図17の(B)のように全画素がホメオトロピック状態になる。

40

【0098】

次に、極性信号FRを低(L)レベルにして全ラインに印加した電圧を+36Vから-36Vに反転させる。

【0099】

この場合の+36Vと-36Vの印加時間は、表示素子の構成によって適正值が異なるが、本実施形態では、数十msのパルス周期とした。

【0100】

最後に、/DSPOFをLにして出力を0Vにすると、全画素はホメオトロピック状態から、図17の(C)に示すプレーナ状態に切り替わる。このようにして全面プレーナリセット処理が終了する。/DSPOFを用いると、ドライバICの短絡回路で強制的に放

50

電するため、表示素子に充放電された放電時間を短くできる。プレーナ状態への遷移は、電圧パルスの急峻性が必要なので、この／D S P O Fを用いた強制放電は、サイズが大きな表示素子の場合でも確実にプレーナ状態にリセットすることが可能である。

【0101】

第2ステップS2において、サブ電圧パルスSB1ーSB7は、フレームF1からF7でそれぞれ選択した画素に印加される。各フレームを開始する前には、電源安定部24からコモンドライバ28およびセグメントドライバ29に、サブ電圧パルスを印加するための電圧が入力される。また、分周部26は、フレームごとに、サブ電圧パルスの正極フェーズと負極フェーズに対応するタイミング信号を制御回路27に出力する。

【0102】

図18は、第2ステップS2における処理を示すフローチャートである。図示のように、ステップ101では、SB1を書き込むフレームF1を実行するが、ここではSB1をグルーピングして印加する。同様に、ステップ102から107では、SB2からSB7を書き込むフレームF2からF7を順に実行するが、ここではSB2からSB7をそれぞれグルーピングして印加する。

【0103】

図19は、図18のステップ101で実行されるフレームF1の書込みにおける0番目から6番目までのスキャンラインをスキャンする時のタイムチャートである。この例では、1サブ表示ライングループは7本のスキャンラインで構成される。言い換えればm=7である。

【0104】

極性切替信号FRは、図示のように7スキャンごとに、すなわちフェーズごとに切り替わる。

【0105】

図示のように、セグメントドライバ29は、第1フェーズ(FR=1)では、10Vをベース電圧として、選択データラインに20Vのパルスを出力し、第2フェーズ(FR=0)では、10Vをベース電圧として、選択データラインに0Vのパルスを出力する。

【0106】

コモンドライバ28は、第1フェーズ(FR=1)では、15Vをベース電圧として、選択スキャンラインに0Vのスキャンパルスを出力し、第2フェーズ(FR=0)では、5Vをベース電圧として、選択スキャンラインに20Vのスキャンパルスを出力する。

【0107】

コモンドライバ28は、第1および第2フェーズのそれぞれで選択スキャンラインの位置を1ラインずつシフトする。図示のように、1番目のサブ表示ライングループの第1フェーズ+P1では、0番目から6番目までのスキャンラインに順に0Vのスキャンパルスが印加され、各スキャンパルスに同期してセグメントドライバ29が全データラインに10Vまたは20Vの電圧を印加する。これにより、最下段に示すように、スキャンパルスが印加されるラインでは、選択画素では+20Vが、非選択画素では+10Vが、印加され、スキャンパルスが印加されないラインでは、選択画素では+5Vが、非選択画素では-5Vが、印加される。

【0108】

第1フェーズ+P1で6番目までのスキャンラインにスキャンパルスが印加された後、FRが0に変化して1番目のサブ表示ライングループの第2フェーズ-P1が開始される。第2フェーズ-P1では、コモンドライバ28は、0番目から6番目までのスキャンラインに順に20Vのスキャンパルスを印加し、各スキャンパルスに同期してセグメントドライバ29が全データラインに0Vまたは10Vの電圧を印加する。これにより、スキャンパルスが印加されるラインでは、選択画素では-20Vが、非選択画素では-10Vが、印加され、スキャンパルスが印加されないラインでは、選択画素では-5Vが、非選択画素では+5Vが、印加される。

【0109】

以下、7ラインずつ、最終ラインを含むサブ表示ライングループまで同様の動作を繰り返し、ステップ101、すなわちフレームF1が終了する。以下、ステップ102から107、すなわちフレームF2からF7を実行する。

【0110】

図20は、コレステリック液晶の表示素子において、駆動周波数を変化させた場合の、液晶の静電容量の変化を示す図である。図示のように、周波数が概ね1Hzより小さくなると、静電容量が急激に増加する。液晶の静電容量が増加すると、駆動の消費電力が増加する。従って、消費電力を増加させないためには、正負のパルスの印加周期（正負のパルスの間隔の2倍）は、概ね1Hz以下であることが必要であり、概ね30Hz以上（約33ms以内）であれば十分であることが分かる。また、この条件であれば、上記の実施形態のコレステリック液晶の表示装置であれば、視覚特性からスキヤンの方向が前後しても認識できず、駆動信号の波形の鈍りも少なく、濃度差も生じない。

10

【0111】

サブ電圧パルスSB1からSB7の印加とフレームとの関係については、各種の変形例が可能である。図18の例では、サブ電圧パルスSB1からSB7を、フレームF1からF7で、それぞれ実行した。この方法は、階調再現性が優れているが、SB1からSB7はパルス周期が異なるので、フレームごとにスキヤン速度が異なり、消費電力が不均一になる。次に、消費電力の均等性を重視する別の処理方法を説明する。

【0112】

図21は、第2ステップS2における別の処理方法を示すフローチャートである。図22は、図21の処理方法における動作を説明する図である。この処理方法では、1サブ表示ライングループのライン数を7本、すなわち $n=7$ とする。そして、第1フレームでは、各サブ表示ライングループ内で、0番目から6番目のラインにSB1からSB7を順に書き込む。従って、0番目から6番目のラインにSB1からSB7の正極パルスを印加する第1フェーズを行った後、0番目から6番目のラインにSB1からSB7の負極パルスを印加する第2フェーズを行う。第1フレーム終了後、第2フレームでは、各サブ表示ライングループ内で、0番目から6番目のラインにSB2、SB3、…、SB7、SB1を書き込む。以下同様に、各サブ表示ライングループ内で各ラインに書き込むサブ電圧パルスを1つずつずらしながら書き込みを行う。7フレームの書き込みが終了すると、各ラインにはSB1からSB7が書き込まれる。

20

30

【0113】

図21で、ステップ201では、7ラインごとのサブ表示ライングループに分割する。この時のグループ数をLとする。

【0114】

ステップ202では、変数 l 、 n 、 r 、 t に0を設定する。

【0115】

ステップ203では、 l 番目のグループ(l)内の n 番目のラインに、SB(r)を書き込む。

【0116】

ステップ204では、 n および r を1増加させる。ここで、 r は7になると0に戻るとする。図における $r = \langle r + 1 \rangle$ は、1増加させた値が7より小さければそれを r の値とし、7であれば r に0を設定することを意味する。

40

【0117】

ステップ205では、 n が7であるかを判定し、7でなければステップ203に戻る。これにより、各サブ表示ライングループ内での書き込みが行われるライン位置が順にずれる。6番目のラインへの書き込みが終了すると、 n は7になるので、ステップ206に進む。

【0118】

ステップ206では、 l を1増加させ、 n に0を設定する。

【0119】

ステップ207では、 l がLに等しいかを判定し、等しくなければステップ203に戻

50

る。例えば、1 が 1 であれば 2 番目のサブ表示ライングループに対して書込みが行われる。以下、サブ表示ライングループに対して書込みが順次行われ、最後のサブ表示ライングループへの書込みが終了すると、1 は L になるので、ステップ 208 に進む。なお、ライン数が 7 の倍数でない時には、最後のサブ表示ライングループへの書込みで書込むラインが存在しない場合が生じるが、ここでは無視している。必要があれば、最終ラインであることを検出してステップ 208 に進むようにしてもよい。以上の動作で 1 フレームの書込みが完了する。

【0120】

ステップ 208 では、1, n に 0 を設定し、r に t の値を t + 1 の値に設定する。

【0121】

ステップ 210 では、t が 7 に等しいかを判定し、等しくなければステップ 203 に戻る。この場合、r は 1 増加しているので、各サブ表示ライングループ内でラインに書込まれるサブ電圧パルスが 1 ずれることになる。

【0122】

以下、同様の動作を繰り返すと、7 フレームの書込みが行われ、t = 7 となるので、ステップ 211 に進んで書込みを終了する。

【0123】

図 22 は、上記の駆動方法におけるスキャン順を説明する図である。第 1 フレームでは、各サブ表示ライングループ内の 0 から 6 番のラインに対して、SB1 から SB7 を印加する。第 2 フレームでは、各サブ表示ライングループ内の 0 から 6 番のラインに対して、SB2 から SB7、SB1 を印加する。以下同様である。

【0124】

上記の駆動方法では、7 つのフレームにおけるスキャン速度が均一化され、消費電力がより一層安定化する。

【0125】

第 2 ステップにおけるスキャン順については他の変形例も可能である。図 23 は、第 2 ステップ S2 における別の処理方法を示すフローチャートである。図 18 および図 21 を参照して説明したスキャン順では、7 フレームで書込みを行ったが、ここでは、1 つのサブ表示ライングループ内で連続して SB1 から SB7 を書込む。

【0126】

ステップ 301 では、7 ラインごとのサブ表示ライングループに分割する。この時のグループ数を L とする。

【0127】

ステップ 302 では、変数 n に 0 を設定する。

【0128】

ステップ 303 では、最初のサブ表示ライングループ内のすべてのラインに SB1 から SB7 を書き込む。この書込み順は各種可能であり、たとえば、SB1 を 0 番目のラインから 7 番目のラインに書込み、次に SB2 を 0 番目のラインから 7 番目のラインに書込み、以下 SB3 から SB7 を書き込む。また、図 22 の順で書込むことも可能であり、0 番目のラインから 7 番目のラインに SB1 から SB7 を書込み、0 番目のラインから 7 番目のラインに SB2 から SB7 および SB1 を書込み、以下図 22 のように 1 つずつずらしながら書き込む。

【0129】

ステップ 304 では、n を 1 だけ増加させ、ステップ 305 では n が m に等しいかを判定し、等しくなければステップ 303 に戻る。これにより、サブ表示ライングループに対してステップ 303 の書込みが行われる。n が m に等しくなれば、すべてのサブ表示ライングループに対して SB1 から SB7 が書き込まれるので終了する。

【0130】

上記の方法では、フレーム内でスキャン位置の戻りが繰り返されるが、見かけ上 1 フレームで書込みが終了する。

10

20

30

40

50

【0131】

図24は、図10を参照して説明した駆動方法の別の変形例を示すタイムチャートである。この変形例では、隣接するサブ表示ライングループに対する書込みで、第1フェーズと第2フェーズの順番を逆にする。図示のように、1番目のサブ表示ライングループに対して第1フェーズ+P1を行い、次に第2フェーズ-P1を行った後、1番目のサブ表示ライングループに対しては、第2フェーズ-P2を行い、次に第1フェーズ+Pを行う。以下、同様に第1フェーズと第2フェーズの順番を切り換えながらすべてのサブ表示ライングループに対する書込みを行う。これにより、コモンドライバの非選択出力の変化周期は2倍になり、セグメントドライバの選択出力が連続する場合の変化周期も2倍になり、消費電力をより一層低減できる。これは上記の変形例にも適用可能である。

10

【0132】

さらに、前述のように正負のパルスの印加周期が長くなると濃度差が生じるが、濃度差の発生には階調依存性があることが判明した。例えば、明階調ほど濃度差が大きい場合には、図15の明階調を書き込むSB1からSB3は正パルスの直後に負パルスを印加する従来の書込み方法として、SB4からSB7は上記のサブ表示ライングループで第1および第2フェーズを行う書き込み方法とするハイブリッドの駆動方法としてもよい。これにより、すべてのサブ電圧パルスをグルーピングして書き込むのに比べて消費電力は少し増加するが、濃度差を低減することができる。

【0133】

また、図12に示した3層構造のカラーコレスティック液晶の表示素子の例を説明したが、開示の技術は単層のコレスティック液晶の表示素子、2層のコレスティック液晶の表示素子にも同様に適用可能である。ここで、コレスティック液晶の場合、RGB各層でそれぞれ誘電率などの特性が異なり、消費電力も異なる場合がある。この場合、コモンドライバ28はRGBの各層ごとに設け、高誘電率で消費電力が大きい層ほどサブ表示ライングループのライン数を多くすれば、RGB各層の消費電力を平準化することができる。

20

【0134】

実施形態のカラーコレスティック液晶の表示装置は、全面を完全に書き換えるには数秒オーダーの時間を要する。これでは、ユーザがページめくりのような感覚で表示内容を簡単に変更することはできない。そこで、図18のシーケンスを途中で停止させる処理モードが考えられる。この処理モードをドラフトモードと仮称する。このドラフトモードでは、例えば、図18のシーケンスで、ステップ103で停止させる。停止させた段階では、各色が8階調レベル表示できるので、512色表示となる。これであれば、約2秒で表示の書換えが可能である。この状態は、最終的な4096色表示の過渡状態であるが、表示内容を認識するには十分であり、短時間に書き込めるため、ユーザがページめくりのような感覚で表示更新できる。もしユーザが表示内容を十分に閲覧したい場合は、モード変更を指示して、残りのステップ104から107を実行して追加の書込みを行うことで4096色表示とすることが可能であり、これにより十分な画質での閲覧が可能となる。

30

【0135】

図25は、図14に示した実施形態のコレスティック液晶のカラー型表示装置で、電力、表示情報およびクロックCLKの供給を外部から非接触（ワイヤレス）で行うようにした変形例を示す図である。この変形例のコレスティック液晶のカラー型表示装置は、図14に示した構成に、アンテナ41、電圧変換回路42、およびA/Dコンバータ43を付加した構成を有する。アンテナ41は、このコレスティック液晶のカラー型表示装置に近接した外部に設けられたリーダライタ51から、クロックCLK、表示情報および駆動電力を無線信号受ける。これについては、RFIDなどで広く知られているので説明は省略する。

40

【0136】

アンテナ41は、受信した駆動電力信号を電圧変換回路42に供給し、受信したクロックCLKを原振クロックとして分周部26に供給し、表示情報を制御回路に供給する（図示せず）。電圧変換回路42は、駆動電力信号を直流電圧の電力に変換して電源21に供

50

給すると共に、その受信電波強度をA/Dコンバータ43に供給する。A/Dコンバータ43は、電波強度のデジタル値を制御回路27およびアンテナ41に送る。アンテナ41は、表示情報の受信確認信号(ACK)と共に、受信状況を示す信号として電波強度のデジタル値を、リーダライタ51に返信する。この変形例の他の構成は、図14の実施形態と基本的に同じであるが、以下の点が異なる。

【0137】

このような表示装置は、消費電力が非常に小さいことが要求されるので、例えば、表示パネル10はQ-VGAの8色表示、言い換えればRGB各層は2値表示で、データラインが320本で、スキャンラインが240本である。この場合、全面をプレーナ状態にする第1ステップと階調を書込む第2ステップは行わない。スキャンドライバおよびセグメントドライバの両方の出力がオンである画素に±3.6V、スキャンドライバの出力がオンでセグメントドライバの両方の出力がオフである画素に±2.6V、スキャンドライバの出力がオフである画素には±5Vが印加されるように設定した。言い換えれば、セグメントドライバは、正極フェーズでは、オン時に+3.6Vを、オフ時には+2.6Vを、負極フェーズでは、オン時に0Vを、オフ時には+1.0Vを、出力する。コモンドライバは、正極フェーズでは、オン時に0Vを、オフ時には+2.1Vを、負極フェーズでは、オン時に+3.6Vを、オフ時には+1.5Vを、出力する。

【0138】

また、電圧安定部24の電圧の安定化には、ツェナーダイオードを使用した。前述のように、オペアンプを使用して安定化することも可能であるが、ツェナーダイオードを使用する方が省電力の点で好ましい。

【0139】

スキャンラインに対応した表示ラインは、複数のサブ表示ライングループに分割し、各サブ表示ライングループ内では、正極性の電圧パルスを表示ラインに連続して印加する第1フェーズと、負極性の電圧パルスを表示ラインに連続して印加する第2フェーズと、が実行される。ここで、サブ表示ライングループの電極数を、電波強度に応じて変化させる。制御回路27は、A/Dコンバータ43からの受信電波強度の値を受けると、これに基づいてサブ表示ライングループの電極数を決定する。例えば、電波強度が強い場合は、画質重視で電極数を少なくし(サブ表示ライングループ数を多くし)、電波強度が弱い場合は消費電力重視で電極数を多くする(サブ表示ライングループ数を少なくする)。

【0140】

以上、実施形態を説明したが、各種の変形例が可能であるのは言うまでもない。

【図面の簡単な説明】

【0141】

【図1】図1は、コレステリック液晶の双安定状態(プレーナ状態とフォーカルコニック状態)を説明する図である。

【図2】図2は、パルス電圧によるコレステリック液晶の状態変化を説明する図である。

【図3】図3は、コレステリック液晶に印加する大きな電圧と広いパルス周期のパルスによる反射率の変化を説明する図である。

【図4】図4は、コレステリック液晶に印加する中間電圧と狭い2種類のパルス周期のパルスによる反射率の変化を説明する図である。

【図5】図5は、階調パルス印加時のドライバ出力電圧と液晶印加電圧を示す図である。

【図6】図6は、実際に印加される対称パルスの例を示す図である。

【図7】図7は、液晶に印加する初期化パルス、パルス周期の異なる複数の階調パルスの例を示す図である。

【図8】図8は、駆動周波数を1/2にする従来例の駆動法を説明する図である。

【図9】図9は、本出願の書き込み処理を説明する図である。

【図10】図10は、本出願の書き込み処理のタイムチャートである。

【図11】図11は、本出願と従来例におけるコモンドライバの非選択出力の違いを示すタイムチャートである。

10

20

30

40

50

【図 1 2】図 1 2 は、本発明の実施形態のカラー表示装置のコレステリック液晶素子の積層構造を示す図である。

【図 1 3】図 1 3 は、実施形態のカラー表示装置の 1 枚のコレステリック液晶素子の構造を示す図である。

【図 1 4】図 1 4 は、実施形態のカラー表示装置の概略構成を示す図である。

【図 1 5】図 1 5 は、実施形態における第 2 ステップ（書き込み処理）での階調表示を説明する図である。

【図 1 6】図 1 6 は、実施形態における第 1 ステップ（初期化処理）でのドライバ出力電圧と印加電圧を示す図である。

【図 1 7】図 1 7 は、実施形態における第 1 ステップ（初期化処理）での、全面プレーナリセット処理を説明する図である。

10

【図 1 8】図 1 8 は、実施形態における第 2 ステップ（初期化処理）での処理を説明するフローチャートである。

【図 1 9】図 1 9 は、実施形態における第 2 ステップ（初期化処理）での駆動波形を示すタイムチャートである。

【図 2 0】図 2 0 は、コレステリック液晶の駆動周波数に対する静電容量の変化を示す図である。

【図 2 1】図 2 1 は、第 2 ステップ（初期化処理）での変形例の処理を示すフローチャートである。

【図 2 2】図 2 2 は、第 2 ステップ（初期化処理）での別の変形例の処理を示す説明する図である。

20

【図 2 3】図 2 3 は、第 2 ステップ（初期化処理）での変形例の処理を示すフローチャートである。

【図 2 4】図 2 4 は、第 2 ステップ（初期化処理）での変形例の処理を示すタイムチャートである。

【図 2 5】図 2 5 は、実施形態のカラーコレステリック液晶の表示装置の変形例の構成を示す図である。

【符号の説明】

【0 1 4 2】

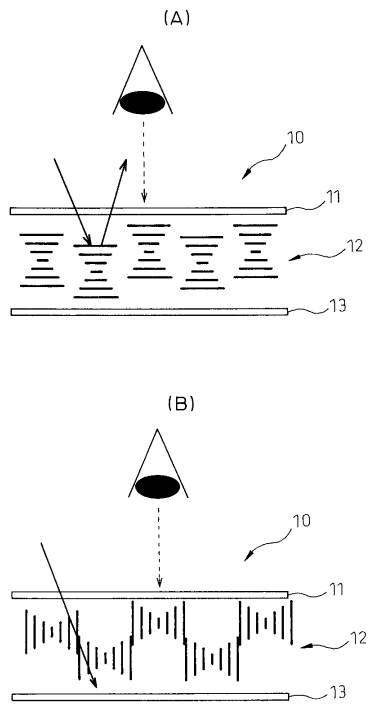
- 1 0 表示素子
- 1 1 上側基板
- 1 2 液晶層
- 1 3 下側基板
- 1 4 上側電極層
- 1 5 下側電極層
- 1 7 吸光層
- 1 8 制御回路
- 2 1 電源
- 2 2 昇圧部
- 2 3 電圧切替部
- 2 4 電圧安定部
- 2 7 制御回路
- 2 8 コモンドライバ
- 2 9 セグメントドライバ

30

40

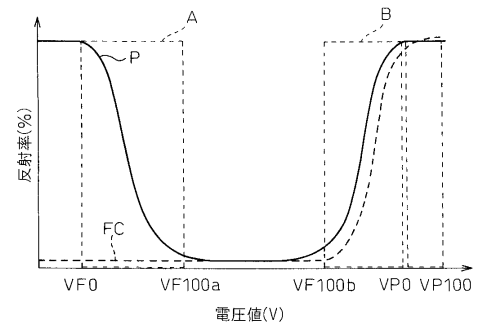
【図 1】

図 1



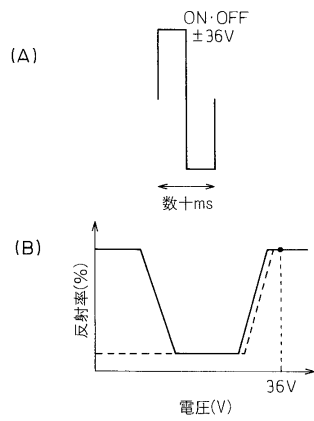
【図 2】

図 2



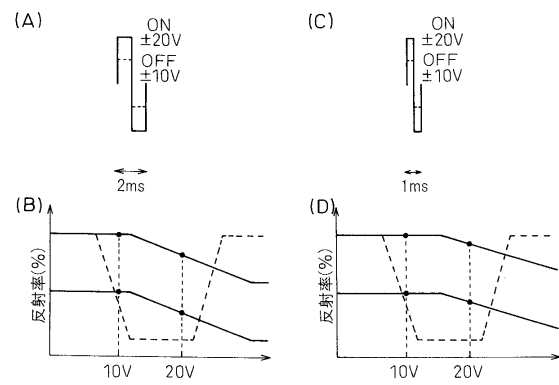
【図 3】

図 3



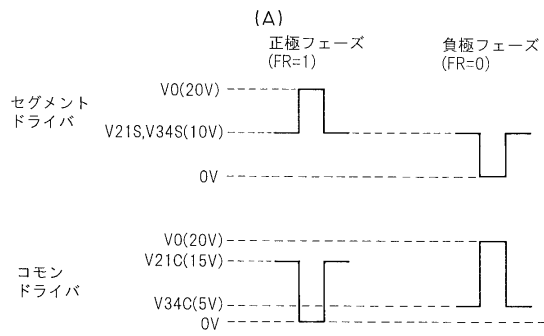
【図 4】

図 4



【図 5】

図5



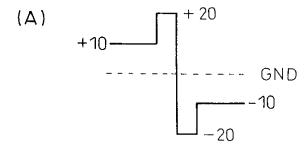
(B)

コモン	セグメント	正極性	負極性
ON	ON	20	-20
	OFF	10	-10
OFF	ON	5	-5
	OFF	-5	5

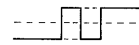
(V)

【図 6】

図6

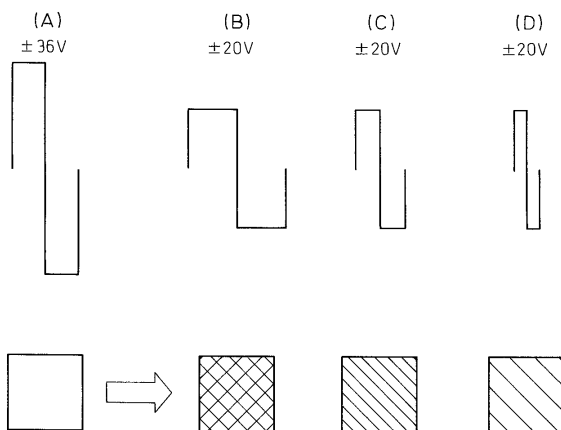


(B)



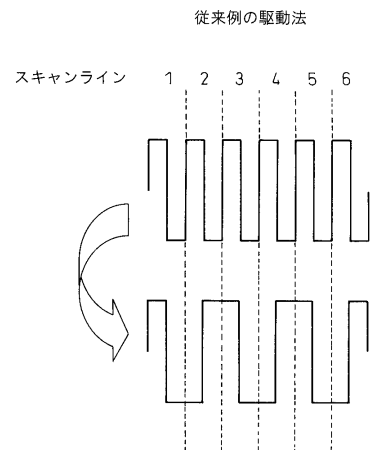
【図 7】

図7

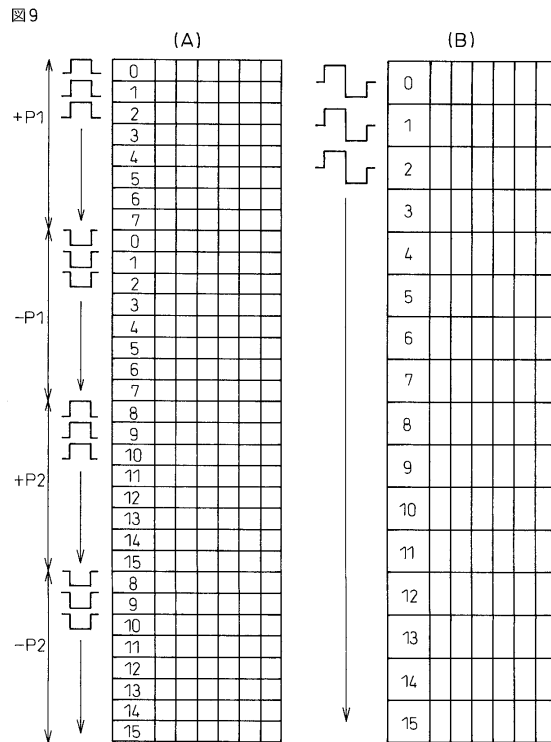


【図 8】

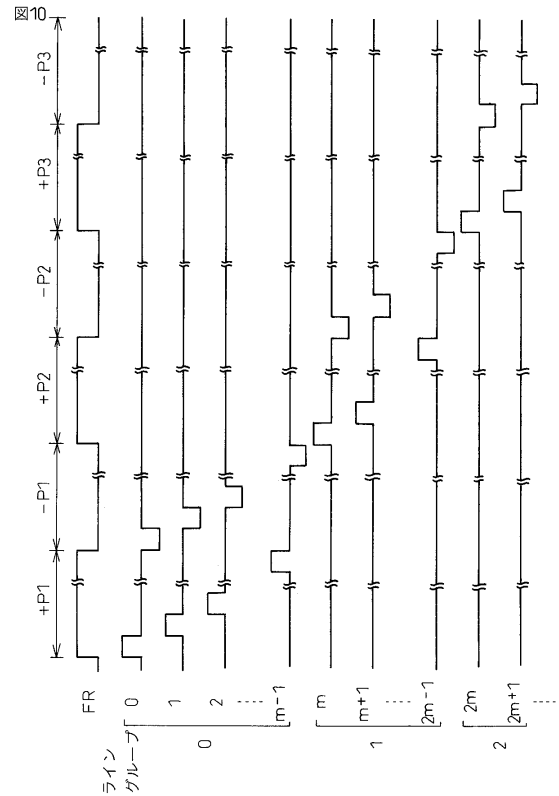
図8



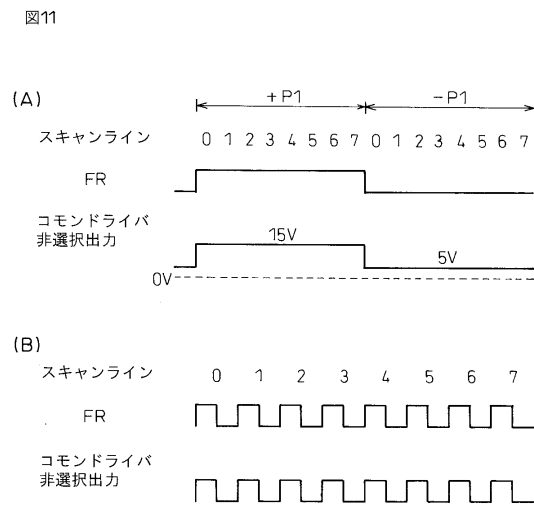
【図 9】



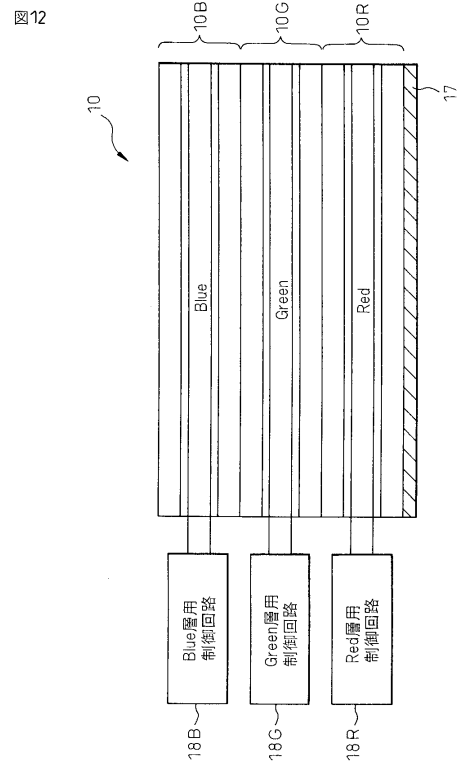
【図 10】



【図 11】

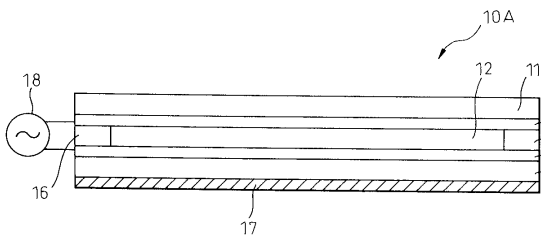


【図 12】



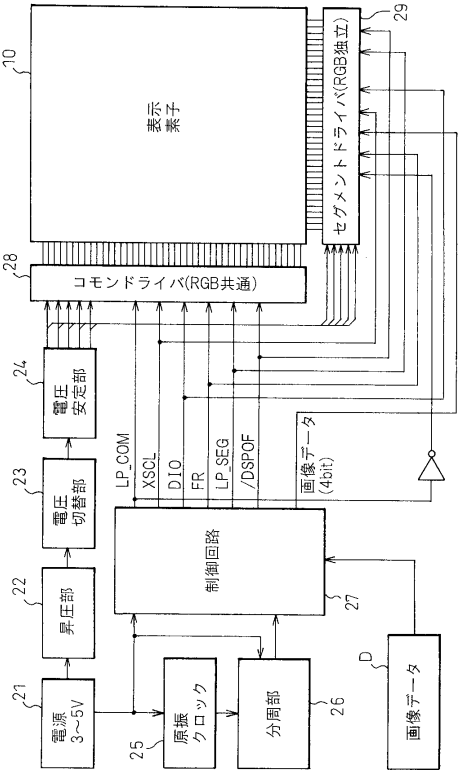
【図 1 3】

図13



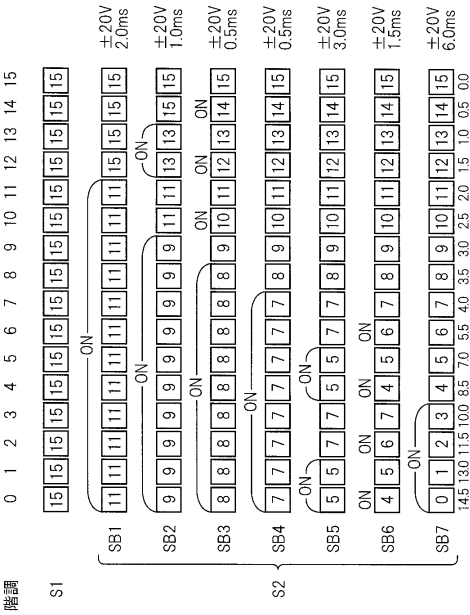
【図 1 4】

図14



【図 1 5】

図15



【図 1 6】

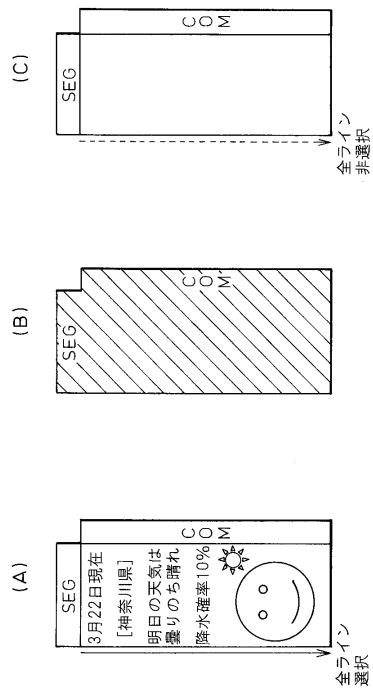
図16

(A)		
	前半	後半
ON-SEG	36	0
OFF-SEG	36	0
ON-COM	0	36
OFF-COM	36	0

(B)		
	前半	後半
選択ON	36	-36
選択OFF	36	-36
非選択ON	0	0
非選択OFF	0	0

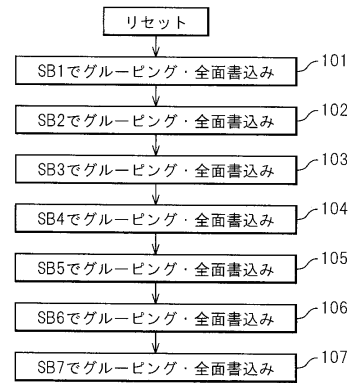
【図 17】

図17



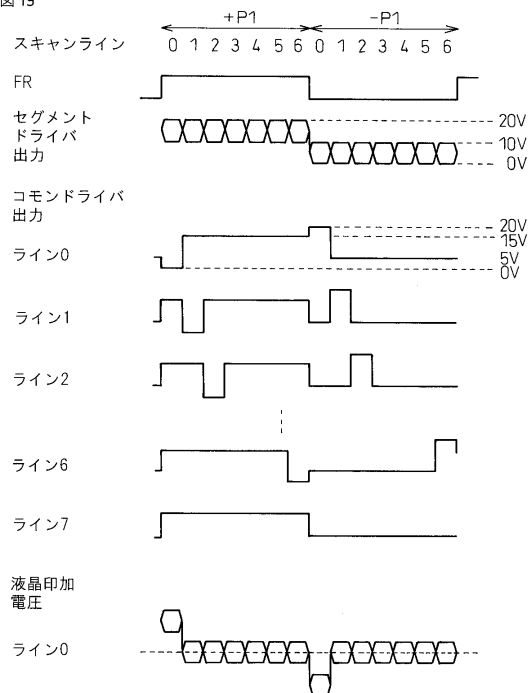
【図 18】

図18



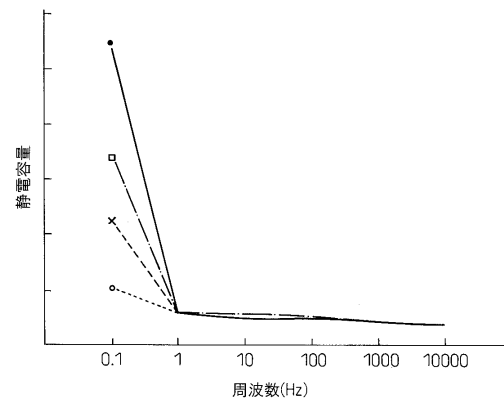
【図 19】

図19



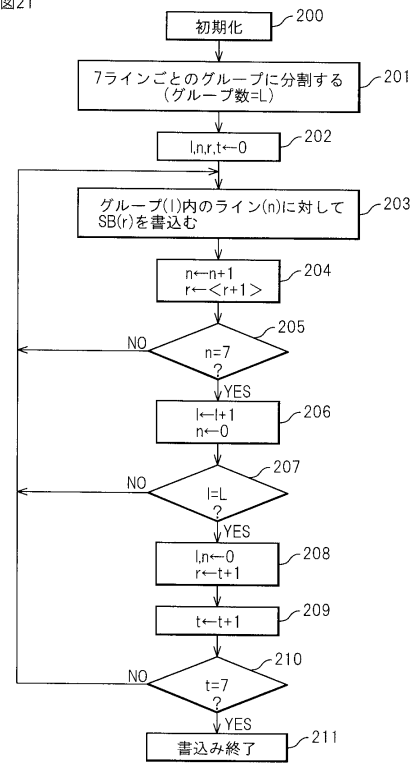
【図 20】

図20



【図 2 1】

図21



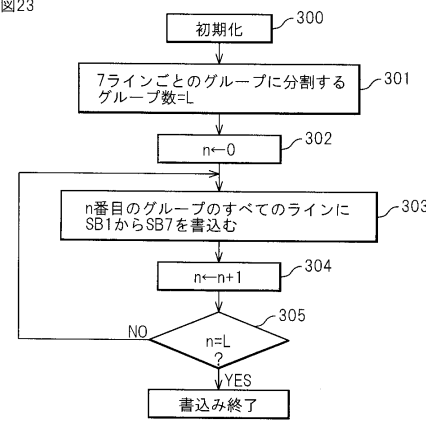
【図 2 2】

図22

ライン	フレーム内スキャン順						
	1	2	3	4	5	6	7
0	SB1	SB2	SB3	SB4	SB5	SB6	SB7
1	SB2	SB3	SB4	SB5	SB6	SB7	SB1
2	SB3	SB4	SB5	SB6	SB7	SB1	SB2
3	SB4	SB5	SB6	SB7	SB1	SB2	SB3
4	SB5	SB6	SB7	SB1	SB2	SB3	SB4
5	SB6	SB7	SB1	SB2	SB3	SB4	SB5
6	SB7	SB1	SB2	SB3	SB4	SB5	SB6

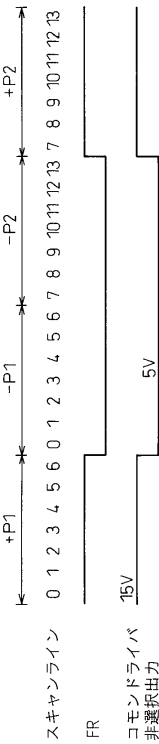
【図 2 3】

図23



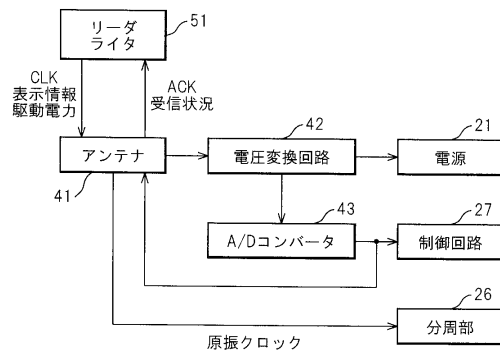
【図 2 4】

図24



【図 25】

図25



フロントページの続き

- (51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 U
G 0 2 F 1/133 5 2 5
G 0 2 F 1/137
- (74)代理人 100114177
弁理士 小林 龍
- (72)発明者 能勢 将樹
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 新海 知久
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 植原 啓方
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 小濱 健太

- (56)参考文献 特開2004-117758 (JP, A)
特開2005-266163 (JP, A)
特開2005-292585 (JP, A)
特開2002-049358 (JP, A)
特開2003-186456 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G 0 2 F 1/133
G 0 9 G 3/36

专利名称(译)	用于驱动点阵型显示元件的方法和设备		
公开(公告)号	JP5130931B2	公开(公告)日	2013-01-30
申请号	JP2008022767	申请日	2008-02-01
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
当前申请(专利权)人(译)	富士通株式会社		
[标]发明人	能勢将樹 新海知久 植原啓方		
发明人	能勢 将樹 新海 知久 植原 啓方		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 G02F1/137		
FI分类号	G02F1/133.560 G09G3/36 G09G3/20.621.B G09G3/20.611.A G09G3/20.622.R G09G3/20.623.U G02F1/133.525 G02F1/137		
F-TERM分类号	2H088/EA03 2H088/GA03 2H088/GA17 2H088/HA01 2H088/HA07 2H088/JA14 2H088/KA02 2H088/KA06 2H088/KA26 2H088/MA20 2H093/NA13 2H093/NA33 2H093/NA45 2H093/NA47 2H093/NA53 2H093/NA56 2H093/NA62 2H093/NC04 2H093/NC05 2H093/NC10 2H093/NC12 2H093/NC49 2H093/ND06 2H093/ND17 2H093/ND31 2H093/ND35 2H093/ND39 2H093/ND54 2H093/ND60 2H093/NE01 2H093/NF14 2H093/NH01 2H093/NH04 2H093/NH06 2H093/NH12 2H093/NH13 2H193/ZA38 2H193/ZB42 2H193/ZC15 2H193/ZC20 2H193/ZC26 2H193/ZD23 2H193/ZD26 2H193/ZE20 2H193/ZF03 2H193/ZF04 2H193/ZF14 2H193/ZF22 2H193/ZF36 2H193/ZP01 2H193/ZQ10 2H193/ZQ19 2H193/ZR12 5C006/AC02 5C006/AC24 5C006/AC26 5C006/BA11 5C006/BB12 5C006/BC03 5C006/FA04 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF07 5C080/FF12 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C080/KK08		
代理人(译)	青木 笃 小林 龙		
其他公开文献	JP2009181110A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种胆甾型液晶显示元件的驱动方法，其功耗降低，同时避免由于显示材料的极化引起的不足。

ŽSOLUTION：显示装置包括：点阵型显示元件10，具有多条扫描线和多条数据线;驱动显示元件的驱动电路28,29，其中显示元件包括多个子显示线组，分别形成有至少两条扫描线，驱动电路连续执行第一阶段处理+ P1，+ P2通过连续扫描子显示行组中的显示行来执行第一极性的写入，以及通过连续扫描显示行来执行第一极性和第二极性的反极性的写入的第二相位处理-P1，-P2在子显示行组中。Ž

