

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5059299号
(P5059299)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)

GO2F 1/1343 (2006.01)

HO1L 29/786 (2006.01)

GO2F 1/1368

GO2F 1/1343

HO1L 29/78 614

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2005-154613 (P2005-154613)	(73) 特許権者	501426046
(22) 出願日	平成17年5月26日 (2005. 5. 26)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2006-189758 (P2006-189758A)		ミテッド
(43) 公開日	平成18年7月20日 (2006. 7. 20)		大韓民国 ソウル、ヨンドゥンポグ、ヨ
審査請求日	平成20年1月18日 (2008. 1. 18)		ウィーテロ 128
審判番号	不服2011-16235 (P2011-16235/J1)	(74) 代理人	100110423
審判請求日	平成23年7月27日 (2011. 7. 27)		弁理士 曾我 道治
(31) 優先権主張番号	10-2004-0118365	(74) 代理人	100111648
(32) 優先日	平成16年12月31日 (2004.12.31)		弁理士 梶並 順
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100147566
			弁理士 上田 俊一
		(72) 発明者	チョン・ジン・パク
			大韓民国、キョンギード、アニョン、ピョ
			ンチョン・ドン 897-5、チョウォン
			・アパートメント 604-602
			最終頁に続く

(54) 【発明の名称】 IPSモードの液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のゲートラインと前記複数のゲートラインと垂直に交差する複数のデータラインとにより定義され、複数の単位画素をなすゲートラインに沿って順次配置されている第 N - 1、第 N、第 N + 1 の単位画素と、

前記第 N - 1、第 N、第 N + 1 の単位画素毎に形成されるスイッチング素子と、
前記第 N - 1、第 N、第 N + 1 の単位画素毎に形成され、前記第 N - 1、第 N、第 N + 1 の単位画素毎に備えられたスイッチング素子と連結される第 1 の電極と、

前記第 N の単位画素に形成された前記第 1 の電極から延びて前記第 N - 1 の単位画素に形成される第 2 の電極、及び前記第 N + 1 の単位画素に形成された第 1 電極から延びて前記第 N の単位画素に形成される他の第 2 の電極と

を備え、
前記第 N - 1 及び第 N の単位画素毎に形成された前記第 2 の電極は、前記第 N - 1 及び第 N の単位画素毎に形成された前記第 1 電極と互いに平行に形成され、

前記第 N - 1、第 N、第 N + 1 の単位画素毎に備えられた前記第 1 の電極は、前記第 N - 1、第 N、第 N + 1 の単位画素毎に備えられたスイッチング素子に備えられたドレイン電極に連結され、

前記第 1 の電極と第 2 の電極毎に互いに平行した複数のサブ電極が備えられており、
前記単位画素毎に形成された第 1 の電極と、前記第 1 の電極から延びて前記単位画素それぞれに対し隣接する単位画素毎に形成される第 2 の電極とは、一体に形成される

10

20

ことを特徴とするIPSモードの液晶表示装置。

【請求項2】

前記第1の電極と前記第2の電極とは、互いに平行である
ことを特徴とする請求項1に記載のIPSモードの液晶表示装置。

【請求項3】

前記第1の電極と前記第2の電極は、横電界を形成する
ことを特徴とする請求項1に記載のIPSモードの液晶表示装置。

【請求項4】

前記第1の電極と第2の電極間のデータの電圧差が画像情報である
ことを特徴とする請求項1に記載のIPSモードの液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、隣接する電極間で横電界を形成するインプレーンスイッチング(In Plane Switching: 以下、IPSと称する)モードの液晶表示素子に関する。

【背景技術】

【0002】

近来、携帯電話、PDA、ノートブックコンピュータのような各種携帯用電子機器が発展するにつれて、これに適用できる軽薄短小型の平板表示装置(Flat Panel Display Device)に対する要求が次第に増大している。

20

【0003】

このような平板表示装置としては、LCD(Liquid Crystal Display)、PDP(Plasma Display Panel)、FED(Field Emission Display)、VFD(Vacuum Fluorescent Display)などが活発に研究されているが、このうち、量産化技術、駆動手段の容易性、高画質の実現という理由により、現在は液晶表示装置(LCD)が脚光を浴びている。

【0004】

一般的な液晶表示装置は、電界を利用して液晶の光透過率を調節することにより画像を実現する。このために、液晶表示装置は、複数の画素がマトリックス状に配列された液晶パネルと、当該液晶パネルを駆動するための駆動回路とを備える。

【0005】

30

図6は、一般的なIPSモードの液晶表示素子の単位画素を示す平面図である。図6に示すように、液晶パネルの第1基板上には、ゲートライン101とデータライン102とが交差するように配列されて画素領域が定義され、前記ゲートライン101とデータライン102との交差領域には、スイッチング素子である薄膜トランジスタ(Thin Film Transistor: TFT)が形成される。液晶パネルの各画素には、画素電極103と共通電極105とが交互に配置されるが、前記画素電極103は、前記薄膜トランジスタのソース/ドレイン電極106、107からデータ信号を受けて、前記共通電極105と共に第1基板上に横電界を形成する。前記薄膜トランジスタのゲート電極109は、データ信号が1ライン分ずつの画素電極103に印加されるように前記ゲートライン101に接続される。

【0006】

40

これにより、液晶表示装置は、画素別に供給されたデータ信号によって前記画素電極103と共通電極105間に印加される電界により、液晶層の光透過率を調節することにより画像を表示する。

【0007】

また、図には示していないが、第2基板上には、カラーフィルタ層が形成され、前記第1基板と第2基板間の離隔空間には液晶層が充填される。前記液晶層の液晶分子は、前記画素電極103と共通電極105間に形成される横電界により駆動されるので、TN(Twisted Nematic)モードの液晶表示素子に比べて可視範囲が広くなり、上、下、左、右方向に約80°～85°範囲の視野角を確保することができる。

【0008】

50

図7は、一般的なIPSモードの液晶表示素子の単位画素を示す回路図である。図7に示すように、液晶表示素子は、ゲートラインV_{gate}とデータラインV_{data}との交差領域に、スイッチング素子である薄膜トランジスタが形成され、前記TFTは、液晶に電界を印加する一電極である画素電極(図示せず)と連結される。前記画素電極と共通電極V_{com}間に横電界が形成されることによって、前記画素電極、共通電極V_{com}及びこれらの間の液晶層が1つのキャパシタC_{LC}を形成する。さらに、前記画素電極、共通電極V_{com}及びこれらの間の絶縁層がストレージキャパシタC_{ST}を形成し、データ信号を維持させる。

【発明の開示】

【発明が解決しようとする課題】

10

【0009】

しかしながら、液晶表示素子が大型化するにつれて、基板上に縦横に配列されるゲートライン及びデータラインが長くなり、これにより、線抵抗が増加して1つのゲートラインに沿って形成される各TFTの駆動が一定にならない、ライン・ディレイ(line delay)現象が激しくなる。即ち、走査信号が長いゲートラインを通じて印加されることによって、1つのゲートラインの第1のTFTと第NのTFTとが、線抵抗により互いに異なる走査信号を受ける問題が発生し得る。

【0010】

また、大型液晶表示装置においては、1回のフォトリソ工程でパターンが形成できないため、複数回のフォトリソ工程を行う。従って、1つの基板に複数回のフォトリソ工程を行うことにより、各フォトリソ工程により形成されるTFTの性能が異なり、単位画素が互いに異なる画質を示すので、全体の画質を低下させることになる。

20

【0011】

また、一般的なIPSモードの液晶表示素子においては、横電界を印加するために、画素電極と、前記画素電極と平行に対向する共通電極とを備えるが、前記共通電極は開口率を減少させる問題を発生させる。従って、開口率を最大化するために、共通電極ラインをゲートラインと隣接して形成するが、この過程で、ゲートラインとの短絡などが発生し得、製造工程を難しくする。

【0012】

本発明は、このような従来技術の問題点を解決するためになされたもので、IPSモードの液晶表示素子の構成において、共通電極を別途に構成することなく、隣接画素に形成される電極間で横電界を形成するようにして、ライン・ディレイ問題及びTFT性能のバラツキによる画質の低下を防止しようとするものである。また、共通電極を形成しないことで工程を単純化し、ゲートライン形成時に発生していた不良を減らして液晶表示装置の製造工程を単純化することを目的とする。

30

【課題を解決するための手段】

【0013】

このような目的を達成するために、本発明は、複数のゲートラインと前記複数のゲートラインと垂直に交差する複数のデータラインとにより定義され、複数の単位画素をなすゲートラインに沿って順次配置されている第N-1、第N、第N+1の単位画素と、前記第N-1、第N、第N+1の単位画素毎に形成されるスイッチング素子と、前記第N-1、第N、第N+1の単位画素毎に形成され、前記第N-1、第N、第N+1の単位画素毎に備えられたスイッチング素子と連結される第1の電極と、前記第Nの単位画素に形成された前記第1の電極から延びて前記第N-1の単位画素に形成される第2の電極、及び前記第N+1の単位画素に形成された第1電極から延びて前記第Nの単位画素に形成される他の第2の電極とを備え、前記第N-1及び第Nの単位画素毎に形成された前記第2の電極は、前記第N-1及び第Nの単位画素毎に形成された前記第1電極と互いに平行に形成され、前記第N-1、第N、第N+1の単位画素毎に備えられた前記第1の電極は、前記第N-1、第N、第N+1の単位画素毎に備えられたスイッチング素子に備えられたドレイン電極に連結され、前記第1の電極と第2の電極毎に互いに平行した複数のサブ電極が備

40

50

えられており、前記単位画素毎に形成された第 1 の電極と、前記第 1 の電極から延びて前記単位画素それぞれに対し隣接する単位画素毎に形成される第 2 の電極とは、一体に形成される。

【発明の効果】

【0015】

液晶表示装置が大型化するにつれて、ゲートラインが長くなって線抵抗が増加してライン・ディレイ現象が発生するが、本発明による IPS モードの液晶表示装置においては、隣接するデータラインから印加されるデータ電圧により単位画素に横電界を発生させるため、ライン・ディレイ現象を防止できるという効果がある。

【0016】

また、薄膜トランジスタの基板上に形成される位置によって、薄膜トランジスタにバラツキが発生しても、隣接する薄膜トランジスタ間では殆どバラツキがないため、薄膜トランジスタのバラツキによる画質の低下を防止できるという効果がある。

【0017】

さらに、本発明においては、共通電極を形成しないため、共通電極による開口率の減少を防止することができ、ゲートラインの形成工程を単純化して工程の短縮を図ることができるという効果がある。

【発明を実施するための最良の形態】

【0018】

本発明の第 1 の実施の形態による IPS モードの液晶表示素子は、単位画素毎に形成される 1 対のスイッチング素子と、前記 1 対のスイッチング素子とそれぞれ連結される電極とを備える。また、本発明は、IPS モードの液晶表示素子の構成において、共通電極を形成することなく、隣接するデータラインにそれぞれ連結される電極を通じて横電界を形成することを特徴とする。即ち、第 1 のデータラインに連結される第 1 のスイッチング素子を通じてデータ電圧を受ける第 1 の電極と、前記第 1 のデータラインに隣接する第 2 のデータラインに連結される第 2 のスイッチング素子を通じてデータ電圧を受ける第 2 の電極間で、それぞれのデータ電圧により横電界が形成される。

【0019】

また、前記第 1 の電極及び第 2 の電極にデータ電圧を印加する際、第 1 のデータラインを通じて印加される第 1 のデータ電圧と、第 2 のデータラインを通じて印加される第 2 のデータ電圧との差が画像情報になるように、前記第 1 の電極及び第 2 の電極にそれぞれデータ電圧を印加する。

【0020】

また、本発明の第 2 の実施の形態による液晶表示素子は、単位画素毎に形成される 1 つのスイッチング素子と、前記スイッチング素子と連結される電極とを備え、前記電極は、第 N の単位画素に形成される第 1 の電極と、前記第 N の単位画素に隣接する第 N - 1 の単位画素に形成される第 2 の電極とからなることを特徴とする。また、前記第 1 の電極と第 2 の電極とは一体に形成される。

【0021】

さらに、第 N のデータラインから第 1 の電極に印加される第 N のデータ電圧、及び第 N + 1 のデータラインから前記第 1 の電極と同一単位画素に形成される第 2 の電極に印加される第 N + 1 のデータ電圧により横電界を形成し、これらのデータ電圧の差が画像情報となることを特徴とする。

【0022】

以下、図 1 及び図 2 を参照して、本発明の第 1 の実施の形態による液晶表示素子を説明する。

図 1 は、本発明の第 1 の実施の形態による単位画素を示す回路図である。図 1 に示すように、複数のゲートライン G 1、G 2・・・と、前記複数のゲートライン G 1、G 2・・・と垂直に交差する複数のデータライン D 1、D 2、D 3・・・とにより単位画素が定義される。

10

20

30

40

50

【 0 0 2 3 】

前記単位画素には、スイッチング素子として１対のＴＦＴ　Ｔ１、Ｔ２がそれぞれ備えられるが、これらのＴＦＴ　Ｔ１、Ｔ２はそれぞれ電極と連結され、これらの電極は互いに平行である。また、前記電極は、液晶層との間でキャパシタを形成する。さらに、前記電極間にはデータラインから印加される電圧により横電界が形成され、前記電極間にはキャパシタが形成される。

【 0 0 2 4 】

以下、本発明の第１の実施の形態による液晶表示素子の構造及びその動作を図２Ａ及び図２Ｂを参照して説明する。

図２Ａ及び図２Ｂに示すように、複数のゲートライン４０１と、前記複数のゲートライン４０１と垂直に交差する複数のデータライン４０２ａ、４０２ｂとにより単位画素４３０が定義される。前記単位画素４３０には、スイッチング素子である１対の薄膜トランジスタ４１０、４２０が形成される。前記１対の薄膜トランジスタを便宜上、第１のＴＦＴ４１０及び第２のＴＦＴ４２０と称する。

【 0 0 2 5 】

前記第１のＴＦＴ４１０は、前記ゲートライン４０１と第１のデータライン４０２ａとの交差領域に形成され、前記第２のＴＦＴ４２０は、前記ゲートライン４０１と第２のデータライン４０２ｂとの交差領域に形成される。

【 0 0 2 6 】

また、前記第１のＴＦＴ４１０には、該第１のＴＦＴ４１０のドレイン電極４０３を介して第１の電極４０４が連結され、前記第２のＴＦＴ４２０には、該第２のＴＦＴのドレイン電極を介して第２の電極４０５が連結されている。前記第１の電極４０４及び第２の電極４０５は、それぞれ少なくとも１つ以上の互いに平行なサブ電極を備えることができる。さらに、前記第１の電極４０４と第２の電極４０５とは、互いに平行であり、前記第１のデータライン４０２ａ及び第２のデータライン４０２ｂから印加される電圧により横電界を形成し、これにより、液晶が駆動される。

【 0 0 2 7 】

一方、前記第１の電極４０４及び第２の電極４０５は、同一層上に透明電極物質から形成することができ、図３Ａに示すように、何れか１つは透明電極物質から形成し、他の１つはゲート電極形成物質と同じ物質から形成することができる。

図２Ａ及び図３Ａに示す液晶表示素子は、単に、何れの段階で電極を形成するかの形成順序に差があり、その機能は同一である。

但し、図２Ａに示すように、前記第１の電極４０４及び第２の電極４０５を透明電極物質から形成する場合、開口率を向上させることができる。

【 0 0 2 8 】

前述したように、本発明の第１の実施の形態による液晶表示素子は、単位画素毎に第１及び第２のＴＦＴ４１０、４２０を備え、前記第１及び第２のＴＦＴとそれぞれ連結される第１及び第２の電極４０４、４０５を備えて横電界を発生させるため、共通電極及び画素電極を使用して横電界を発生させる従来のＩＰＳモードの液晶表示素子に比べて、構造が簡単であり、開口率を向上させることができる。

【 0 0 2 9 】

特に、従来のＩＰＳモードの液晶表示素子の製造工程においては、共通電極がゲートラインと同時に形成され、開口率を増加させるために、ゲートラインと共通電極とを可能な限り近接して形成する。その過程で、ゲートラインと共通電極ラインとが短絡する問題が発生することがあり、短絡したゲートラインを補修するための補修過程が必要である。

【 0 0 3 0 】

しかしながら、本発明においては、共通電極ラインを本質的に形成しないため、ゲートラインと共通電極ラインとが短絡する問題が発生せず、ゲートラインの補修工程も不要である。

【 0 0 3 1 】

一方、従来は、共通電圧が印加される共通電極と、データラインからデータ電圧が印加される画素電極とにより横電界が形成されて液晶に画像情報が実現されたが、本発明においては、共通電極を備えないので、画素情報を実現する方法が従来と異なる。即ち、前記単位画素に同時に印加される第1のデータ電圧と第2のデータ電圧との差により画素情報が実現される。

【0032】

以下、前記画像情報を実現する動作を説明する。

走査信号がゲート駆動回路(図示せず)からゲートライン401に1ライン分ずつ印加されると、ゲートライン401に連結されている各単位画素の第1のTF T 410及び第2のTF T 420のチャンネルはターンオンする。次に、第1及び第2のデータライン402a、402bを通じて、ゲートライン401の1ライン分に該当するデータ信号が第1及び第2のTF T 410、420に印加される。

10

【0033】

従って、第1のデータ信号は、第1のデータライン402a及び第1のTF T 410を通じて、第1の電極404に印加され、第2のデータ信号は、第2のデータライン402b及び第2のTF T 420を通じて、第2の電極405に印加される。また、第1の電極404及び第2の電極405に印加されるデータ電圧により、前記第1の電極404と第2の電極405間に横電界が発生して液晶を駆動させる。

【0034】

ここで、前記第1の電極404及び第2の電極405に印加されるデータ電圧により液晶を駆動させるので、これらのデータ電圧の差は、従来の共通電極と画素電極間で発生する電圧差と同一であるべきである。

20

【0035】

従って、第1のデータ電圧及び第2のデータ電圧は従来と異なり、第1のデータ電圧と第2のデータ電圧との電圧差が従来の共通電極と画素電極間で発生する電圧差と同一になるように、第1及び第2のデータ電圧を調整して印加する必要がある。即ち、単位画素には、2つのデータ電圧が印加され、印加される2つのデータ電圧の差が画像情報になるように、データ信号を調整して印加する。

【0036】

前記第1及び2データ電圧の調整は、タイミングコントローラにより行うことができ、画像情報の実現は、前記タイミングコントローラで、外部から印加されるデータ電圧を制御し、その調整されたデータ信号を生成した後、データラインに印加することで行われる。

30

【0037】

一方、電極にデータ信号が印加される場合、前記電極間にはキャパシタが形成されて、単位画素の画像情報を所定時間維持させるストレージキャパシタとしての機能を行うことができる。

【0038】

図2Bは、図2AのI-I線断面図である。

図2Bに示すように、本発明の単位画素には、第1のTF T 410及び第2のTF T 420が形成され、これらの第1のTF T 410及び第2のTF T 420とそれぞれ連結される第1の電極404及び第2の電極405が形成される。

40

【0039】

前述の構造をより詳しく説明すると、基板400上にゲート電極450が形成され、前記ゲート電極450は、ゲート絶縁層451により絶縁される。前記ゲート絶縁層451上には、半導体から構成されることができアクティブ層460が形成され、前記アクティブ層460は、層間絶縁層452により絶縁されている。

【0040】

また、前記層間絶縁層452上には、前記アクティブ層460とそれぞれ連結されるソース電極470及びドレイン電極403が形成され、前記ソース及びドレイン電極470

50

、４０３上には、保護層４５３が形成される。

前記保護層４５３上には、前記ドレイン電極４０３と連結される第１の電極４０４及び第２の電極４０５が形成される。これらの第１及び第２の電極４０４、４０５は、透明電極物質から形成されて開口率を向上させることができる。

【００４１】

一方、本発明の第１の実施の形態による液晶表示素子において、前記電極は、透明電極物質の他に、ゲートラインを形成する金属物質から形成することもできる。

図３Ａは、対向する電極の何れか１つの電極を、ゲートラインを形成する金属物質から形成したものを示す。

図３Ａは、図２Ａに示す第１の実施の形態の変形例として、第２の電極４０６がゲートライン４０１と同一層上に同一物質から形成された点で、図２Ａに示す第１の実施の形態と異なる。

【００４２】

即ち、図３Ａに示すように、前記第２の電極４０６は、アルミニウムまたはモリブデンなどの金属物質から形成することができる。従って、前記第２の電極４０６は、ゲートライン４０１が形成される段階で同時にパターニングされることで形成されることができる。

【００４３】

図３Ｂは、図３ＡのII-II線断面図で、前記第２の電極４０６がゲートライン４０１と同一層上に形成され、第２のＴＦＴ４２０のドレイン電極４０３と連結されることを確認することができる。

【００４４】

本発明の第１の実施の形態においては、単位画素に１対の薄膜トランジスタを形成し、前記１対の薄膜トランジスタにそれぞれ連結される電極を形成することにより、１つのゲートラインが長くなって線抵抗が大きく発生しても、１つの単位画素に形成された１対の薄膜トランジスタには殆ど同じゲート電圧が印加され、且つ、隣接するデータ電圧間の差により画像情報が実現されるので、ライン・ディレイ現象が発生しない。

【００４５】

また、前記単位画素の駆動が単位画素内の薄膜トランジスタ、及び各単位画素を定義する隣接するデータラインから印加されるデータ電圧により決定されるので、スイッチング素子を構成する薄膜トランジスタの特性において、基板全体では多少のバラツキが発生しても、単位画素内では殆どバラツキが発生しないため、薄膜トランジスタのバラツキによる画質の低下を防止することができる。

【００４６】

一方、本発明は、単位画素に形成される１つの薄膜トランジスタと、前記薄膜トランジスタのドレイン電極と連結され、隣接する２つの画素にわたって形成される１つの電極とを備えて構成される。

【００４７】

以下、図４及び図５を参照して、本発明の第２の実施の形態による液晶表示素子を説明する。

図４は、本発明の第２の実施の形態による単位画素を示す回路図である。各単位画素は、１つの薄膜トランジスタを備え、前記薄膜トランジスタには、隣接する２つの単位画素にわたって形成される１つの電極が連結されることに特徴がある。

【００４８】

第２の実施の形態が第１の実施の形態と異なる点は、単位画素当たり１つのスイッチング素子を備え、一体をなす１つの電極が隣接する２つの単位画素にわたって形成され、且つ、前記電極が前記１つのスイッチング素子により制御されることにある。

【００４９】

以下、本発明の第２の実施の形態による液晶表示素子の構造及び動作を図５を参照して説明する。

図5に示すように、本発明の第2の実施の形態は、複数のゲートライン601と、前記複数のゲートライン601と垂直に交差する複数のデータライン602a、602b、602cとにより、第1の単位画素650及び第2の単位画素640が定義され、これらの単位画素毎に1つの薄膜トランジスタ610が形成され、前記薄膜トランジスタ610には、隣接する単位画素にわたって一体に形成される電極が連結される。

【0050】

前記電極は、便宜上、第1の電極620と第2の電極630とに区分して説明するが、前記第1の電極620と第2の電極630とは一体に形成される。

また、前記第1の電極620が第1の単位画素650に形成され、前記第2の電極630が前記第1の単位画素650の左側に位置する第2の単位画素640に形成され、結局、1つの電極が隣接する2つの単位画素にわたって形成される。

10

【0051】

前記第1の電極620及び第2の電極630は、互いに平行な複数のサブ電極をさらに備えることができ、隣接する単位画素に形成される電極と平行をなす。言い換えれば、前記第1の電極620と第2の電極630とが一体をなすので、任意の単位画素には、第1の電極620と第2の電極630が共に形成され、これらの電極620、630は互いに平行である。また、1つの単位画素に共に形成される第1の電極620と第2の電極630とは、隣接した単位画素に形成された互いに異なる薄膜トランジスタにより駆動されて横電界を形成する。

【0052】

20

結局、第2の実施の形態による液晶表示素子は、単位画素毎に、1つの薄膜トランジスタと、第2の単位画素640に形成される第1の電極620と、前記第2の単位画素640に隣接した第1の単位画素650から延びる第2の電極630とを備える。また、前記第1の電極620と第2の電極630とは互いに平行である。

【0053】

以下、前述の構造を有する本発明の第2の実施の形態の動作を説明する。

本発明の第2の実施の形態は、前記第1の実施の形態と同様に、隣接するデータラインを通じて提供されるデータ電圧により横電界が形成され、前記横電界により液晶が駆動されるものである。但し、前記データ電圧の制御が単位画素当たり1つずつ形成される薄膜トランジスタにより行われる点で第1の実施の形態と異なる。

30

【0054】

図5に示すように、走査信号がゲート駆動回路(図示せず)からゲートラインに1ライン分ずつ提供されると、前記ゲートライン601に形成される複数の薄膜トランジスタ610はターンオンする。

次に、データ駆動回路(図示せず)からデータ電圧が印加されると、第1及び第2のデータライン602a、602bと連結される薄膜トランジスタ610を通じて、第1及び第2の電極620、630にデータ電圧が印加される。

【0055】

図5の単位画素640を参照してその一例を挙げると、ゲート信号により薄膜トランジスタ610がターンオンした後、第1のデータライン602a及び第2のデータライン602bを通じて、第1のデータ電圧及び第2のデータ電圧がそれぞれ薄膜トランジスタ610に印加される。

40

【0056】

すると、前記第1のデータライン602aから入力される第1のデータ電圧は、第1の電極620に印加される。また、前記第2のデータライン602bから入力される第2のデータ電圧は、第2のデータライン602bに連結される薄膜トランジスタにより制御されて、第2の電極630に印加される。従って、第1のデータ電圧が印加される第1の電極620と、第2のデータ電圧が印加される第2の電極630とにより横電界が形成され、前記横電界により液晶が駆動される。

【0057】

50

従って、第1のデータ電圧と第2のデータ電圧との差が単位画素を駆動する画像情報となるので、画素電極及び共通電極を備え、データ電圧を受けて画像情報を実現する従来のIPSモードの液晶表示素子とは異なる方式でデータ電圧を印加すべきである。

【0058】

即ち、1つの単位画素には、隣接する2つのデータラインから印加される2つのデータ電圧の差により画像情報が決定されるので、データ信号をデータ駆動回路に提供する前に、タイミングコントローラ(図示せず)は、第Nのデータ電圧と第N+1のデータ電圧との差が画像情報となるように、データ電圧を変化させる必要がある。

【0059】

前述したように、単位画素には常に個別的に提供されるデータ電圧により横電界を形成できるので、ゲートラインが長くなることによって線抵抗が発生しても、ライン・ディレイ現象が発生しなくなる。

10

即ち、従来は、ゲート電圧及びデータ電圧により画素電極の電圧が決定され、このように決定された画素電極の電圧、及び共通電圧により画像情報が実現されるが、本発明においては、隣接するデータ電圧の差により画像情報が決定されるので、単位画素または隣接する単位画素に形成される薄膜トランジスタの特性が殆ど同一であれば、画面全体においてライン・ディレイによる不良が発生しなくなる。

【0060】

また、基板の位置によって薄膜トランジスタの性能にバラツキが発生しても、隣接する薄膜トランジスタ間でバラツキがなければ、画質が低下する問題が発生しない。

20

【図面の簡単な説明】

【0061】

【図1】本発明の第1の実施の形態による単位画素を示す回路図である。

【図2A】本発明の第1の実施の形態による単位画素を示す平面図である。

【図2B】本発明の第1の実施の形態による単位画素を示す断面図である。

【図3A】本発明の第1の実施の形態の変形例を示す平面図である。

【図3B】本発明の第1の実施の形態の変形例を示す断面図である。

【図4】本発明の第2の実施の形態による単位画素を示す回路図である。

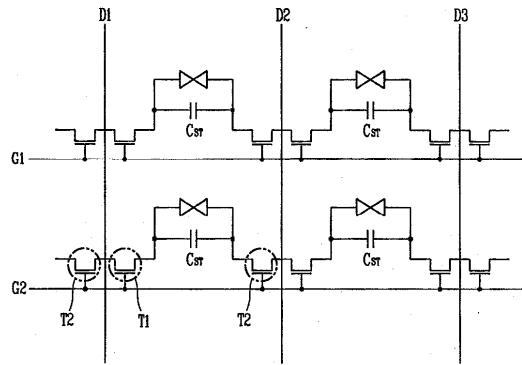
【図5】本発明の第2の実施の形態による単位画素を示す平面図である。

【図6】一般的なIPSモードの液晶表示素子の単位画素を示す平面図である。

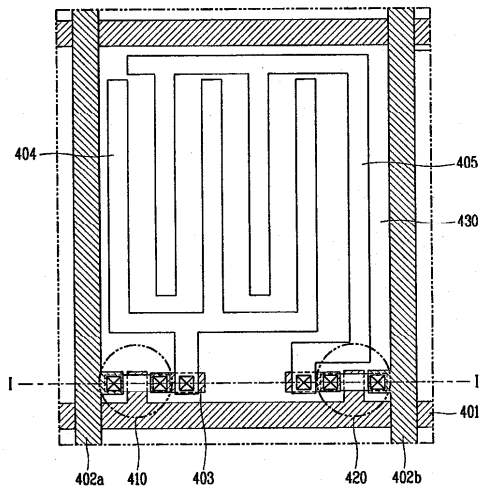
30

【図7】一般的なIPSモードの液晶表示素子の単位画素を示す回路図である。

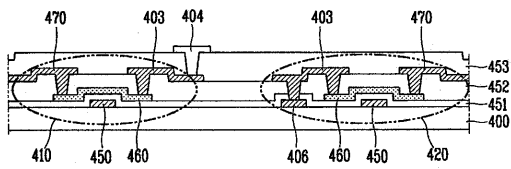
【図 1】



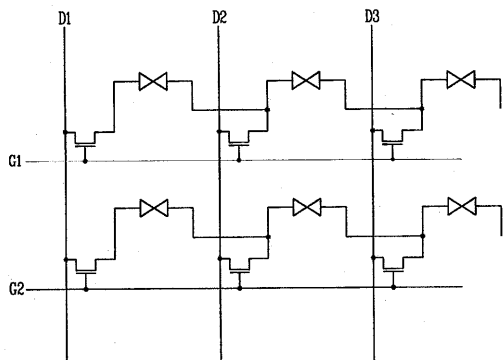
【図 2 A】



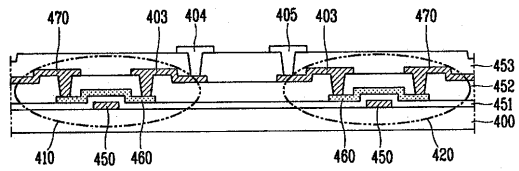
【図 3 B】



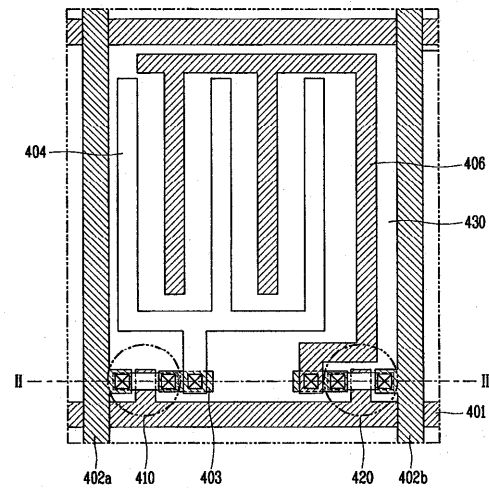
【図 4】



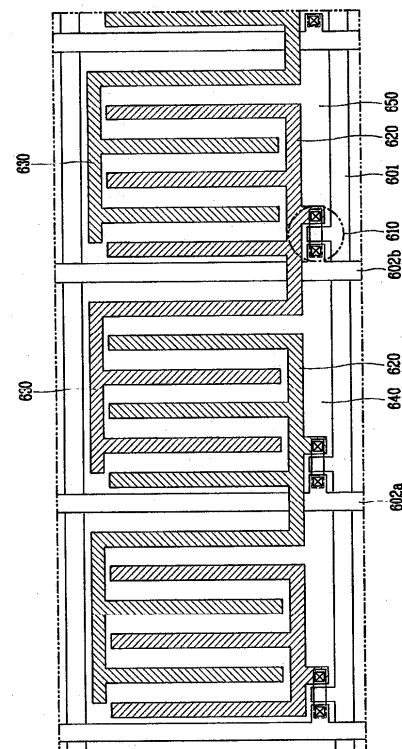
【図 2 B】



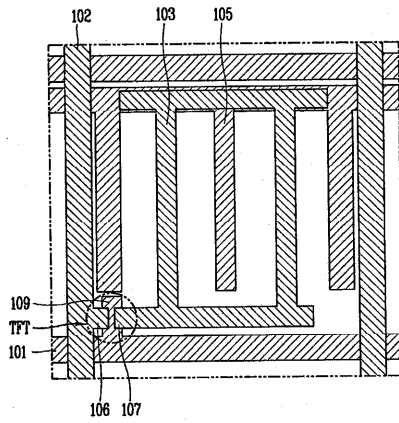
【図 3 A】



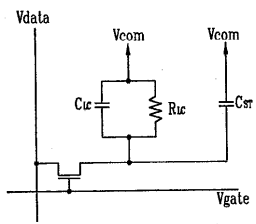
【図 5】



【 図 6 】



【 図 7 】



フロントページの続き

合議体

審判長 吉野 公夫

審判官 岡▲崎▼ 輝雄

審判官 松川 直樹

- (56)参考文献 特開 2 0 0 2 - 1 8 9 2 0 4 (J P , A)
特開 2 0 0 3 - 1 4 9 6 6 4 (J P , A)
特開 2 0 0 1 - 2 3 5 7 6 1 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G02F 1/1368

专利名称(译)	IPS模式液晶显示装置		
公开(公告)号	JP5059299B2	公开(公告)日	2012-10-24
申请号	JP2005154613	申请日	2005-05-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	チョンジンパク		
发明人	チョン-ジン・パク		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 G02F1/1362 G09G3/36		
CPC分类号	G02F1/134363 G02F1/13624 G02F2201/122 G02F2201/124 G02F2201/40 G09G3/3659 G09G2300/0809		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.614		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB41 2H092/JB45 2H092/KB14 2H092/NA01 2H092/NA25 2H092/NA28 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB04 2H192/BB73 2H192/BB91 2H192/BC31 2H192/BC44 2H192/CB05 2H192/GD61 2H192/JA32 5F110/AA16 5F110/AA26 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/NN03 5F110/NN72 5F110/NN73		
代理人(译)	Kajinami秩序 上田俊一		
助理审查员(译)	松川直树		
优先权	1020040118365 2004-12-31 KR		
其他公开文献	JP2006189758A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种面内切换模式液晶显示装置，通过制造接收电极，可以改善线路延迟，开口率降低和由于开关元件的波动导致的图像质量下降等问题来自每个单位像素中的相邻数据线的的数据电压，以产生横向场而不安装公共电极。解决方案：该装置包括由多条栅极线401和多条彼此交叉的数据线402a，402b限定的单位像素430；在每个单位像素430中分别形成在栅极线401和数据线402a，402b之间的交叉区域的一对开关器件410,420；电极404,405分别与一对开关器件410,420连接。Z

【 图 5 】

