

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4953228号
(P4953228)

(45) 発行日 平成24年6月13日 (2012. 6. 13)

(24) 登録日 平成24年3月23日 (2012. 3. 23)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 621F

G09G 3/20 623B

G09G 3/20 623C

G09G 3/20 623R

請求項の数 6 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2006-120699 (P2006-120699)
 (22) 出願日 平成18年4月25日 (2006. 4. 25)
 (65) 公開番号 特開2006-309232 (P2006-309232A)
 (43) 公開日 平成18年11月9日 (2006. 11. 9)
 審査請求日 平成21年4月6日 (2009. 4. 6)
 (31) 優先権主張番号 10-2005-0034619
 (32) 優先日 平成17年4月26日 (2005. 4. 26)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 505087780
 マグナチップセミコンダクター有限会社
 MAGNACHIP SEMICONDUCTOR LTD
 大韓民国忠清北道清州市興徳区香亭洞 1
 1 Hyangjeong-dong, Heungduk-gu, Cheongju City, Chung Cheong Bok-do, Korea
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 リュ ジ ホ
 大韓民国忠清北道清州市興徳区香亭洞 1
 (72) 発明者 ソン ユ チャン
 大韓民国忠清北道清州市興徳区香亭洞 1
 最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動回路及び駆動方法

(57) 【特許請求の範囲】

【請求項 1】

入力映像信号電圧をバッファリングして伝送ラインに載せるための単一ゲイン演算増幅器と、

前記単一ゲイン演算増幅器の非反転端子と前記入力映像信号電圧の端子との接続をスイッチングする第 1 スイッチと、

一方が前記入力映像信号電圧の端子に接続された第 2 スイッチと、

一方が前記単一ゲイン演算増幅器の非反転端子に接続された第 3 スイッチと、

一方が前記第 3 スイッチの他方に接続され、他方が前記第 2 スイッチの他方に接続された第 1 キャパシタと、

一方が第 1 キャパシタの他方に接続され、他方が接地電圧端に接続された第 2 キャパシタと、

を備えたことを特徴とする液晶表示装置の駆動回路。

【請求項 2】

前記単一ゲイン演算増幅器が動作しない時、該単一ゲイン演算増幅器と伝送ラインとの接続をターンオフするための節電スイッチをさらに備えたことを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 3】

前記第 1 スイッチ及び前記第 3 スイッチをターンオンさせ、前記第 2 スイッチをターンオフさせ、前記入力映像信号電圧を、プリアンファシス電圧として直列に接続された前記

10

20

第 1、第 2 キャパシタに充電するステップと、

前記第 1 スイッチをターンオフさせ、前記第 2 スイッチ及び前記第 3 スイッチをターンオンさせ、前記プリエンファシス電圧が加えられた前記入力映像信号電圧を前記単一ゲイン演算増幅器が増幅出力して、前記伝送ラインに載せるステップと、

前記第 1 スイッチ及び前記第 2 スイッチをターンオンさせ、前記第 3 スイッチをターンオフさせ、前記単一ゲイン演算増幅器が前記プリエンファシス電圧を除去し前記入力映像信号電圧だけを受信して、前記伝送ラインに出力するステップと、

前記第 1 スイッチないし前記第 3 スイッチをターンオンさせ、前記第 1 キャパシタを短絡して完全に放電するステップと、

を行うスイッチ制御部をさらに備えたことを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 4】

前記第 1 キャパシタ及び前記第 2 スイッチの接続地点と前記第 2 キャパシタの一方に接続された第 4 スイッチをさらに備えた請求項 1 ないし 3 のいずれかに記載の液晶表示装置の駆動回路。

【請求項 5】

受信した入力映像信号電圧を、駆動バッファ及び前記キャパシタを用いてバッファリングして、伝送ラインを介してディスプレイパネルに出力する請求項 1 ないし 3 のいずれか 1 項に記載された液晶表示装置の駆動回路を備えた液晶表示装置の駆動方法において、

前記駆動バッファが前記入力映像信号電圧を出力する時、前記入力映像信号電圧をプリエンファシス電圧として前記第 1、第 2 キャパシタに格納するステップ (S 2 1 0) と、

前記第 1 キャパシタに格納された前記プリエンファシス電圧を前記入力映像信号電圧に加え、前記プリエンファシス電圧が加えられた前記入力映像信号電圧をバッファリングして出力するステップ (S 2 2 0) と、

前記プリエンファシス電圧が除去された前記入力映像信号電圧だけを増幅させて出力するステップ (S 2 3 0) と、

前記第 1 キャパシタに充電された電荷を除去するステップ (S 2 4 0) と

を備えたことを特徴とする液晶表示装置の駆動方法。

【請求項 6】

前記ステップ (S 2 1 0) は、スキャン期間の開始を知らせる信号が活性化された後から、前記第 1、第 2 キャパシタに、前記プリエンファシス電圧のための電荷が集まるのに十分な時間の間に行われ、

前記ステップ (S 2 4 0) は、前記プリエンファシス電圧が加えられた前記入力映像信号電圧をディスプレイパネルに表示するのに十分な時間が経過したスキャン期間の完了直前から、次のスキャンラインに対するステップ (S 1 2 0) が始まる前まで行われることを特徴とする請求項 5 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の画面表現のためのデータが適用された映像信号電圧を伝送ラインを介して画素に印加するドライブバッファを備えた液晶表示装置の駆動回路に関し、特に、大面積高解像度の液晶表示装置に適用するためのものである。

【背景技術】

【0002】

文字、記号又はグラフィックをディスプレイするためのフラットディスプレイ装置の 1 つである液晶表示装置 (LCD) は、電界によって分子配列が変化する液晶の光学的性質を利用し、液晶技術と半導体技術とを融合した表示装置である。薄膜トランジスタ (TFT) 液晶表示装置は、内部のピクセルをオン/オフさせるスイッチング素子として TFT を利用し、この TFT がオン/オフされることによって、画素がオン/オフされる。通常

10

20

30

40

50

のＴＦＴ液晶表示装置は、図１に示したように、画素を構成するセルがアレイ形態に配列されており、各セルは、液晶セル（ＣＬＣ）、ストレージキャパシタ及びスイッチ機能を果たすＴＦＴからなる。

【０００３】

それぞれのＴＦＴのソース電極は、カラム方向に共通に接続され、データラインＤ１～ＤＮを形成した後、データドライバー１０に接続され、それぞれのＴＦＴのゲート電極は、ロー方向に共通に接続され、スキャンラインＳ１～ＳＭを形成した後、ゲートドライバー２０に接続されて、 $N \times M$ の解像度を有する表示装置を実現する。ここで、データドライバー１０は、ソースドライバー又はカラムドライバーとも称し、図２のような構造を有することが通常である。

10

【０００４】

液晶表示装置の面積が大きくなり、解像度が高くなると、長さが伸びる液晶表示装置のデータラインのため、ＲＣ遅延が大きくなり、また解像度が高くなるにつれて、与えられるスキャン期間、すなわち画素のＴＦＴをオンさせる時間が減少する。このようなデータラインのＲＣ遅延及びスキャン期間の減少は、図３に示したように、伝送ラインの末端に表れる信号電圧の歪みを招き、これは、決められているＴＦＴのスキャン期間の内に画素に充電されなければならないデータ信号が充電されるか、放電されることのできないようにすることによって、所望のデータ信号を画素に正確に表示できなくなるという問題があった。

【０００５】

20

プリアンファシス電圧を加えて、出力映像信号電圧を出力させることを特徴とする下記特許文献として開示された技術は、ソースドライバーに出力されるデータ波形にプリアンファシス電圧を加えることによって、従来の技術に比べて、ＲＣ遅延による目的電圧までの到達に要する遅延時間を短縮した。しかしながら、図４に示したような下記特許文献に開示された構造では、６つのスイッチと該スイッチを制御する信号を生成するための支援回路などにより、レイアウト面積が大きく必要となり、制御が複雑になるという問題があった。

【特許文献１】韓国特許公報１０－２００４－００４８４４６

【発明の開示】

【発明が解決しようとする課題】

30

【０００６】

本発明は、上記問題を解決するために出されたものであって、その目的は、レイアウト面積をさらに狭く占めるプリアンファシス電圧印加方式の液晶表示装置の駆動回路を提供することにある。

【０００７】

また、本発明の他の目的は、制御がさらに簡単な構造のプリアンファシス電圧印加方式の液晶表示装置の駆動回路を提供することにある。

【０００８】

また、本発明のさらに他の目的は、ＲＣ遅延及びスキャン期間の減少による出力バッファの出力信号をより早い時間内に補償できるプリアンファシス電圧印加方式の液晶表示装置の駆動回路を提供することにある。

40

【課題を解決するための手段】

【０００９】

前記目的を達成するための本発明の液晶表示装置の駆動回路は、入力映像信号電圧をバッファリングして伝送ラインに載せるための単一ゲイン演算増幅器と、前記単一ゲイン演算増幅器の非反転端子と前記入力映像信号電圧の端子との接続をスイッチングする第１スイッチと、一方が前記入力映像信号電圧の端子に接続された第２スイッチと、一方が前記単一ゲイン演算増幅器の非反転端子に接続された第３スイッチと、一方が前記第３スイッチの他方に接続され、他方が前記第２スイッチの他方に接続された第１キャパシタと、一方が第１キャパシタの他方に接続され、他方が接地電圧端に接続された第２キャパシタと

50

、を備えたことを特徴とする。

【発明の効果】

【0010】

本発明による液晶表示装置の駆動回路を実施することにより、提示された従来の技術と同じ機能を行いながらも、より簡単な構造を有するという長所がある。これはレイアウト面積及び／又は製作費用の低減という有用な効果をもたらす。

【発明を実施するための最良の形態】

【0011】

以下、本発明の最も好ましい実施形態を、添付した図面を参照にして説明する。

【0012】

10

(第1の実施形態)

図5は、本発明に係る液晶表示装置の駆動回路に対する一実施形態の回路図である。同図に示した液晶表示装置の駆動回路を用いることによって、プリエンファシス電圧が加えられた状態で、増幅された映像信号電圧を出力することができる。

【0013】

同図に示した液晶表示装置の駆動回路100は、信号電圧をバッファリングして、伝送ラインに載せるための単一ゲイン演算増幅器110と、前記単一ゲイン演算増幅器110の入力端子(非反転入力端子)と、前記入力信号電圧端子V_{in}の接続をスイッチングする第1スイッチSW1と、一方が前記入力信号電圧端子V_{in}に接続される第2スイッチSW2と、一方が前記単一ゲイン演算増幅器110の入力端子に接続される第3スイッチSW3と、一方が前記第3スイッチSW3の他方に接続され、他方が前記第2スイッチSW2の他方に接続される第1キャパシタC1と、一方が第1キャパシタC1の他方に接続され、他方が接地電圧端に接続される第2キャパシタC2とを備える。

20

【0014】

本実施形態では、反転入力端と出力段が接続された単一ゲイン演算増幅器110でドライババッファを実現し、D/A変換器(図2に図示)から前記駆動回路に入力される入力信号電圧端子V_{in}は、第1スイッチSW1を介して前記演算増幅器110の非反転入力端子に接続される。前記2つのキャパシタC1、C2は、互いに直列に接続されているので、第1キャパシタC1の末端は、第3スイッチSW3を介して前記演算増幅器の非反転入力端子に接続される。前記キャパシタC1、C2間のノードは、第2スイッチSW2を介して前記入力信号電圧端子V_{in}に接続される。前記演算増幅器110の出力映像信号電圧端子V_{out}は、前記駆動回路が動作しない時に信号を遮断する低電力消費のための節電スイッチ130と接続され、節電スイッチ130は、図4の等価化されたデータラインモデルである抵抗R_{data}とキャパシタC_{data}と接続され、前記ラインモデルの末端に、本発明の主眼点であるデータライン電圧V_{fout}が表れる。節電機能が重要でない実現である場合には、節電スイッチ130を省略することもできる。前記第1スイッチSW1は、第1制御信号CTRL1によって動作し、第2スイッチSW2は、第2制御信号CTRL2によって動作し、第3スイッチSW3は、第3制御信号CTRL3によって動作し、前記3制御信号を生成するためのスイッチ制御部を具備し得る。

30

【0015】

40

図6は、本発明に係る出力駆動回路のタイミング図である。スキャン期間を決定する外部ロード信号LOADと、ドライババッファの非反転入力端子信号、ドライババッファとの出力映像信号電圧及びデータライン電圧を示したものである。プリエンファシス電圧程度は、前記図5の前記出力バッファに接続されているキャパシタC1、C2の蓄電容量比によって決められ、プリエンファシス電圧が加えられる時間は、前記図5の制御信号によって(特に、「2」番の区間)決められる。図6と図7において、図10を参照し、本発明に係る駆動回路の動作を説明する。

【0016】

まず、スキャン期間の開始を知らせるロード信号LOADが活性化されることにより、図7に示したように、第1スイッチSW1及び第3スイッチSW3をターンオンさせ、第

50

2 スイッチ S W 2 をターンオフさせる S 1 1 0。前記ステップは、図 6 において「1」番の区間の間の 3 つのスイッチ制御信号 C T R L 1 , C T R L 2 , C T R L 3 に示された論理状態の維持によってなる。

【0017】

図 7 において、前記入力信号電圧端子 V i n は、前記単一ゲイン演算増幅器 1 1 0 により、増幅されて出力され、前記入力信号電圧端子 V i n は、直列に接続されたキャパシタ C 1 , C 2 を充電させる。

【0018】

前記ステップ (S 1 1 0) の開始後、プリエンファシス電圧を与えるための十分な電荷が前記直列に接続されたキャパシタ C 1 , C 2 に充電できる時間が経過すると、図 8 に示したように、第 1 スイッチ S W 1 をターンオフさせ、第 2 スイッチ S W 2 及び第 3 スイッチ S W 3 をターンオンさせる S 1 2 0。前記ステップは、図 6 において「2」番の区間の間、3 つのスイッチ制御信号 C T R L 1 , C T R L 2 , C T R L 3 の示された論理状態の維持からなる。これにより、プリエンファシス電圧のための電荷が格納されていた前記第 1 キャパシタ C 1 の両端の充電電圧が、前記入力信号電圧端子 V i n に加えられ、前記プリエンファシス電圧が加えられた前記入力映像信号電圧が前記単一ゲイン演算増幅器 1 1 0 の入力端子に接続されて、増幅出力されることによって、プリエンファシス電圧を出力映像信号電圧として、伝送ラインに載せることができる。図 6 において、このステップが行われる「2」番の区間の長さは、プリエンファシス電圧が載せられる時間区間になることが分かる。

【0019】

前記ステップ (S 1 2 0) の開始後、出力映像信号に十分なプリエンファシス電圧が載せられる時間が経過すると、図 9 に示したように、第 1 スイッチ S W 1 及び第 2 スイッチ S W 2 をターンオンさせ、第 3 スイッチ S W 3 をターンオフさせる (S 1 3 0)。前記ステップは、図 6 において、「3」番の区間の間、3 つのスイッチ制御信号 C T R L 1 , C T R L 2 , C T R L 3 の示された論理状態の維持からなる。このステップが行われる「3」番の区間の間には、前記単一ゲイン演算増幅器 1 1 0 は、プリエンファシス電圧を排除した入力信号電圧端子 V i n だけを受信して、前記伝送ラインに出力する。

【0020】

図 7 に示したプリエンファシス電圧の波形を取得するためには、前記ステップ (S 1 3 0) を省略して、ステップ (S 1 2 0) の後に下記ステップ (S 1 4 0) を行っても良いと判断しがちだが、プリエンファシス電圧の印加期間 (図 6 の「2」番の区間) が終わってからすぐ、第 1 キャパシタ C 1 の放電を行うと、第 1 キャパシタ C 1 に充電されている電荷によってリップルの発生及び / 又は入力端 (D / A 変換器) への逆方向電流の発生のような問題が発生する。これを防ぐために第 3 スイッチ S W 3 及び前記ステップ (S 1 3 0) を備えて、ステップ (S 1 3 0) を経た後、第 1 キャパシタ C 1 の放電を行うと、その間の漏れ電流により、大きなリップルが緩和され、リップルがあるとしてもスキャン期間の終了時点であるので、画像に影響を与えない。

【0021】

前記ステップ (S 1 3 0) の開始後、所望の映像がディスプレイパネルに表示されるのに十分な時間が経過すると、かつ、次のスキャンラインに対するスキャンが始まる前に、第 1 スイッチ ~ 第 3 スイッチ S W 1 ~ S W 3 をターンオンさせる S 1 4 0。前記ステップは、図 6 においての「4」番の区間の間、3 つのスイッチ制御信号 C T R L 1 , C T R L 2 , C T R L 3 の示された論理状態の維持からなり、キャパシタ C 1 の放電に充分の時間を有するようにする。これにより、前記プリエンファシス電圧が格納されたキャパシタ C 1 は、短絡されて、完全に放電され、前記プリエンファシス電圧が除去された前記入力信号電圧端子 V i n だけが、前記単一ゲイン演算増幅器 1 1 0 に接続され、増幅出力される。

【0022】

前記ステップ (S 1 4 0) の終了時点には、また次のスキャンラインに対するステップ

(S110)が始まる。図6では、毎スキャンラインごとに印加電圧の極性を変更するライン反転を行うドライバーに実現したものである。次のスキャンラインによるプリエンファシス電圧は、反対極性を有する。このような駆動順序を毎スキャンごとに繰り返すことによって、ソースドライバーの出力映像信号電圧にプリエンファシス電圧を加えることができる。

【0023】

本実施形態のプリエンファシス電圧による駆動方法は、ライン反転を行うドライバー素子の場合にさらに有効である。スキャンライン駆動信号のディセーブル段においても伝送ラインの遅延による信号歪みが発生することもあるが、ライン反転が行われる場合には、反転される次のスキャンラインの駆動信号のイネーブル段が急傾斜化により、前記歪みが緩和されるという効果をもたらすためである。

10

【0024】

(第2の実施形態)

図11に示した本実施形態の液晶表示装置の駆動回路200は、信号電圧をバッファリングして伝送ラインに載せるための単一ゲイン演算増幅器210と、該単一ゲイン演算増幅器210の入力端子(非反転入力端子)と、前記入力信号電圧端子Vinの接続をスイッチングする第1スイッチSW11と、一方が前記入力信号電圧端子Vinに接続される第2スイッチSW12と、一方が前記単一ゲイン演算増幅器210の入力端子に接続される第3スイッチSW13と、一方が前記第3スイッチSW13の他方に接続され、他方が前記第2スイッチSW12の他方に接続される第1キャパシタC11と、一方が第1キャパシタC11の他方に接続され、他方が接地電圧端に接続される第2キャパシタC12と、前記第1キャパシタC11及び前記第2スイッチSW12の接続地点と前記第1スイッチSW11の一方に位置し、前記第1キャパシタC11及び第2キャパシタC12の接続をスイッチングするための第4スイッチSW14とを備える。

20

【0025】

本実施形態の液晶表示装置の駆動回路200の構成は、前記第1キャパシタC11及び第2キャパシタC12の間に備えられる第4スイッチSW14を除いては、前記第1実施形態の液晶表示装置の構成と同じである。したがって、以下、本実施形態の説明では、前記第4スイッチSW14に対することだけを記述し、前記第1実施形態の対応する構成要素と同様の他の構成要素の説明は省略する。

30

【0026】

前記構成の液晶表示装置の駆動過程の内、前記第4スイッチSW14は、続いてターンオンされ、第2スイッチSW12及び第3スイッチSW13がターンオンしてから、第1スイッチSW11は、ターンオフする期間(第1実施形態の場合、前記図8と同じS120のステップ)の内にターンオフする。前記第4スイッチSW14がターンオフする区間では、プリエンファシス電圧のための電荷が格納されている前記第1キャパシタC11の両端の充電電圧が、前記入力信号電圧端子Vinに加えられ、前記プリエンファシス電圧が加えられた前記入力映像信号電圧が、前記単一ゲイン演算増幅器210の入力端子に接続されて増幅出力されることにより、プリエンファシス電圧を出力映像信号電圧として、伝送ラインに載せることができる。

40

【0027】

前記第1実施形態の場合、図8のステップ(S120)において、入力信号電圧端子Vinに載せられた入力電圧が、第2キャパシタC2を充/放電することによって、又は、第2キャパシタC2によって、接続される接地電圧端によって、単一ゲイン演算増幅器210の非反転入力端子電圧が影響を受けることができる可能性があった。しかしながら、本実施形態の場合、前記期間の内には、前記第4スイッチSW14をターンオフすることによって、このような問題を抑制することができる。

【0028】

尚、本発明は、上記した実施の形態に限定されるものではなく、本発明に係る技術的思想の範囲内から逸脱しない範囲内で、様々な変更が可能であり、それらも本発明の技術的

50

範囲に属する。

【図面の簡単な説明】

【0029】

【図1】通常のTFT-LCDパネルの構造を示した回路図である。

【図2】通常の液晶表示装置のソースドライバの構造を示したブロック図である。

【図3】伝送ラインのRC影響による信号の遅延結果を示した図である。

【図4】特許文献に開示された従来の技術に係る液晶表示装置の駆動回路の回路図である。

【図5】本発明の一実施形態に係る液晶表示装置の駆動回路の回路図である。

【図6】本発明の一実施形態に係る液晶表示装置の駆動方法を示した波形図である。

10

【図7】本発明の一実施形態に係る液晶表示装置の駆動回路のプリエンファシス電圧のための充電ステップにおけるスイッチ状態を示した回路図である。

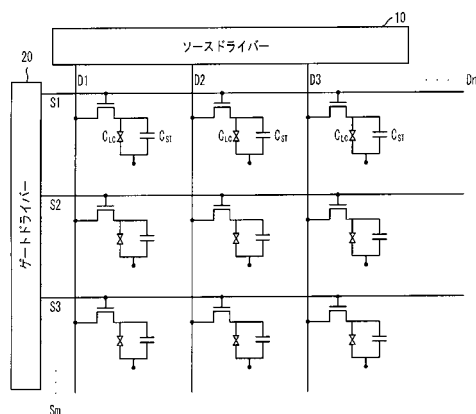
【図8】本発明の一実施形態に係る液晶表示装置の駆動回路のプリエンファシス電圧を備えた出力ステップにおけるスイッチ状態を示した回路図である。

【図9】本発明の一実施形態に係る液晶表示装置の駆動回路のプリエンファシス電圧を除いた出力ステップにおけるスイッチ状態を示した回路図である。

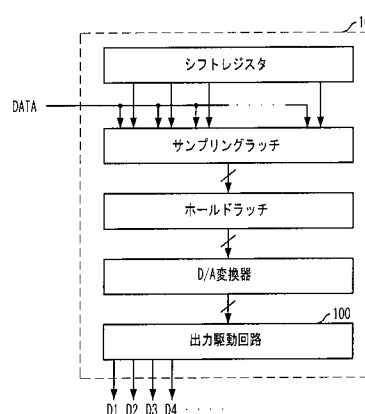
【図10】本発明の一実施形態に係る液晶表示装置の駆動回路のプリエンファシス電圧のための放電ステップにおけるスイッチ状態を示した回路図である。

【図11】本発明の一実施例に係る液晶表示装置の駆動回路の回路図である。

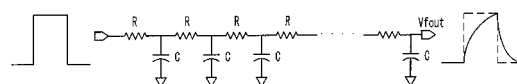
【図1】



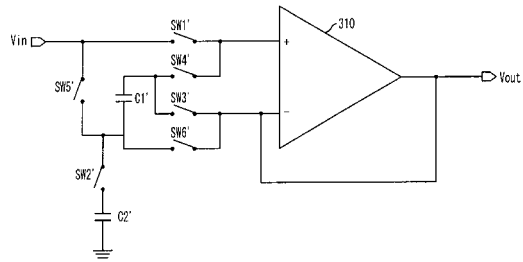
【図2】



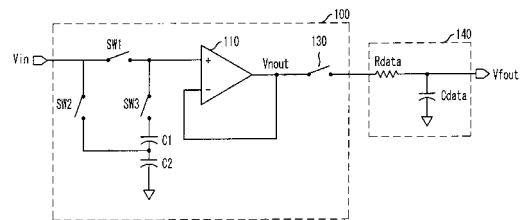
【図3】



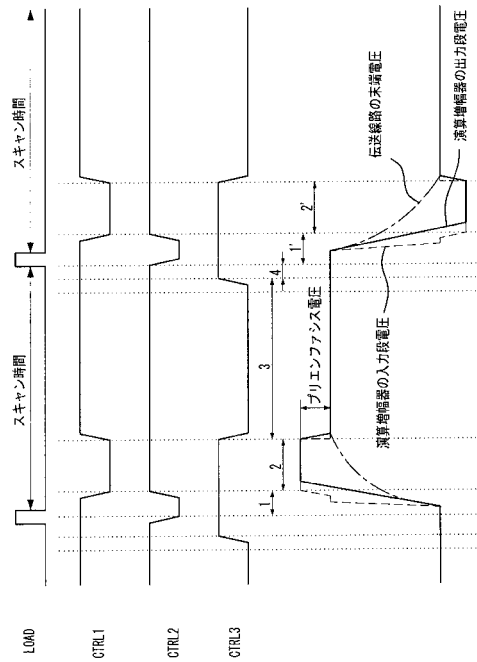
【図 4】



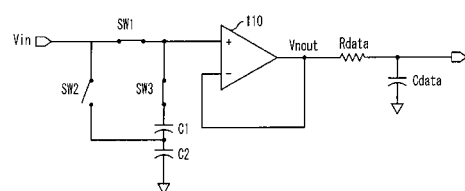
【図 5】



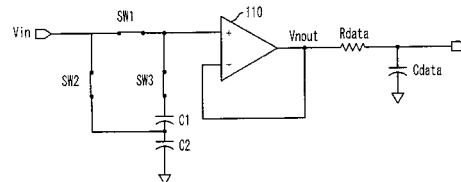
【図 6】



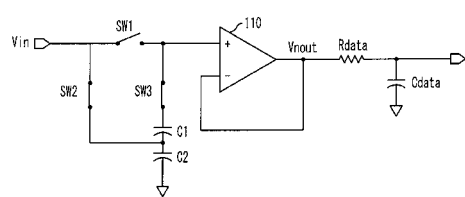
【図 7】



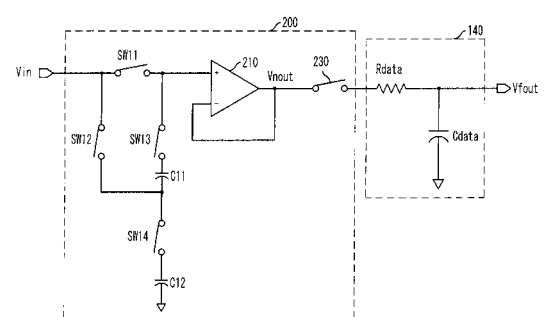
【図 10】



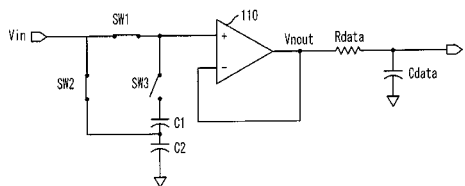
【図 8】



【図 11】



【図 9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 J
G 0 2 F 1/133 5 2 5

(72)発明者 ソ スン マン
大韓民国忠清北道清州市興徳区香亭洞 1

審査官 森口 忠紀

(56)参考文献 韓国公開特許第 1 0 - 2 0 0 4 - 0 0 4 8 4 4 6 (K R , A)
特開平 0 3 - 1 6 7 9 7 7 (J P , A)
国際公開第 0 1 / 0 5 9 7 5 0 (W O , A 1)
特開平 0 5 - 2 9 7 8 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3 , 5 0 5 - 1 / 1 3 3 , 5 8 0

专利名称(译)	液晶显示装置的驱动电路和驱动方法		
公开(公告)号	JP4953228B2	公开(公告)日	2012-06-13
申请号	JP2006120699	申请日	2006-04-25
[标]申请(专利权)人(译)	美格纳半导体有限公司		
申请(专利权)人(译)	麦格纳芯片半导体有限公司		
当前申请(专利权)人(译)	麦格纳芯片半导体有限公司		
[标]发明人	リュジホ ソンユチャン ソスンマン		
发明人	リュジホ ソンユチャン ソスンマン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/0248 G09G2310/027 G09G2310/0291 G09G2320/0252		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.623.B G09G3/20.623.C G09G3/20.623.R G09G3/20.611.J G02F1/133.525		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC65 2H093/ND05 2H093/ND09 2H093/ND15 2H093/ND49 2H093/ND54 2H093/ND60 2H193/ZA04 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF22 2H193/ZF36 2H193/ZH40 5C006/AA16 5C006/AC21 5C006/AF43 5C006/AF50 5C006/AF51 5C006/BB16 5C006/BC13 5C006/BF24 5C006/BF37 5C006/FA14 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	1020050034619 2005-04-26 KR		
其他公开文献	JP2006309232A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为具有驱动缓冲器的液晶显示装置提供驱动电路，该驱动缓冲器通过传输将视频信号电压施加到像素，通过大面积和高分辨率液晶显示装置应用屏幕表达的数据通过改进韩国专利申请号10-2004-0048446的描述技术的那一行。解决方案：液晶显示装置的驱动电路的特征在于包括用于在传输线上缓冲和传送信号电压的单位增益运算放大器，用于在单位增益运算的非反相端子之间切换连接的第一开关放大器和信号电压输入线，第二开关，其一端连接到信号电压的输入线，第三开关，其一端连接到单位增益运算放大器的同相端，第一电容器，其一端连接到第三开关的另一端，另一端连接到第二开关的另一端和第二电容器，第二电容器的一端连接到另一端第一电容器的另一端连接到接地电压端子。Z

【図 2】

