

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4875248号
(P4875248)

(45) 発行日 平成24年2月15日 (2012. 2. 15)

(24) 登録日 平成23年12月2日 (2011. 12. 2)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 6 (2006. 01)

G 0 2 F 1 / 1 3 3 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 3 6

G 0 2 F 1 / 1 3 3 5 5 0

G 0 2 F 1 / 1 3 3 5 7 5

G 0 9 G 3 / 2 0 6 1 2 R

G 0 9 G 3 / 2 0 6 2 3 V

請求項の数 7 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2001-117002 (P2001-117002)
 (22) 出願日 平成13年4月16日 (2001. 4. 16)
 (65) 公開番号 特開2002-311913 (P2002-311913A)
 (43) 公開日 平成14年10月25日 (2002. 10. 25)
 審査請求日 平成20年2月13日 (2008. 2. 13)

(73) 特許権者 511132247
 ゲットナー・ファンデーション・エルエル
 シー
 アメリカ合衆国デラウェア州19904,
 ドーバー, スウィート 101, グリーン
 トリー・ドライブ 160

(74) 代理人 100099623
 弁理士 奥山 尚一

(74) 代理人 100096769
 弁理士 有原 幸一

(74) 代理人 100107319
 弁理士 松島 鉄男

(74) 代理人 100114591
 弁理士 河村 英文

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶パネルと、

機能的に第1のソースドライバグループと第2のソースドライバグループとに分けられた複数のソースドライバであって、前記第1のソースドライバグループと前記第2のソースドライバグループとが、それぞれ、前記液晶パネルの第1の半分部分と第2の半分部分とに割り当てられている、複数のソースドライバと、

前記第1及び第2のソースドライバグループの前に配置された画素データ並べ替え回路であって、該画素データ並べ替え回路が、2Nポート（Nは自然数）の画素データを同時に受信し、所定のデータフォーマットにしたがって前記2Nポートの画素データの順序を並べ替えて、並べ替えられた第1のNポートの画素データを前記第1のソースドライバグループに適用し、並べ替えられた第2のNポートの画素データを前記第2のソースドライバに適用する、画素データ並べ替え回路と

を備え、前記画素データ並べ替え回路が、

前記2Nポートの画素データが記憶される複数のラインメモリを有するメモリ手段と、スイッチ制御信号の制御に基づいて、前記複数のラインメモリから前記2Nポートの画素データを選択的に読み出す第1のスイッチ手段と、

前記複数のラインメモリから選択的に読み出された前記2Nポートの画素データの順序を並べ替える第2のスイッチ手段と

を更に備えるものである、液晶表示装置。

【請求項 2】

前記画素データ並べ替え回路が、前記 $2N$ ポートの画素データのうちの 1 つ以上のデータとそのデータ以外の残りのデータとの間の周期のずれをなくすように、前記 1 つ以上のデータを遅れさせるデータ周期調整回路を備えるものである、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素データ並べ替え回路と前記複数のソースドライバとの間に配置されたデータ周期調整回路を更に備え、

該データ周期調整回路が、前記画素データ並べ替え回路から出力された並べ替え後の $2N$ ポートの画素データのうちの 1 つ以上のデータを遅れさせて、前記 1 つ以上のデータと、前記画素データ並べ替え回路から出力された残りの並べ替え後の画素データとの間の位相のずれをなくすものである、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記画素データ並べ替え回路が、前記液晶パネルの前記第 1 の半分部分と前記第 2 の半分部分のうちのいずれかに割り当てられる単一のポートの画素データを受け取って、2 ポートの画素データを生成するものであり、前記 2 ポートの画素データのそれぞれは、前記単一のポートの画素データと同じであり、前記 2 ポートの画素データのそれぞれは、前記第 1 及び第 2 のソースドライバグループに適用されるものである、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記画素データ並べ替え回路が、前記液晶パネルの前記第 1 の半分部分と前記第 2 の半分部分のうちのいずれかに割り当てられる単一のポートの画素データを受け取って、前記単一のポートの画素データの各画素データを倍増させることによって 2 ポートの画素データを生成するものであり、前記 2 ポートの画素データのそれぞれは、前記第 1 及び第 2 のソースドライバグループに適用されるものである、請求項 1 に記載の液晶表示装置。

【請求項 6】

画素データ並べ替え回路を有する液晶表示装置であって、

前記画素データ並べ替え回路が、

複数の画素データ用入力部であって、前記画素データの数が、 $2N$ (N は自然数) であり、前記入力部が、同時に $2N$ ポートの画素データを受信するものである、入力部と、

前記入力部で受信した前記 $2N$ ポートの画素データの間に位相のずれがあった場合に、その位相のずれをなくすデータ周期調整回路と、

前記入力部で受信した前記 $2N$ ポートの画素データを記憶するメモリ手段であって、該メモリ手段は、前記 $2N$ ポートの画素データの間に位相のずれがあった場合に、前記データ周期調整回路の出力を受け取るように連動して動作するものである、メモリ手段と、

前記メモリ手段に記憶された前記 $2N$ ポートの画素データを選択的に読み出す第 1 のスイッチ手段と、

該第 1 のスイッチ手段の次に配置された第 2 のスイッチ手段と

を備え、

該第 2 のスイッチ手段は、所定のデータフォーマットに従って前記 $2N$ ポートの画素データの順序を並べ替えて、並べ替えられた第 1 の N ポートの画素データを、液晶パネルの第 1 の半分部分に割り当てられた第 1 のソースドライバグループに適用し、並べ替えられた第 2 の N ポートの画素データを、液晶パネルの第 2 の半分部分に割り当てられた第 2 のソースドライバグループに適用するものである、液晶表示装置。

【請求項 7】

画素データ並べ替え回路を有する液晶表示装置であって、

前記画素データ並べ替え回路が、

複数の画素データ用入力部であって、前記画素データの数が、 $2N$ (N は自然数) であり、前記入力部が、同時に $2N$ ポートの画素データを受信するものである、入力部と、

前記入力部で受信した前記 2Nポートの画素データを記憶するメモリ手段と、
前記メモリ手段に記憶された前記 2Nポートの画素データを選択的に読み出す第 1 のス
イッチ手段と、
該第 1 のスイッチ手段の次に配置された第 2 のスイッチ手段と
を備え、
該第 2 のスイッチ手段は、所定のデータフォーマットに従って前記 2Nポートの画素デ
ータの順序を並べ替えて、並べ替えられた第 1 のNポートの画素データを、液晶パネルの
第 1 の半分部分に割り当てられた第 1 のソースドライバグループに適用し、並べ替えられ
た第 2 のNポートの画素データを、液晶パネルの第 2 の半分部分に割り当てられた第 2 の
ソースドライバグループに適用するものであり、
前記第 2 のスイッチ手段から出力された前記第 1 のNポートの画素データと前記第 2 のN
ポートの画素データとの間に位相のずれがあった場合に、前記液晶パネルに適用される前
にその位相のずれをなくすようになっている液晶表示装置。

10

【発明の詳細な説明】**【0001】****【発明が属する技術分野】**

本発明は、アクティブマトリクス型液晶表示装置に関し、特に、各種の表示デジタルデータを扱うことが可能な液晶表示装置及び制御回路に関する。

【0002】**【従来の技術】**

20

アクティブマトリクス型液晶表示装置においては、交叉した複数の信号線の交点にマトリクス状に配置されたスイッチング素子（TFT：薄膜トランジスタ）を有する画素部、前記画素部の外周部の一辺に配置された複数のソースドライバ等を備える液晶表示パネル（以下、「表示パネル」という。）と、グラフィックコントローラ等、データの送り側から送信された表示デジタルデータ（以下、「表示データ」ともいう。）を受信し前記ソースドライバ群を動作させるタイミングコントローラとから構成されている。

【0003】

かかる液晶表示装置においては、近年の液晶パネルの大型化、高精細化による 1 ライン当たりの画素数の増大に伴い、液晶パネルを駆動するソースドライバ群の高速化及び EMI の抑制等が重要となっており、ソースドライバ群を分割し表示データを並列に供給することで動作速度を低減するような技術が提案されている（特開平 5-210359 号公報、特開平 10-207434 号公報）。

30

【0004】

図 15 は、前記特開平 5-210359 号公報記載のソースドライバ群の駆動方式を示す図である。液晶パネルのソースドライバ群を液晶パネルの右半分 8a と左半分 8b に分割し、水平方向の 1 ライン分の表示データを前半と後半との 2 つに分けて、2 分割した各ソースドライバ群に並列に供給する構成を採用している。この駆動方式では、コントローラ 9 の前段にインターフェース部を設け、1 ポートからの表示データ（1 系列の表示デジタルデータ）を当該インターフェース部において、1 ライン分の表示データ毎に画面左半分と画面右半分に分割し、2 ポートの表示データ（2 系列の表示デジタルデータ）S1、S2 に変換して出力し、コントローラ 9 では前記 2 ポートの表示データ S1、S2 を入力して、前記ソースドライバ群の分割した各画面半分のソースドライバ群 8a、8b に、2 ポートの表示データ S1U、S2U として並列に供給するとともに、それぞれの書込のスタート信号（水平同期信号）SP を並列に同一タイミングで供給するように構成している。

40

【0005】

この駆動方式によれば、従来のように 1 ポートの表示データをそのまま全てのソースドライバ群に供給し 1 ライン単位で順次駆動する駆動方式と比べ、ソースドライバ群へ供給する表示データのデータレート及び供給クロックの繰り返し周波数は 1/2 に低減することができ、一層高速化した表示データによるソースドライバ群の低速駆動及び EMI の抑制

50

を実現することが可能である。

【0006】

図16は、前記特開平10-207434号公報記載のソースドライバ群の駆動方式を示す図である。この駆動方式では、画面左半分と画面右半分の2ポートの表示データにより、2分割したソースドライバ群をそれぞれ駆動するタイミングコントローラの入力部に、1ポートの表示データをデータレートが1/2で、2ポートの表示データに分割するラインメモリーを設けて構成した制御回路を、前記2つのソースドライバ群の中間部に配置して前記制御回路とソースドライバ群との間の配線数の増加を少なくしたものである。

【0007】

【発明が解決しようとする課題】

ソースドライバ群を左右方向に分割して動作させ、分割表示する表示パネルの駆動方式は、画面の分割数が増える程、パネルにおける表示データの低速化を可能とする利点を有するものの、分割数が増えるほどデータ配線数等が増大することにより製造上及び信号特性上（クロストーク等）の困難な問題が生じる。

【0008】

この点、前述のように画面左半分と画面右半分とに2分割する駆動方式は大型、高精細パネルにおいても実現が可能であり、高速な表示データに対して有効な駆動方式にあたるものと云える。

【0009】

ところで、液晶表示装置においては、一般に液晶パネルとタイミングコントローラとを一体化し液晶表示モジュールとして各種の情報機器を製造するユーザーに提供されることが普通であり、前記ユーザーは、前記情報機器に前記液晶表示モジュールを使用する際に、扱う表示データのデータ形式等を前記液晶表示モジュールのタイミングコントローラの仕様に適合させるように設計するか、又は信号処理を行うことが必要とされる。

【0010】

図15に示す駆動方式では、コントローラ9の前段に1ポートの表示データを2ポートの表示データに分割するインターフェースを設けているから、表示データの送り側は1ポートの表示データとして出力するという制約を伴うものであり、また、図16に示す駆動方式もコントローラの入力部に同様なインターフェースを設けた特殊なコントローラICを使用するものであるから、図15に示す駆動方式と同様の制約を伴うものである。つまり、何れも扱う表示データに応じて、例えば個別の信号変換回路を更に追加することが必要となるのみならず、入力表示データとしては基本的に1ポートのデータを扱うものであるから、高速な表示データに対して使用不可能となる場合がある。

【0011】

このように、従来の駆動方式では液晶表示装置への表示データの送り側においては、表示データのデータ形式又はデータ形式の変換等の出力処理回路等において自由度がなく、特に、超高速表示データの取り扱い等の点で問題がある。

【0012】

つまり、ユーザの扱う表示データは、扱う情報機器の種類等により、

(1) 必ずしも1ポートの表示データに限られず、表示データの高速処理等の関係から複数ポートで扱う必要が生じ得るし、表示データのデータの並びについても、液晶パネルにおける1ラインの画素の順番とは一致しない場合がありうる。

(2) また、複数ポートの表示データの位相は互いに異なる場合もありうる。

(3) 更に、液晶パネルの表示検査、試験等のための特殊な表示データを入力する必要もありうる。

【0013】

例えば、近年使用される最高周波数のドットクロック程度の速度で映像データをサンプリングしてA/D変換器等を動作させることは不可能であり、またデジタルデータでさえ前記ドットクロックの動作速度での転送等を実現することは不可能である場合が多く、かかる場合、最初から複数ポートを使用して前記ドットクロックより低いクロック周波数の

10

20

30

40

50

表示データを生成して液晶パネルに供給することが必要であり、複数ポートに発生するデータ順序のフォーマットも各種のものが考えられる。また、複数のA/D変換器の時分割的な動作によって高速な表示データを複数ポートで生成する場合等は、複数ポート間の時間的に隣接するサンプリングデータには必然的な位相差が生じる。更に、液晶パネルの検査等のために画面半分のみを表示データの供給等、特殊な表示データへの対応を可能とする必要も生じうる。

【0014】

以上の事情を鑑みると従来の駆動方式の液晶表示モジュールでは、液晶表示装置への送り側のデータ形式等に大きな制約を強いるものであり、回路設計上等の自由度においても問題があるのみならず、画面左半分と画面右半分に分割した表示データのデータ形式にするための信号変換回路等に関連して、液晶表示装置が複雑かつ高価になる点でも問題がある。

【0015】

(目的)

本発明の目的は、液晶表示モジュールに供給する表示データの信号形式における自由度が高い液晶表示装置及び制御回路を提供することにある。

【0016】

本発明の他の目的は、異なる複数ポートの表示データを扱うことが可能な液晶表示装置及び制御回路を提供することにある。

【0017】

本発明の他の目的は、液晶表示モジュールの高速動作時の試験表示用データへの対応を可能とした液晶表示装置及び制御回路を提供することにある。

【0018】

【課題を解決するための手段】

本発明の液晶表示装置は、液晶パネルと、入力する表示デジタルデータを、前記液晶パネルを駆動するタイミングで出力する制御回路（例えば図1の12）と、前記液晶パネルのソースラインに接続され、前記制御回路の出力である表示データおよびソースドライバ制御信号を入力するソースドライバ（例えば図1の13）と、前記液晶パネルのゲートラインに接続され、前記制御回路の出力であるゲートドライバ制御信号を入力するゲートドライバ（例えば図1の15）と、複数の階調電圧を生成し前記ソースドライバに供給する階調電圧回路（例えば図1の16）を有する液晶表示装置において、

前記タイミングコントローラは、 $2N$ ポート（ N は自然数）の表示デジタルデータにより、画面左半分と画面右半分に分割した液晶パネルの2つのドライバ群（例えば図1の131、132）を並列に動作させる液晶表示装置であって、入力する表示デジタルデータは、異なる N ポートのそれぞれ画面左半分及び画面右半分のデータとして分割された $2N$ ポートの第1の表示デジタルデータ（例えば図2（a））、あるいは、各ポートに時系列なデータとして分割された $2N$ ポートの第2の表示デジタルデータ（例えば図2（b））であり、入力する前記第2の表示デジタルデータを書き込み、前記第1の表示デジタルデータとして読み出すメモリを有するメモリ回路（例えば図1の121）と、前記第1または第2の表示デジタルデータの入力に対して、 $2N$ ポートの前記第1の表示デジタルデータを前記2つのドライバ群に出力するように設定可能な入力選択回路（例えば図1の122）を備えることを特徴とする。

【0019】

また、前記液晶表示装置において、入力する表示デジタルデータとして、各ポートに時系列なデータとして分割された $2N$ ポートの表示デジタルデータであって、異なる N ポートの表示デジタルデータが互いにデータ又はクロックが半周期位相がずれた第3の表示デジタルデータ（例えば図2（c））を含み、前記メモリ回路は、前記第3の表示デジタルデータに関する半周期の位相ずれを調整する位相調整回路（例えば図3の31）を備え、前記入力選択回路は、 $2N$ ポートの前記第3の表示デジタルデータを前記2つのドライバ群に出力するように設定可能であることを特徴とし、

又は、入力する表示デジタルデータとして、画面左半分又は画面右半分のデータのみからなるNポートの第4の表示デジタルデータ（例えば図13（a）、（b））を含み、前記メモリ回路は、前記メモリに前記第4の表示デジタルデータを書き込み、画面左半分及び画面右半分のそれぞれNポートの前記第4の表示デジタルデータでなる前記第1の表示デジタルデータ（例えば図13（c））として読み出し、前記入力選択回路は、当該2Nポートの第1の表示デジタルデータを前記2つのドライバ群に出力するように設定可能であることを特徴とし、

又は、入力する表示デジタルデータとして、画面左半分又は画面右半分のデータのみからなるNポートの第4の表示デジタルデータを含み、前記メモリ回路は、前記メモリに前記第4の表示デジタルデータを書き込み、画面左半分及び画面右半分の連続する偶数データと奇数データが同一である2Nポートの前記第1の表示デジタルデータ（例えば図14（c））として読み出し、前記入力選択回路は、当該2Nポートの第1の表示デジタルデータを前記2つのドライバ群に出力するように設定可能であることを特徴とする。

10

【0020】

本発明の制御回路は、2Nポート（Nは自然数）の表示デジタルデータにより、画面左半分と画面右半分に分割した液晶パネルの2つのドライバ群（例えば図1の131、132）を並列に動作させる制御回路であって、

入力する表示デジタルデータは、異なるNポートのそれぞれ画面左半分及び画面右半分のデータとして分割された2Nポートの第1の表示デジタルデータ（例えば図2（a））、あるいは、各ポートに時系列なデータ単位で所定順序で分割された2Nポートの第2の表示デジタルデータ（例えば図2（b））であり、入力する前記第2の表示デジタルデータを書き込み、前記第1の表示デジタルデータとして読み出すメモリ（ラインメモリ）を有するメモリ回路（例えば図1の121）と、前記第1又は第2の表示デジタルデータの入力に対して、2Nポートの前記第1の表示デジタルデータを前記2つのドライバ群に出力するように設定可能な入力選択回路（例えば図1の122）を備えることを特徴とする。

20

【0021】

入力する表示デジタルデータとして、各ポートに時系列にデータ毎に所定順序で分割された2Nポートの表示デジタルデータであって、異なるNポートの表示デジタルデータが互いにデータ又はクロックが半周期位相がずれた第3の表示デジタルデータ（例えば図2（c））を含み、前記メモリ回路は、前記第3の表示デジタルデータに関する半周期の位相ずれを調整する位相調整回路（例えば図3の31）を備え、前記入力選択回路は、2Nポートの前記第3の表示デジタルデータを前記2つのドライバ群に出力するように設定可能であることを特徴とし、

30

又は、入力する表示デジタルデータとして、画面左半分又は画面右半分のデータのみからなるNポートの第4の表示デジタルデータ（例えば図13（a）、（b））を含み、前記メモリ回路は、前記ラインメモリに前記第4の表示デジタルデータを書き込み、画面左半分及び画面右半分のそれぞれNポートの前記第4の表示デジタルデータでなる前記第1の表示デジタルデータ（例えば図13（c））として読み出し、前記入力選択回路は、当該2Nポートの第1の表示デジタルデータを前記2つのドライバ群に出力するように設定可能であることを特徴とし、

40

又は、入力する表示デジタルデータとして、画面左半分又は画面右半分のデータのみからなるNポートの第4の表示デジタルデータ（例えば図14（a）、（b））を含み、前記メモリ回路は、前記ラインメモリに前記第4の表示デジタルデータを書き込み、画面左半分及び画面右半分の連続する偶数データと奇数データが同一である2Nポートの前記第1の表示デジタルデータ（例えば図14（c））として読み出し、前記入力選択回路は、当該2Nポートの第1の表示デジタルデータを前記2つのドライバ群に出力するように設定可能であることを特徴とする。

【0022】

50

(作用)

液晶表示装置のドライバ群を画面の左右半分に分割して並列に同時動作させるタイミングコントローラ回路に関し、複数ポート（ $2N$ ポート、 N は自然数）の各種フォーマットの表示データを、画面左半分及び画面右半分のデータとして分割された複数ポートの表示デジタルデータとして、常に出力するように構成して、ポート数及び各種フォーマットの表示データに対応可能とする。データのラインメモリを使用して並べ替えて出力フォーマットを選択可能とする。試験用の表示データをラインメモリにより合成することを可能とする。

【0023】

【発明の実施の形態】

次に、本発明の液晶表示装置及び制御回路の実施の形態について説明する。

(第1の実施の形態)

図1は、本発明の液晶表示装置及び制御回路の第1の実施の形態の構成を示す図である。アクティブマトリクス型の液晶パネル14と、ソースドライバ群13と、ゲートドライバ15と、ソースドライバ群13及びゲートドライバ15を制御する制御回路（以下、「タイミングコントローラ」という。）12と、ソースドライバ群13に階調電圧を供給する階調電圧回路16と、前記タイミングコントローラ12に、表示デジタルデータ（表示データ）を出力する画像デジタルデータ出力部11と、から構成される。

【0024】

液晶パネル14は、ガラス基板上にライン方向（水平方向）に配置されたゲートライン（走査信号線）と、該走査信号線に対し直交方向（垂直方向）に配置されたソースライン（ソース信号線）と、その交叉する位置に配置され、当該箇所の画素電極に階調電圧を供給して駆動するスイッチ素子（薄膜トランジスタ：TFT）等とからなるアクティブマトリクス基板で構成される。

【0025】

ソースドライバ群13は、表示データ及び階調電圧回路16から入力する階調電圧を入力して前記ソース信号線を駆動する2分割された2つのドライバ群131、132から構成されており、ソースドライバ群131は、画面左半分の画素電極に表示デジタルデータを、当該データ値に対応する表示用の階調電圧に変換して前記ソース信号線に供給、駆動し、ソースドライバ群132は、同様に画面右半分の画素電極に表示デジタルデータを、当該データ値に対応する表示用の階調電圧に変換して前記ソース信号線に供給、駆動するように構成される。

【0026】

映像デジタルデータ出力部11では、液晶パネルの画面左半分と画面右半分の各ソースドライバ群を駆動するデジタルの表示データとして、各種のポート数（1ポートは表示データのビット数 $\times 3$ の信号）及びデータ形式（フォーマット）の表示データが扱われる。

【0027】

タイミングコントローラ12は、メモリ回路121及びディップスイッチ等の外部から入力される設定データまたは表示デジタルデータ出力部11から入力される設定データにより制御可能な入力選択回路122を備える。タイミングコントローラ12は、映像データ出力部11から出力される異なるポート数及びフォーマットの表示データに対して、前記入力選択回路122により何れの表示データの入力にも拘わらず、2つのソースドライバ群131、132が正しく液晶パネルの画面左半分と画面右半分のソースドライバ群を並列に駆動し表示動作を実行できるように、後述する入力した表示データの処理を行い、ソースドライバ群131、132に対して、処理後の表示データを液晶パネルを駆動するタイミングで、それぞれのスタート信号（水平同期信号）等のソースドライバ制御信号とともに並列に出力し、また、前記走査信号線を1ライン単位で走査するようにゲートドライバ15にゲートドライバ制御信号を出力する。

【0028】

10

20

30

40

50

図2は、本実施の形態の映像ディジタルデータ出力部11から出力される2ポート出力の表示データのフォーマット（タイミングコントローラ入力）及び前記タイミングコントローラ12による処理結果の表示データのフォーマット（タイミングコントローラ出力）を示す図である。何れも表示データとして、表示パネル上の1ライン（水平方向）の画素数に対応する2M個のデータ（1番目の画素から2M番目の画素までの対応する0番目～2M-1番目のディジタルデータ）からなるものを示しており、図2（a）～（c）に、フォーマット1～3の3種類のデータ形式の表示データを、図2（d）に、何れのデータ形式の表示データに対してもタイミングコントローラ12は、2ポートの同一フォーマットの表示データを出力することを、それぞれ示している。つまり、

フォーマット1（図2（a））は、2つのポート1、2の表示データとして、ポート1は画面左半面の表示データを、ポート2は画面右半分の表示データをそれぞれ出力する場合を示している。

10

【0029】

フォーマット2（図2（b））は、2つのポート1、2の表示データとして、1ラインの時系列なデータのうち、ポート1は偶数の表示データを、ポート2は奇数の表示データをそれぞれ出力する場合を示している。

【0030】

フォーマット3（図2（c））は、2つのポート1、2の表示データとして、同様にポート1は偶数の表示データであり、ポート2は前記偶数の表示データに対して位相がデータの半周期（1/2クロック）遅れた奇数の表示データを出力する場合を示している。

20

【0031】

タイミングコントローラ12は、入力選択回路122による設定により、前記各フォーマット1～3の何れの表示データを入力しても、データ変換を行い図2（d）に示すフォーマット1のデータ形式の表示データをソースドライバ群131、132に出力する。

【0032】

図3は、第1の実施の形態のタイミングコントローラ12の構成例を示す図である。

【0033】

表示データの2つの入力ポート1、2と出力ポート1、2とを備え、ポート1側には、入力ポート1に接続された位相調整回路31、入力ポート1又は位相調整回路31の出力を切り換え出力するスイッチ32、スイッチ32の出力に接続されたメモリ33、入力ポート1又はメモリ33の出力を切り換えて出力するスイッチ34を備え、ポート2側には、入力ポート2に接続されたメモリ35、入力ポート2又はメモリ35の出力を切り換えて出力するスイッチ36を備え、スイッチ34、36の出力をデータ単位で出力ポート1、2に切り換え出力するメモリの読み出しのマルチプレクサ機能を有するスイッチ37を備え、更に、外部等から入力される設定データに基づき各スイッチ32、34、36、37の切り換えを制御する入力選択回路38を備える。前記位相調整回路31、メモリ33、35及びデータの書込、読出スイッチ等によりメモリ回路を構成する。

30

（動作の説明）

第1の実施の形態におけるタイミングコントローラ12の動作を図2、3を参照して以下説明する。

40

【0034】**（フォーマット1）**

表示データポート1、2に入力するデータがフォーマット1（図2（a））の表示データの並びの場合は、設定データによる入力選択回路38の選択信号2、3により、スイッチ34、36、37は入力ポート1、2がそれぞれ出力ポート1、2に接続されるように固定的に切り換え、表示データを出力ポート1、2にスルーにして出力する。

【0035】**（フォーマット2）**

表示データポート1、2に入力するデータがフォーマット2（図2（b））の表示データの並びの場合は、入力選択回路38の選択信号1によりスイッチ32は入力ポート1を選

50

択し、選択信号 2 によりスイッチ 3 4、3 6 は何れもメモリ 3 3、3 5 側を選択し、スイッチ 3 8 のデータ単位のスイッチングによりメモリ 3 3 及びメモリ 3 5 に記憶したデータから画面左半分のデータのみを出力ポート 1 に、画面右半分のデータのみを出力ポート 2 にそれぞれ出力するように記憶データを読み出し切り換えて出力する。

【0036】

(フォーマット 3)

表示データポート 1、2 に入力するデータがフォーマット 3 (図 2 (c)) の表示データの並びの場合は、入力選択回路 3 8 の選択信号 1 によりスイッチ 3 2 は位相調整回路 3 1 の出力を選択して位相が進んでいるポート 1 のデータをポート 2 のデータの位相と一致させ、スイッチ 3 4、3 6 は何れもメモリ 3 3、3 5 側を選択し、スイッチ 3 8 のデータ単位のスイッチングによりメモリ 3 3 及びメモリ 3 5 に記憶したデータから画面左半分のデータのみを出力ポート 1 に、画面右半分のデータのみを出力ポート 2 にそれぞれ出力されるように記憶データを読み出し切り換えて出力する。

10

【0037】

図 4 は、位相調整回路 3 1 の具体的な構成例を示す図である。図 4 (a) に示すように、クロック信号によりデータを記憶 (シフト) するフリップフロップ (例えば、D 型フリップフロップ: F/F) 回路 4 1、4 2 により構成される。

【0038】

図 4 (b) に示すように、ポート間の表示データの位相差はデータの半周期 (半クロック) であり、同図のように表示データポート 1 のデータがポート 2 に対して半クロック位相が進んでいる場合、ポート 1 のデータをそのクロック A の変化点 (立ち下がり) でフリップフロップ回路 4 1 に取り込む。フリップフロップ回路 4 1 の出力は表示データポート A 1 に示すように表示データ 2 と同一位相となる。後続の回路としては、フリップフロップ回路 4 1 の出力をクロック A を反転させ表示データ 2 のクロック B と同相のクロックとしてフリップフロップ回路 4 2 に取り込み、ポート 2 のデータ及びクロックと同一位相の動作を可能とする。

20

【0039】

図 4 (c) は、位相調整回路 3 1 の他の構成例を示しており、フリップフロップ回路 4 3、4 4、4 5 を追加し、ポート 2 のデータに対する半クロック位相遅れを与えるフリップフロップ回路 4 4 を設け、その出力とフリップフロップ回路 4 2 の出力をクロック B によりそれぞれのフリップフロップ回路 4 3、4 5 に取り込むようにして位相を一致させるように構成している。

30

【0040】

図 5、図 6 及び図 7 は、第 1 の実施の形態において表示データがフォーマット 2、3 の場合のより詳細なメモリ回路の動作タイミングチャートを示す図である。それぞれ 1 ライン目～3 ライン目までのタイミングチャートを示す図である。

【0041】

フォーマット 2、3 の場合は、画面左半分と右半分のデータが 2 つのポートから別々に入力されないので、図 3 に示すメモリ 3 3、3 5 により、データの並べ替えを行う。

【0042】

図 3 に示すメモリ 3 3、3 5 として、ライン単位の画素データを記憶可能なラインメモリ (1 ラインメモリのメモリ記憶容量はデータのビット数 $\times$ 3 $\times$ 1 ラインのデータ数 (画素数)) を 8 個使用し、メモリ 1、3、5、7 をメモリ 3 3 に、メモリ 2、4、6、8 をメモリ 3 5 に設け、選択信号 3 による個々のデータ単位の出力ポートへのデータの切り換えにより表示データの並べ替えを行う動作例を以下説明する。

40

【0043】

図 5 は、入力する表示データの 1 ライン目のラインメモリ (1～8) の制御のタイミングチャートを示す図である。ポート 1 及びポート 2 の表示データを入力し、ポート 1 からの画面左半分 (1/2 ライン) の奇数データはラインメモリ 1 に記憶し、ポート 2 からの画面左半分 (1/2 ライン) の偶数データはラインメモリ 2 に記憶する。続くポート 1 から

50

の画面右半分（1／2ライン）の奇数データはラインメモリ3に記憶し、ポート2からの画面右半分（1／2ライン）の偶数データはラインメモリ4に記憶する。

【0044】

以上の動作期間にはラインメモリへの他の書き込み及び読み出し動作は行っておらず、最初の前記1ラインのデータ入力期間は、出力ポート1、2にはデータが出力されない。

【0045】

図6は、2ライン目のラインメモリ（1～8）の制御のタイミングチャートを示す図である。2ライン目はラインメモリ1～4の読み出し制御と、ラインメモリ5～8の書き込み制御を行う。ポート1からの画面左半分（1／2ライン）の奇数データはラインメモリ5に記憶し、ポート2からの画面左半分（1／2ライン）の偶数データはラインメモリ6に記憶する。続くポート1からの画面右半分（1／2ライン）の奇数データはラインメモリ7に記憶し、ポート2からの画面右半分（1／2ライン）の偶数データがラインメモリ8に記憶する。

10

【0046】

ここで、前記書き込み動作と並行して、ラインメモリ1の奇数データとラインメモリ2の偶数データを交互に読み出すとともに、ラインメモリ3の奇数データとラインメモリ4の偶数データを交互に読み出し、スイッチ37を同期して制御することにより、画面左半分（1／2ライン）及び画面右半分（1／2ライン）の時系列な完全なデータを同時に出力ポート1及び出力ポート2に出力する。

【0047】

20

図7は、3ライン目のラインメモリ（1～8）の制御のタイミングチャートを示す図である。3ライン目は、ラインメモリ1～4に図5に示す書き込み制御を行い、ラインメモリ5～8に図6に示すようなラインメモリ5、6及びラインメモリ7、8の読み出し制御を行い、スイッチ37の同期した制御により画面左半分（1／2ライン）及び画面右半分（1／2ライン）の時系列な完全なデータを出力ポート1及び出力ポート2に同時に出力する。

【0048】

以上のラインメモリ1～8の書き込み及び読み出し動作は4ライン目以降も繰り返され、タイミングコントローラは、画面左半分及び画面右半分の2ポートの並列データとして、それぞれ図1に示す分割された2つのソースドライバ群131、132に出力する。

30

【0049】

図8は、ソースドライバ群の一部構成例を示す図である。2つに分割されたソースドライバ131、132内のシフトレジスタ群とラッチ回路とからなる構成部分のみを示している。タイミングコントローラ12は、同一のスタート信号（水平同期信号）と共に前記2ポートの並列な表示データを、分割した2つのソースドライバ群131、132にそれぞれ出力する。

【0050】

シフトレジスタ群は、同一のスタート信号を初段のシフトレジスタa1、b1から入力し並列の表示データのクロックでスタート信号をシフトし、各シフトレジスタa1、a2、…、b1、b2…の各段から互いに同期した前記クロック周期のタイミング信号を順次出力する。前記タイミング信号と前記表示データとにより、表示データをシフトレジスタの段数と同じ回路数のラッチ回路に順次書き込む。1ラインの全ての表示データがラッチ回路に書き込まれた後、ラッチデータは階調電圧回路16の出力が供給された図示しないD／A変換回路により、各ラッチデータ値に対応する階調電圧に変換されソース信号線に供給される。

40

【0051】

（第2の実施の形態）

図9、図10は、本発明の第2の実施の形態の表示データの例を示す図である。入力4ポート、出力4ポートの表示データを扱う場合を示している。

【0052】

50

図9(a)～(c)、図10(d)～(e)は、各ポートに時系列なデータ単位で所定順序で分割された4ポートの表示データであり、フォーマット1～5として5種類のデータ形式の表示データの例を示している。図10(f)は、何れのデータ形式の表示データの入力に対してもタイミングコントローラ2が出力する4ポートの同一データ形式の表示データの例を示す図である。つまり、

フォーマット1(図9(a))は、4つのポートの内、ポート1、2の表示データとして、画面左半面の偶数及び奇数のデータ、ポート3、4の表示データとして、画面右半分の偶数及び奇数のデータとして、それぞれが並列に出力される場合を示している。

【0053】

フォーマット2(図9(b))は、4つのポートに同時に出力されるデータが1ラインの順次連続するデータ、つまり、各ポート1～2の表示データは、それぞれ2M-4、2M-3、2M-2及び2M-1番目のデータ列である場合を示している。

【0054】

フォーマット3(図9(c))は、各ポートのデータ列がフォーマット2と同一であるが、ポート1、2とクロック3、4のクロックが互いに逆相の2相クロックA、Bを使用する点で異なるデータ列である場合を示している。

【0055】

フォーマット4(図10(d))は、フォーマット2と類似し、各ポート1～4の表示データは、それぞれ2M-4、2M-2、2M-3及び2M-1番目のデータ列である点で異なる場合を示している。

【0056】

フォーマット5(図10(e))は、各ポートのデータ列がフォーマット4と同一であるが、ポート1、2とクロック3、4のクロックが互いに逆相の2相クロックA、Bを使用する点で異なるデータ列の場合を示している。

【0057】

タイミングコントローラ2は、前記各フォーマット1～5の何れの表示データを入力した場合にも、図10(f)に示すフォーマット1のデータ形式としてソースドライバ群31、32に出力する。

【0058】

図11は、第2の実施の形態のタイミングコントローラの構成を示す図である。本実施の形態は、ポート1～ポート4の4入力及び4出力ポートであり、入出力ポート間に各ポートのデータを入力するデータ、クロックの位相調整回路111と、前記位相調整回路111の出力を入力するメモリ112と、各ポートのデータ及びメモリ112の出力を入力するマルチプレクサ113と、外部等から入力される設定データにより、前記位相調整回路111、メモリ112及びマルチプレクサ113を制御する信号を出力する入力選択回路114とから構成される。

【0059】

(動作の説明)

次に、第2の実施の形態のタイミングコントローラの動作を説明する。本実施の形態のタイミングコントローラ(図11)は、フォーマット1～5に応じて入力される設定データに基づく入力選択回路114の出力により、4ポートの入力データをマルチプレクサ113を介しデータ配列を変換せずにそのまま4ポートの出力とするか、位相調整回路111、メモリ112及びマルチプレクサ113を介してデータ配列を変換して4ポートの出力とするか、その際、位相調整回路111においてデータに対する位相調整を行うか否かについて制御する。

【0060】

(フォーマット1)

表示データポート1～4から入力するデータがフォーマット1(図9(a))の場合は、ポート1、2とポート3、4とが画面の左右のデータとして分割された状態で入力されているので、設定データにより入力選択回路114は、位相調整回路111及びメモリ11

10

20

30

40

50

2の動作を停止させ、マルチプレクサ113が4入力ポートのデータ配列を変更することなく入力された表示データをそのまま4出力ポートに出力するように制御する。

【0061】

(フォーマット2)

表示データポート1～4から入力するデータがフォーマット2(図9(b))の場合は、各データの位相は同一であるので、設定データにより入力選択回路114は、位相調整回路111、メモリ112及びマルチプレクサを制御し、位相調整回路111での位相調整は行わずに各データをスルーとして入力ポート1～4順にデータ0～3の順番で各データをメモリ111に書き込み、マルチプレクサ113はメモリ111の出力をデータ単位で選択して図10(f)に示す画面左右の分割したデータの並びに変換して出力する。

10

【0062】

(フォーマット3)

表示データポート1～4から入力するデータがフォーマット3(図9(c))のデータの場合は、入力選択回路114は、ポート1、2の各データのクロックのみを半クロックだけ位相(遅延)するように位相調整回路111の位相調整を行い、全データのクロックの位相及びトリガエッジを同一とし、メモリ111にデータを書き込み、マルチプレクサ113はフォーマット2と同様の制御により図10(f)の示す画面左右の分割したデータの並びに変換して出力する。

【0063】

(フォーマット4)

表示データポート1～4から入力するデータがフォーマット4(図10(d))のデータの場合は、各データの位相は同一で入力されるので、入力選択回路114は、位相調整回路111での位相調整は行わずに各データをスルーとしてポート1～4順にデータ0～3の順番で各データをメモリ111に書き込み、マルチプレクサ113はメモリ111の出力を選択して図10(f)に示す画面左右に対応する分割したデータの並びに変換して出力する。

20

【0064】

(フォーマット5)

表示データポート1～4から入力するデータがフォーマット5(図10(e))のデータの場合は、ポート1、2とポート3、4とのクロックの位相が半クロックずれているので、入力選択回路114は、ポート1、2の各データのクロックのみを半クロックだけ位相(遅延)するように位相調整回路111の位相調整の制御を行って全データのクロックの位相及びトリガエッジを同一としてデータをメモリ111に書き込み、マルチプレクサ113はフォーマット4と同様の制御により図10(f)に示す画面左右に対応する分割したデータの並びに変換して出力する。

30

【0065】

図12は、4ポートの表示データを入力するソースドライバ群の一部構成例を示す図である。第1の実施の形態と同様に2つに分割されたソースドライバ131、132のシフトレジスタ群とラッチ回路部分のみを示している。

【0066】

タイミングコントローラ12は、同一のスタート信号(水平同期信号)と共に前記4ポートの並列表示データを、分割した2つのソースドライバ群131、132にそれぞれ出力する。

40

【0067】

シフトレジスタ群は、第1の実施の形態と比べ1/2の段数により構成し、ラッチ回路a1、a2、…は、第1の実施の形態と同一数のラッチ回路数で構成している。シフトレジスタ群に対し同一のスタート信号を初段のシフトレジスタa1、b1から入力し、並列の表示データのクロックでスタート信号をシフトし、各シフトレジスタa1、a2、…、b1、b2…の各段から前記クロック周期でタイミング信号を順次出力する。

【0068】

50

本実施の形態では各画面半分用の表示データは2ポートのデータで入力するので、シフトレジスタの各段のタイミング信号により、2ポートの各表示データを同時に隣接するラッチ回路に書き込むように制御する。1ラインの全ての表示データがラッチ回路a1、a2、…、b1、b2…に書き込まれた後、ラッチデータは階調電圧回路16の出力が供給された図示しないD/A変換回路により、ラッチデータ値に対応する階調電圧に変換されソース信号線に供給される。

【0069】

以上の実施の形態では、画面左半分及び画面右半分の両方の表示データを入力する場合を説明したが、高速度の表示データ等を入力とし、液晶パネル等、液晶表示装置の各部の診断、検査を行う等のため、画面左半分又は画面右半分の片方の表示データを入力し表示する実施の形態について以下説明する。

10

（第3の実施の形態）

図13は、本発明の液晶表示装置及び制御回路の第3の実施の形態のタイミングチャートを示す図である。画面左半分又は画面右半分の表示データのみを入力し、当該表示データに基づき画面左半分及び画面右半分に同一画面として同時に表示させるように表示データを出力する実施の形態である。

【0070】

図13(a)、(c)は、ポート1の画面左半分のみを表示データを入力して、当該表示データを出力ポート1、2に同時に並列に出力する例を、図13(b)、(c)は、ポート2の画面右半分のみを表示データを入力して、同様に出力ポート1、2に並列に表示データを出力する例をそれぞれ示している。

20

【0071】

表示データの処理は、2ポートの表示データとして、画面左半分又は画面右半分のデータのみからなる1ポートの表示データ(図13(a)又は図13(b))を入力し、ラインメモリにおいて前記1ポートの表示データを記憶し、読み出し時に画面左半分及び画面右半分の両方に対する同じ表示データを2ポートの出力に送出する。

【0072】

例えば、図3に示すタイミングコントローラの構成の場合、2個のラインメモリを使用し、表示データが入力される1ポートの各データを1/2ライン単位で交互に2個のラインメモリにそれぞれ順次書き込むとともに、直前に書き込んだ2個のラインメモリのデータを画面左半分及び画面右半分のデータとして2ポートに同時に読み出すことにより実現する。図11に示すタイミングコントローラの構成(入出力2ポート)の場合も、同様なメモリの使用による画面左半分及び画面右半分の両方に対する同じ表示データの出力が可能である。また、入力する前記1ポートの表示データを2つのメモリへ同時に1/2ライン単位で書き込むとともに、同様にして前回書き込んだ2つのメモリから画面左半分及び画面右半分の表示データを同時に読み出すように制御することにより実現する。

30

【0073】

図11に示すタイミングコントローラの構成により、2Nポートの表示データに対しても同様の画面左半分及び画面右半分の両方に対する同じ表示データの出力が可能である。

【0074】

40

（第4の実施の形態）

図14は、本発明の液晶表示装置及び制御回路の第4の実施の形態のタイミングチャートを示す図である。画面左半分又は画面右半分の表示データのみを入力し、当該表示データに基づき画面半分の表示をライン方向に引き延ばした全画面表示とする例を示している。

【0075】

図14(a)、(c)は、ポート1の画面左半分のみを入力して、出力ポート1、2に、入力した表示データを1/2ライン単位で画面左半分及び画面右半分のデータとして1データを2回ずつ2ポートの出力に連続して並列に出力する例を、図14(b)、(c)は、ポート2の画面右半分のみを入力して、同様に2ポートの出力に1データを2回ずつ並列に出力する例を示している。

50

【0076】

表示データの処理は、2ポートの表示データとして、画面左半分又は画面右半分の表示データのみからなる1ポートの表示データを入力し、ラインメモリにおいて前記1ポートの表示データを記憶し、読み出し時に1データ毎に2ポートに続けて2回ずつデータを出力することにより、画面左半分及び画面右半分が連続する偶数データと奇数データが同一である表示データを出力する。

【0077】

例えば、図3に示すタイミングコントローラの構成において、前記1ポートの表示データを読み込んだメモリ33（又は35）からの読み出しをスイッチ37により2ポートに対して行うように制御することにより実現する。図11に示すタイミングコントローラの構成（入出力2ポート）の場合も、同様なメモリの使用による画面左半分及び画面右半分の両方に対する同じ表示データの出力が可能である。また、入力する前記1ポートの表示データを2つのメモリへの書き込みにおいて1ライン単位で2データずつ書き込むとともに、同様に前回書き込んだ2つのメモリから画面左半分及び画面右半分の表示データを同時に読み出すように制御することにより実現する。

10

【0078】

図11に示すタイミングコントローラの構成により、2Nポートの表示データに対しても同様の画面左半分及び画面右半分の両方に対する同じ表示データの出力が可能である。

（他の実施の形態）

以上説明した実施の形態では、2ポートに入力する表示データとして、フォーマット1、2、3の場合を説明し、4ポートに入力する表示データとしてフォーマット1～5の場合を説明してきたが、本発明は、2Nポート（Nは自然数）の表示データを対象とすることができることは明らかである。また、前記2Nポートの表示データとしては、異なるNポートのそれぞれ画面左半分及び画面右半分のデータとして分割された2Nポートの表示データ（第1の表示データ）、あるいは、各ポートに時系列なデータ単位で所定順序で分割された2Nポートの表示データ（第2の表示データ）とすることができ、必ずしも、前記第2の表示データが、異なるNポートの表示データとして互いにデータの半周期（クロックの半周期）の位相ずれを有する表示データをも含むことを必須とするものではないことは、本発明の趣旨から明らかである。

20

【0079】

また、表示データに位相ずれを有する場合に設けられる位相調整回路は、2Nポートの出力として送出されるデータが同一位相であればよいので、メモリの出力側に設けて適宜位相を調整するように構成することができること云うまでもない。

30

【0080】

図3に示す実施の形態において、メモリ内に設けられるラインメモリとして、表示データのビット数×3×1ラインのデータ数のメモリ記憶容量のものを使用する例を説明したが、2Nポートのデータに対し、1/2Nラインのデータ数を記憶可能なラインメモリとして構成することにより、メモリ数を節約することが可能である。

【0081】

【発明の効果】

本発明によれば、表示データによる画面左半分と右半分に分割したソースドライバ群の駆動を制御する制御回路（タイミングコントローラ）に入力する各種フォーマットの表示データを一定の単一フォーマットに変換して出力する切替変換機能を備えているので、液晶表示装置に供給する表示データの信号形式に対する自由度が高い液晶表示モジュールを構成することが可能である。

40

【0082】

また、液晶表示装置に対する表示データの送り側において表示データのフォーマットに応じた信号変換処理を行う信号処理回路等を設ける必要がなくなるから、液晶表示装置が高価格化するのを回避することが可能である。

【0083】

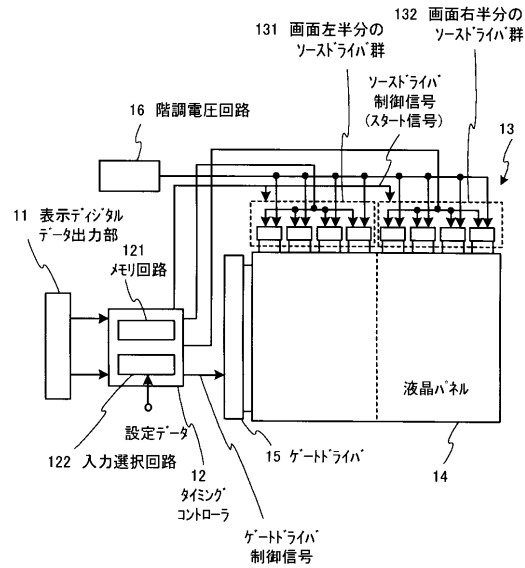
50

更に、制御回路内に表示データの処理回路を内蔵することにより、入力した表示データと異なる表示データを発生することが可能であり、高速動作時の試験表示用データ等の発生が可能である。

【図面の簡単な説明】

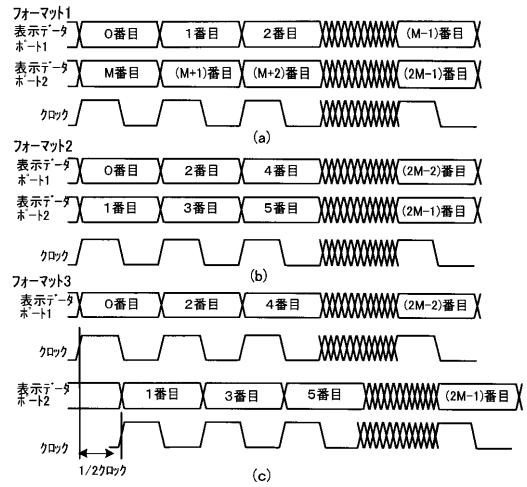
- 【図 1】 本発明の液晶表示装置及び制御回路の第 1 の実施の形態を示す図である。
- 【図 2】 第 1 の実施の形態で扱う 2 ポート出力のデータ形式を示す図である。
- 【図 3】 第 1 の実施の形態のタイミングコントローラの構成例を示す図である。
- 【図 4】 第 1 の実施の形態の位相調整回路の具体的な構成例を示す図である。
- 【図 5】 第 1 の実施の形態のメモリの動作タイミングチャートを示す図である。
- 【図 6】 第 1 の実施の形態のラインメモリの動作タイミングチャートを示す図である。 10
- 【図 7】 第 1 の実施の形態のラインメモリの動作タイミングチャートを示す図である。
- 【図 8】 第 1 の実施の形態のソースドライバの一部構成例を示す図である。
- 【図 9】 本発明の液晶表示装置及び制御回路の第 2 の実施の形態で扱う表示データのデータ形式を示す図である。
- 【図 10】 第 2 の実施の形態で扱う表示データの例を示す図である。
- 【図 11】 第 2 の実施の形態のタイミングコントローラの構成を示す図である。
- 【図 12】 第 2 の実施の形態のソースドライバの一部構成例を示す図である。
- 【図 13】 本発明の液晶表示装置及び制御回路の第 3 の実施の形態のタイミングチャートを示す図である。
- 【図 14】 本発明の液晶表示装置及び制御回路の第 4 の実施の形態のタイミングチャートを示す図である。 20
- 【図 15】 従来の液晶表示装置の制御回路を示す図である。
- 【図 16】 従来の液晶表示装置の他の制御回路を示す図である。
- 【符号の説明】
- 1 1 表示ディジタルデータ出力部
- 1 1 3 マルチプレクサ
- 1 2 タイミングコントローラ
- 1 2 1 メモリ回路
- 1 2 2、3 7、1 1 4 入力選択回路
- 1 3 ソースドライバ群 30
- 1 3 1 画面左半分のソースドライバ群
- 1 3 2 画面右半分のソースドライバ群
- 1 4 液晶パネル
- 1 5 ゲートドライバ
- 1 6 階調電圧回路
- 3 1、1 1 1 位相調整回路
- 3 3、3 5、1 1 2 メモリ
- 3 2、3 4、3 6 スイッチ
- 3 8 スイッチ（マルチプレクサ機能スイッチ）
- 4 1、4 2、4 3、4 4、4 5 フリップフロップ回路 40

【図 1】

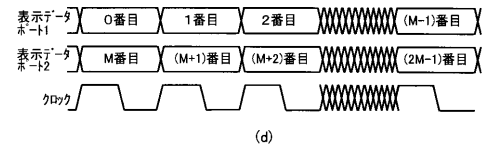


【図 2】

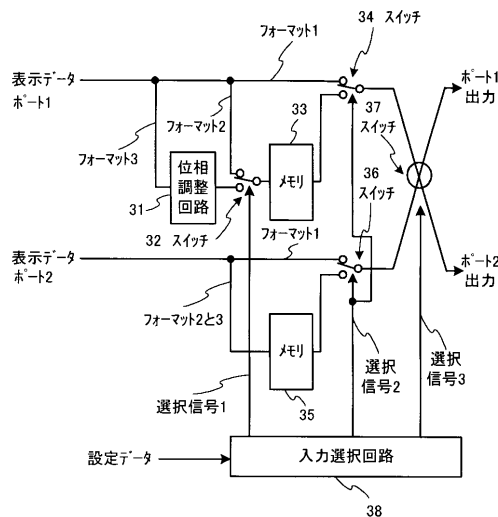
[タイミング・コントローラ入力]



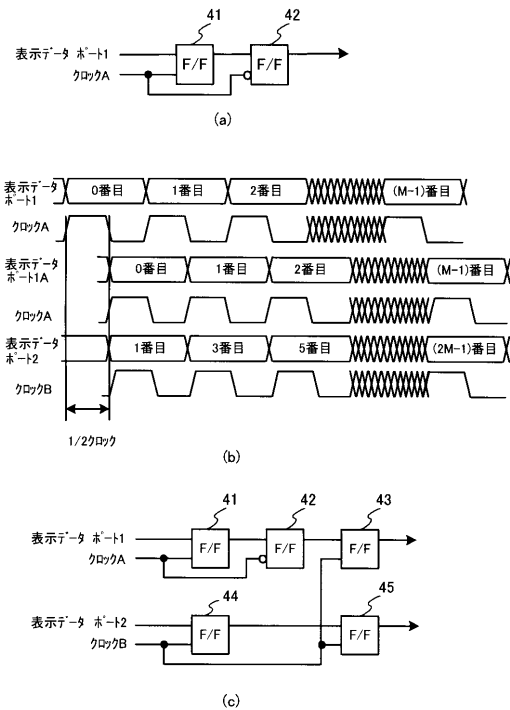
[タイミングコントロール出力]



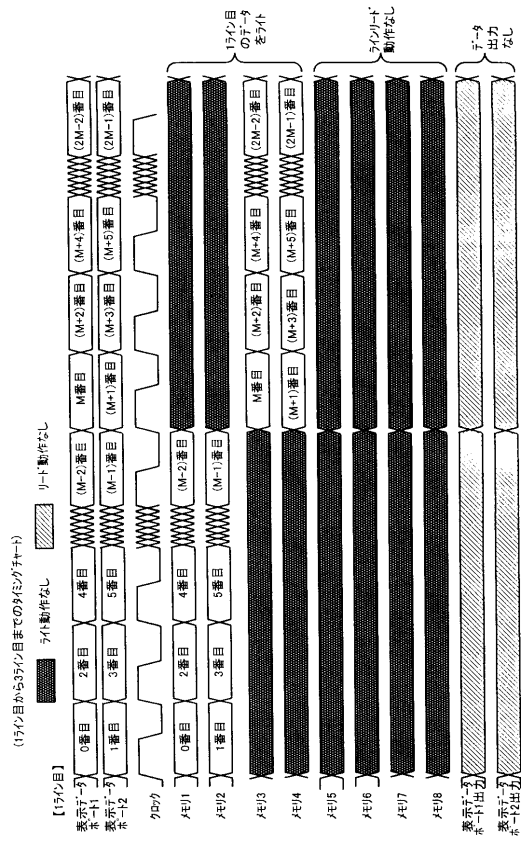
【図 3】



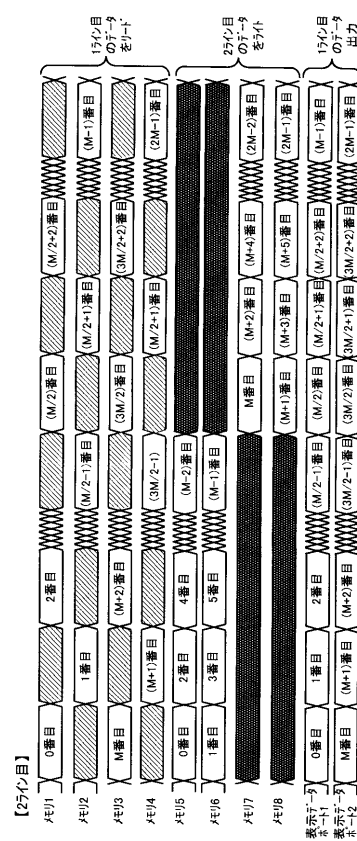
【図 4】



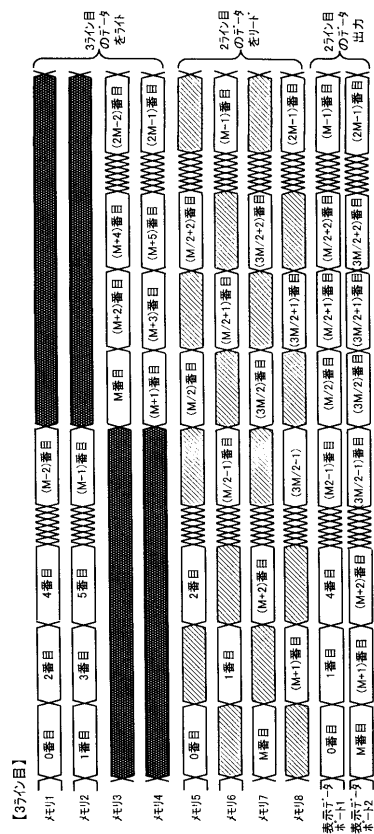
【図 5】



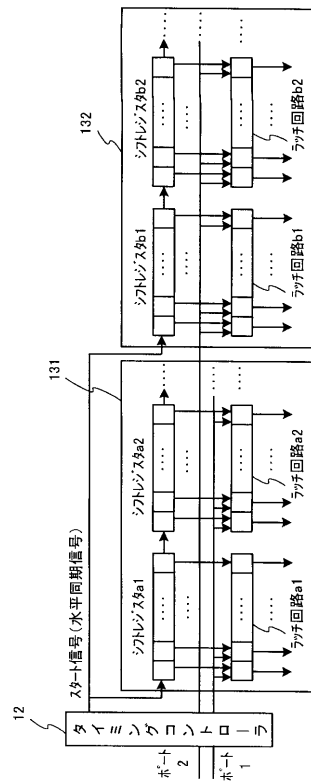
【図 6】



【圖 7】

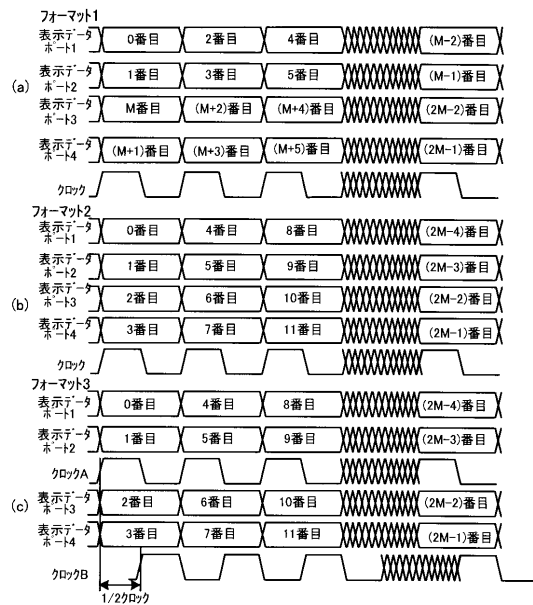


【图 8】



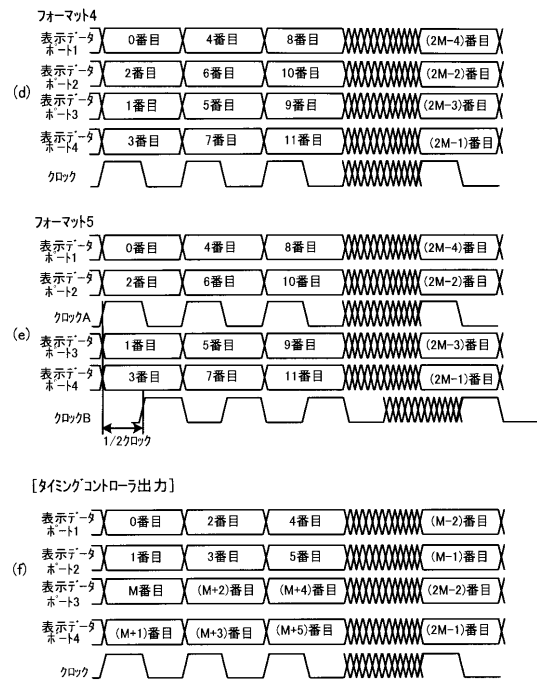
【図 9】

【タイミングコントローラ入力】

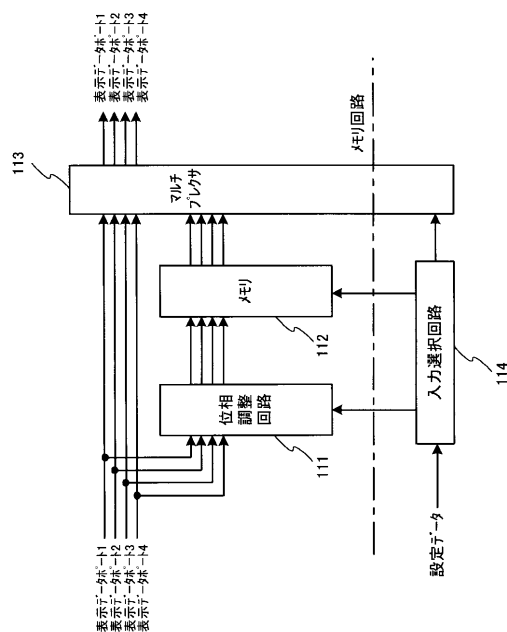


【図 10】

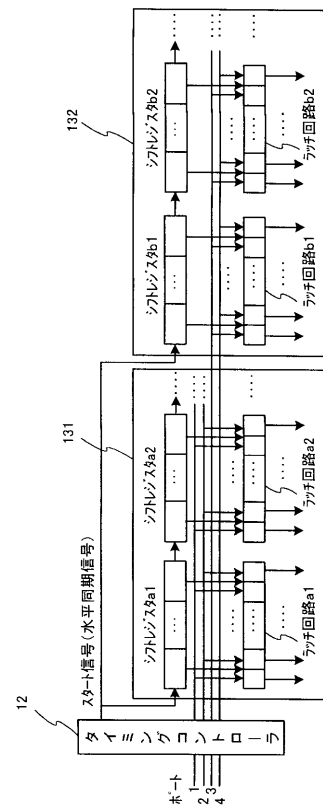
【タイミングコントローラ入力】



【図 11】

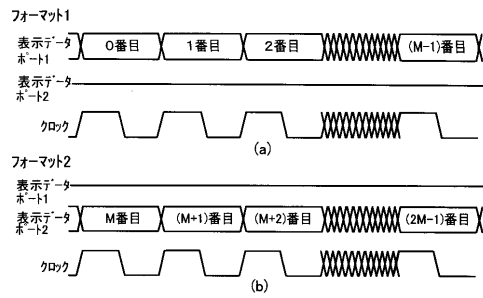


【図 12】

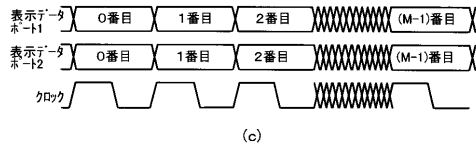


【図 13】

【タイミングコントローラ入力】

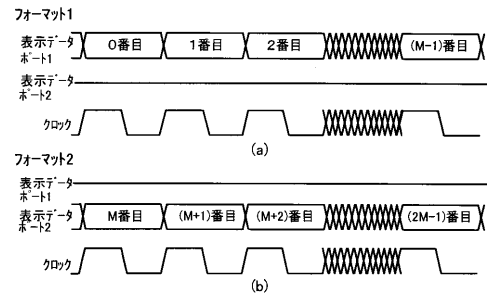


【タイミングコントローラ出力】

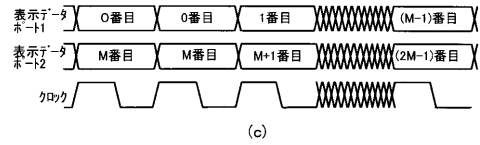


【図 14】

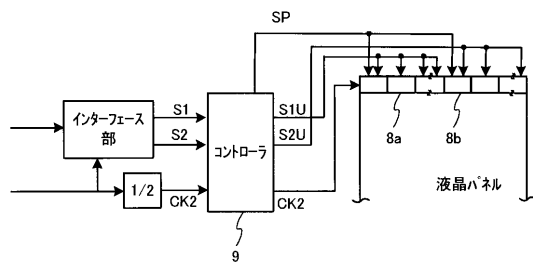
【タイミングコントローラ入力】



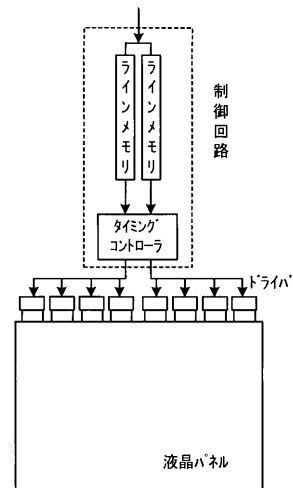
【タイミングコントローラ出力】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 1 Q

- (74)代理人 100118407
弁理士 吉田 尚美
- (74)代理人 100125380
弁理士 中村 綾子
- (74)代理人 100125036
弁理士 深川 英里
- (74)代理人 100142996
弁理士 森本 聡二
- (74)代理人 100154298
弁理士 角田 恭子
- (74)代理人 100162330
弁理士 広瀬 幹規
- (74)代理人 100166268
弁理士 田中 祐
- (74)代理人 100170379
弁理士 徳本 浩一
- (74)代理人 100161001
弁理士 渡辺 篤司
- (72)発明者 伊藤 正厚
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 高見 一彦
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 奥苑 登
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 西島 篤宏

- (56)参考文献 特開平09-179535 (JP, A)
特開2001-042840 (JP, A)
特開平04-125586 (JP, A)
特開平09-212150 (JP, A)
特開平05-232898 (JP, A)
特開平11-045076 (JP, A)
特開平05-210359 (JP, A)
特開平08-211846 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38
G02F 1/133 505-580

专利名称(译)	液晶表示装置		
公开(公告)号	JP4875248B2	公开(公告)日	2012-02-15
申请号	JP2001117002	申请日	2001-04-16
申请(专利权)人(译)	NEC公司		
当前申请(专利权)人(译)	ゲットナー・粉底・エルエル海洋		
[标]发明人	伊藤正厚 高見一彦 奥苑登		
发明人	伊藤 正厚 高見 一彦 奥苑 登		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00		
CPC分类号	G09G3/3688 G09G3/3666 G09G5/005 G09G5/006 G09G2352/00		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.612.R G09G3/20.623.V G09G3/20.631.Q		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND50 2H093/ND56 2H093/ND60 2H193/ZA04 2H193/ZD23 2H193/ZK01 5C006/AF07 5C006/AF22 5C006/AF51 5C006/AF52 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF05 5C006/FA12 5C006/FA44 5C006/FA52 5C080/AA10 5C080/BB06 5C080/DD08 5C080/DD27 5C080/DD30 5C080/FF13 5C080/JJ02 5C080/JJ04		
代理人(译)	河村 英文 吉田直美 中村綾子 角田恭子 田中宇 徳本光一 渡边淳		
其他公开文献	JP2002311913A		
外部链接	Espacenet		

摘要(译)

要解决的问题：增加提供给液晶显示模块的端口数量和显示数据格式的自由度。它可以合成测试数据。 解决方案：本发明涉及一种定时控制器电路，用于将液晶显示装置的驱动器组13分成屏幕的左右两半并同时并行操作，从显示数字数据输出部分11显示多个端口的数据，121被分成屏幕的左半部分数据和右半部分数据的多个端口的显示数据，并且通过输入选择电路选择性地输出显示数据，以便与各种显示数据兼容。使用行存储器重新排列数据。可以通过行存储器合成测试显示数据。

