

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4767588号
(P4767588)

(45) 発行日 平成23年9月7日 (2011.9.7)

(24) 登録日 平成23年6月24日 (2011.6.24)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1368 (2006.01)

GO2F 1/1343

GO2F 1/1368

請求項の数 5 (全 17 頁)

(21) 出願番号	特願2005-156089 (P2005-156089)	(73) 特許権者	000005049
(22) 出願日	平成17年5月27日 (2005.5.27)		シャープ株式会社
(65) 公開番号	特開2006-330499 (P2006-330499A)		大阪府大阪市阿倍野区長池町2番22号
(43) 公開日	平成18年12月7日 (2006.12.7)	(74) 代理人	100070150
審査請求日	平成19年9月7日 (2007.9.7)		弁理士 伊東 忠彦
		(72) 発明者	仲西 洋平
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
		(72) 発明者	鎌田 豪
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

相互に対向して配置された第1及び第2の基板と、
前記第1及び第2の基板間に封入された液晶と、
前記第1の基板上に形成されたゲートバスライン及びデータバスラインと、
前記第1の基板上に形成され前記ゲートバスライン及び前記データバスラインに接続された第1のトランジスタと、
前記第1の基板上に形成され前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、
前記第1の基板上に形成され前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記第1のトランジスタを介して表示電圧が印加される制御電極と、
一定の電位に保持され、前記制御電極との間で補助容量を構成する補助容量バスラインとを有し、
前記制御電極と容量結合した副画素電極と前記第1のトランジスタに接続した副画素電極との間に、前記トランジスタが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第2のトランジスタを有している液晶表示装置において、
前記第2のトランジスタのみを駆動するゲートバスラインが前記第1の基板上、前記ゲートバスライン、前記データバスライン、および前記第1および第2のトランジスタを含んで前記第1の基板上に形成されるアクティブマトリクスの外側において、前記アクティ

10

20

ブマトリクスのうちフレームの最初に駆動される段に隣接して配置され、前記第 2 のトランジスタのみを駆動するゲートバスラインは、前記フレームの最初に駆動させる段に先だ
って駆動されることを特徴とする液晶表示装置。

【請求項 2】

前記第 2 のトランジスタは、第 1 のトランジスタが接続されたゲートバスラインの前段のゲートバスラインに流れる信号で駆動され、

第 1 段のゲートバスラインの前段に、第 1 段の副画素間に設けられた第 2 のトランジスタのみを駆動するゲートバスラインを有することを特徴とする請求項 1 の液晶表示装置。

【請求項 3】

前記第 1 段の前に設けられたゲートバスラインと最終段の画素を制御するゲートバスラインとを短絡させたことを特徴とする請求項 2 の液晶表示装置。

10

【請求項 4】

前記第 1 段の前に設けられたゲートバスラインと最終段の画素を制御するゲートバスラインとを、両者を制御する回路上で短絡させたことを特徴とする請求項 2 , 3 の液晶表示装置。

【請求項 5】

前記第 1 段の前に設けられたゲートバスラインと最終段の画素を制御するゲートバスラインとを短絡させるためのバスラインをデータバスラインに平行に設けたことを特徴とする請求項 2 , 3 の液晶表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は一般に液晶表示装置に係り、特に一画素領域内に複数の副画素電極を有する液晶表示装置及びその焼付き防止方法に関する。本発明は特に、副画素電極のうちの少なくとも 1 つが、表示電圧が印加される制御電極と容量結合した液晶表示装置、及びその焼付き防止方法に関する。

【背景技術】

【0002】

液晶表示装置は、C R T (Cathode Ray Tube) に比べて薄くて軽量であり、低電圧で駆動できて消費電力が小さい。このため、液晶表示装置は、テレビ、ノート型 P C (パーソナルコンピュータ)、デスクトップ型 P C、P D A (携帯端末) 及び携帯電話など、種々の電子機器に使用されている。特に、各画素 (サブピクセル) 毎にスイッチング素子として薄膜トランジスタ (T F T : Thin Film Transistor) を設けたアクティブマトリクス型液晶表示装置は、その駆動能力の高さから C R T にも匹敵する、優れた表示特性を示し、デスクトップ型 P C やテレビなど、従来 C R T が使用されていた分野にも広く使用されるようになっている。

30

【0003】

一般に、液晶表示装置は 2 枚の基板と、これらの基板間に封入された液晶とにより構成される。一方の基板には各画素毎に画素電極及び T F T 等が形成され、他方の基板には画素電極に対向するカラーフィルタと、各画素共通のコモン (共通) 電極とが形成されている。カラーフィルタには赤色 (R)、緑色 (G) 及び青色 (B) の 3 種類があり、画素毎にいずれか 1 色のカラーフィルタが配置されている。隣接して配置された赤色 (R)、緑色 (G) 及び青色 (B) の 3 つの画素で 1 つのピクセル (Pixel) が構成される。以下、画素電極及び T F T が形成された基板を T F T 基板と呼び、T F T 基板に対向して配置される基板を対向基板と称する。また、T F T 基板と対向基板との間に液晶を封入してなる構造物を液晶パネルと称する。

40

【0004】

従来は、2 枚の基板間に水平配向型液晶 (誘電率異方性が正の液晶) を封入し、液晶分子をツイスト配向させる T N (Twisted Nematic) 型液晶表示装置が広く使用されていた。しかし、T N 型液晶表示装置には視野角特性が悪く、画面を斜め方向から見たときにコ

50

ントラストや色調が大きく変化するという欠点がある。このため、視野角特性が良好な MVA (Multi-domain Vertical Alignment) 型液晶表示装置が開発され、実用化されている。

【0005】

ところで、従来の MVA 型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。

【0006】

図1は、横軸に印加電圧 (V) をとり、縦軸に透過率をとって、画面を正面から見たときの T-V (透過率 - 電圧) 特性と、上 60° の方向から見たときの T-V 特性とを示す図である。

10

【0007】

図1よりわかるように、しきい値電圧よりも若干高い電圧を画素電極に印加したときには、斜め方向から見たときの透過率が、正面から見たときの透過率よりも高くなるのがわかる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなるのがわかる。このため、斜め方向から見たときには赤色画素、緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け (discolor) と呼ばれている。白茶けは、MVA 型液晶表示装置だけでなく、TN 型液晶表示装置でも発生する。

【0008】

米国特許第 4840460 号の明細書には、1つの画素を複数の副画素に分割して、それらの副画素を容量結合する技術が提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素に相互に異なる電圧を印加することができる。従って、見かけ上、1つの画素に T-V 特性のしきい値が異なる複数の領域が存在することになる。このように1つの画素に T-V 特性のしきい値が異なる複数の領域が存在すると、正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制され、その結果画面が白っぽくなる現象 (白茶け) も抑制される。このように1つの画素を容量結合した複数の副画素に分割して表示特性を改善する方法は、容量結合による HT (ハーフトングレyscale) 法と呼ばれる。なお、米国特許第 4840460 号の明細書に記載された液晶表示装置は、TN 型液晶表示装置である。

20

【0009】

特許第 3076938 号の明細書 (特開平 5 - 66412 号公報) には、画素電極を複数の副画素電極に分割し、各副画素電極の下方に絶縁膜を介して制御電極をそれぞれ配置した TN 型液晶表示装置が開示されている。この液晶表示装置では、TFE を介して制御電極に表示電圧が印加される。各副画素電極の大きさは相互に異なっているので、副画素電極に印加される電圧も相互に異なり、HT 法による効果、すなわち白茶けを抑制する効果を得ることができる。

30

【特許文献1】米国特許第 4840460 号明細書

【特許文献2】特許第 3076938 号明細書

【発明の開示】

【発明が解決しようとする課題】

40

【0010】

一方、本発明の発明者は、本発明の基礎となる研究において、上述した従来の浮遊副画素電極を有する液晶表示装置では、焼付きにより表示特性が劣化しやすい問題が生じるのを見出した。

【0011】

図2 (A) ~ (C) 及び図3は、焼付きの程度を測定する試験方法を示す模式図である。

【0012】

まず、液晶表示装置に、図2 (A) に示すような白黒のチェッカーパターンを一定時間連続して表示する。その後、液晶表示装置の全面に、図2 (B) に示すような中間調の表

50

示を行う。このとき、画面に焼付きが発生すると、図2(C)に示すように、チェッカーパターンが薄く見える。

【0013】

チェッカーパターンの表示から中間調の表示に切り替えた後、例えば図2(C)のX-X線に沿って輝度を測定する。そして、図3に示すように暗い部分の輝度をa、暗い部分と明るい部分との輝度差をbとしたときに、 $100 \times b / (a + b)$ で定義される焼付き率を計算する。

【0014】

上記の方法により、浮遊副画素電極を有しない液晶表示装置の焼付き率と浮遊副画素電極を有する液晶表示装置の焼付き率を測定した。その結果、浮遊副画素電極を有しない液晶表示装置の焼付き率が5%以下であるのに対し、浮遊副画素電極を有する液晶表示装置の焼付き率は10%以上と高いものであった。

【課題を解決するための手段】

【0015】

本発明は第1の側面において、相互に対向して配置された第1及び第2の基板と、前記第1及び第2の基板間に封入された液晶と、前記第1の基板上に形成されたゲートバスライン及びデータバスラインと、前記第1の基板上に形成され前記ゲートバスライン及び前記データバスラインに接続された第1のトランジスタと、前記第1の基板上に形成され前記ゲートバスライン及び前記データバスラインにより区画される画素領域内に形成された複数の副画素電極と、前記第1の基板上に形成され前記複数の副画素電極のうちの少なくとも1つと容量結合し、前記データバスラインから前記第1のトランジスタを介して表示電圧が印加される制御電極と、一定の電位に保持され、前記制御電極との間で補助容量を構成する補助容量バスラインとを有し、前記制御電極と容量結合した副画素電極と前記第1のトランジスタに接続した副画素電極との間に、前記トランジスタが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第2のトランジスタを有している液晶表示装置において、前記第2のトランジスタのみを駆動するゲートバスラインが前記第1の基板上、前記ゲートバスライン、前記データバスライン、および前記第1および第2のトランジスタを含んで前記第1の基板上に形成されるアクティブマトリクスの外側において、前記アクティブマトリクスのうちフレームの最初に駆動される段に隣接して配置され、前記第2のトランジスタのみを駆動するゲートバスラインは、前記フレームの最初に駆動させる段に先だって駆動されることを特徴とする液晶表示装置を提供する。

【発明の効果】

【0017】

本発明の前記第1の側面によれば、各画素に2つずつTF T素子を設け、ひとつは従来と同様画素に電圧を供給するスイッチとして用い、後の一つは副画素同士を接続して電荷を逃がす役割を持たせる。この方法においては、浮遊副画素電極と補助容量バスラインとの間、又は浮遊副画素電極とTF Tに直結した副画素電極との間に、TF Tが接続されたゲートバスラインとは別のゲートバスラインに流れる信号で駆動する第2のトランジスタを配置している。これにより、所定のタイミングで浮遊副画素電極に蓄積された電荷が補助容量バスライン又はTF Tに直結した副画素電極に流れ、焼付きの発生が防止される。第2のトランジスタ駆動のため新たにゲートバスラインを設けてもよいが、前段のゲートバスラインを兼用することにより開口率を維持できる。

【0018】

その際、上記構成では、最初に駆動される段の画素は、その前の段のゲートバスラインが存在しないために当該方法をとることができず、最初の段のみ焼付きが発生する。これに対し、本発明では最初の段の前にゲートバスラインを一本追加することにより、最初の段の焼付きを解決する。

【発明を実施するための最良の形態】

【0020】

[第1実施例]

図４Ａおよび図４Ｂは、本発明の出発点となった、本発明の関連技術による液晶表示装置２０の構成を示す図である。ただし図４ＡはＴＦＴ基板上に形成される１画素を示す平面図を、図４Ｂの（Ｂ）は、図４Ａ中、ラインＡ－Ａ'に沿った断面図を、さらに図４の（Ｃ）は、図４Ａおよび図４Ｂの（Ｂ）の構成に対応する等価回路図である。

【００２１】

先に図４Ｂの（Ｂ）の断面図を参照するに、液晶表示装置２０は互いに対向するガラス基板２１Ａ、２１Ｂと、間に封入された液晶層２２とよりなり、前記ガラス基板２１Ａ上にはゲートバスライン２２Ｇおよび蓄積容量バスライン２２Ｃが形成されている。

【００２２】

前記ゲートバスライン２２Ｇおよび蓄積バスライン２２ＣはＴＦＴ２４Ｔ_１のゲート絶縁膜を構成する絶縁膜２２ＧＯｘにより覆われており、前記ゲート絶縁膜２２ＧＯｘ上には前記ゲートバスライン２２Ｇに対応してアモルファスシリコンあるいはポリシリコンよりなるチャンネル層２２Ｃ_ｈが、前記ＴＦＴ２４Ｔ_１のチャンネルとして形成されている。

【００２３】

前記チャンネル層２２Ｃ_ｈ上にはＳｉＮなどよりなるチャンネルストッパパターン２２Ｎが形成されており、前記ゲート絶縁膜２２ＧＯｘ上には前記チャンネルストッパパターン２２Ｎの両側に、前記チャンネル層２２Ｃ_ｈの両端部を覆うようにｎ＋型あるいはｐ＋型のアモルファスシリコン膜パターン２２Ｓ、２２Ｄが、前記ＴＦＴ２４Ｔ_１のソースおよびドレイン領域として形成されている。さらに前記アモルファスシリコンパターン２２Ｓ上には、ソース電極２３Ｓ、ドレイン電極２３Ｄが形成され、そのうちのソース電極２３Ｓは、前記ゲート絶縁膜２２ＧＯｘ上を延在し、制御電極を形成する。また図４Ａに示すようにドレイン電極２３Ｄは、データバスライン２３Ｄａｔに接続されている。

【００２４】

さらに前記ゲート絶縁膜２２ＧＯｘ上には前記ＴＦＴ２４Ｔ_１およびソース電極２３Ｓ、ドレイン電極２３Ｄを覆うように層間絶縁膜２４が形成され、前記層間絶縁膜２４上には、前記制御電極２３Ｓとコンタクトホール２４Ｖ１を介してコンタクトする副画素電極２４Ａと、前記画素電極２４Ａとは分離された別の副画素電極２４Ｂとが形成される。さらに、前記層間絶縁膜２４上には、前記副画素電極２４Ａ、２４Ｂを覆うように、配向膜２５Ａが形成されている。また前記副画素電極２４Ｂは、前記制御電極２３Ｓと容量結合する。

【００２５】

一方、前記対向基板２１Ｂ上にはカラーフィルタ層２２ＣＦを介して一様なコモン電極２２ＣＭが形成され、前記コモン電極２２ＣＭ上には配向膜２５Ｂが形成されている。さらに前記液晶層２２は、前記配向膜２５Ａ、２５Ｂに接して保持される。

【００２６】

次に図４Ａの平面図を参照するに、前記ガラス基板２１Ａ上には前記ゲートバスライン２２Ｇおよび蓄積容量バスライン２２Ｃが左右に延在し、前記ソース電極２３Ｓ、ドレイン電極２４Ｄと同じレベルに、データバス２３Ｄａｔが上下方向に延在しており、前記データバス２３Ｄａｔは、前記ＴＦＴ２４Ｔ_１のドレイン電極２３Ｄに接続されている。

【００２７】

図４Ａの構成では、前記ＴＦＴ２４Ｔ_１に対応する画素領域には、前記副画素電極２４Ａ、２４Ｂの他に副画素電極２４Ｃが、前記副画素電極２４Ｂが副画素電極２４Ａと２４Ｃの間に挟まれるように形成されており、前記副画素電極２４Ｃは、前記制御電極２３Ｓと、前記コンタクトホール２４Ｖ_１と同様なコンタクトホール２４Ｖ_２により接続されている。すなわち、前記副画素電極２３Ｃは、前記副画素電極２３Ａ同様、ＴＦＴ２４Ｔ_１に直結されている。これに対し、前記副画素電極２３ＢはＴＦＴに接続されておらず、浮遊画素電極を構成する。

【００２８】

図４Ｂの（Ｃ）は、このような図４Ａおよび図４Ｂの（Ｂ）の構成に対応する等価回路図である。

【 0 0 2 9 】

図 4 B の (C) を参照するに、キャパシタ C_{LC1} は前記直結副画素電極 2 4 A , 2 4 C に対応しており、T F T 2 4 T₁により駆動され、駆動電圧 V_{px1} が印加される。また前記キャパシタ C_{LC1} には、蓄積容量 C_s が並列接続されている。

【 0 0 3 0 】

一方、キャパシタ C_{LC2} は、前記浮遊副画素電極 2 4 B に対応し、前記制御電極 2 3 S との容量結合 C_c を介して、T F T 2 4 T₁により間接的に駆動される。

【 0 0 3 1 】

かかる構成では、前記副画素電極 2 4 A , 2 4 C への印加電圧が V_{px1} の場合、前記浮遊副画素電極 2 4 B には、前記容量結合 C_c を介して、式

10

【 0 0 3 2 】

【 数 1 】

$$V_{px2} = \frac{C_c}{C_c + C_{LC2}} \cdot V_{px1}$$

20

で与えられる電圧 V_{px2} が、印加される。

【 0 0 3 3 】

すなわちかかる構成によれば、単一画素内に異なった V - T 特性を有する領域を形成でき、ハーフトーン表示の視野角特性を大きく改善することができる。

【 0 0 3 4 】

さて、このような構成の液晶表示装置では、浮遊副画素電極 2 4 B に電荷が残留しやすく、焼付きの問題が発生しやすい。

【 0 0 3 5 】

30

そこで、図 4 A の構成では、N 段目の T F T 2 4 T₁ に協働する浮遊画素電極 2 4 B を前記 T F T 2 4 T₁ に直結した副画素電極 2 4 C に、一つ前 ((N - 1) 段目) の T F T 2 4 T₁ のゲートバス 2 2 G (N - 1) により制御される第 2 の T F T 2 4 T₂ を介して接続している。

【 0 0 3 6 】

このような構成では、前記第 2 の T F T 2 4 T₂ は、N 段目第 1 の T F T 2 4 T₁ (N) のゲートバスラインの一つ前に駆動される (N - 1) 段目のゲートバスライン 2 2 G (N - 1) によって駆動されるため、前記浮遊副画素電極 2 4 B は、N 段目第 1 の T F T 2 4 T₁ (N) によって電圧が書き込まれる直前に、必ず前記第 1 の T F T 2 4 T₁ (N) に直結した副画素電極 2 4 C , 2 4 A に電荷を逃がすことになる。一方、前記第 1 の T F T 2 4 T₁ (N) に直結した副画素電極 2 4 A , 2 4 C では、常に電圧の書き込みが行われるので、余分な電荷の蓄積が発生することがない。同時に浮遊副画素電極 2 4 B も、先に説明したように余分な電荷が直結画素 2 4 A , 2 4 C に第 2 の T F T 2 4 T₂ を介して放出されるため、余分な電荷の蓄積による焼付きが発生することは無くなる。

40

【 0 0 3 7 】

ところが、このような構成を液晶パネル全体で見ると、最初の段においては、図 5 に示すように、1 番目の副画素電極 2 4 B , 2 4 C 間に設けられた第 2 の T F T 2 4 T₂ を駆動するゲートバスラインがないため、前記第 2 の T F T 2 4 T₂ を駆動することができず、その結果、1 段目においてのみ、画素の焼付きが発生してしまう。

【 0 0 3 8 】

50

そこで本実施例では、図 6 に示すように 1 段目の画素において、0 段目のゲートバスライン 22G(0) をあえて形成し、前記 1 段目の画素に対応する TFT24T₁ の駆動直前に前記ゲートバスライン 22G(0) に、駆動回路から別に駆動電圧を供給し、前記 1 段目の画素において第 2 の TFT24T₂ を導通させる。ただし図 6 は、本発明の第 1 実施例による液晶表示装置 20A の構成を示す。図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0039】

ここで、前記 0 段目のゲートバスライン 22G(0) を駆動するタイミングは、n を任意の段数として、n + 1 段目のゲートバスライン 22G(n + 1) が所定の ON 電圧になる前に第 n 段目のゲートバスライン 22G(n) が所定の ON 電圧になるタイミングと同じに設定するのが望ましい。1 フレーム内で電荷を逃すタイミングが長くなると、副画素電極の電位が変化して液晶分子の配向が変化する余裕が生じ、光学特性が変化してしまうためである。

【0040】

図 7 は、前記液晶表示装置 20A のうち、TFT 基板 21A 上のパターンを 1 段目の画素から N 段目（最後）の画素まで示す図である。前記 1 段目の画素はフレームの最初に選択され、N 段目の画素は、フレームの最後に選択される。

図 7 よりわかるように、ゲートバスライン 22G(1), 22G(2) ··· 22G(N - 1), 22G(N) およびデータバスライン 22Dat は、1 段目から N 段目までそれぞれの段の TFT24T₁ および 24T₂ とともに、アクティブマトリクスを形成している。前記 0 段目のゲートバスライン 22G(0) は前記ガラス基板 21A 上、前記アクティブマトリクスの外側において、前記第 1 段目に隣接して配置され、前記第 1 段の駆動に先立って駆動される。

[第 2 実施例]

図 8 は、本発明の第 2 実施例による液晶表示装置 20B の構成を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0041】

本実施例は、ドライバ IC に余裕がない場合を想定しており、最後に駆動されるゲートバスラインと新たに追加したゲートバスラインを駆動回路上で短絡し、同時に駆動する。すなわち、図 8 の実施例は、図 9 の実施例と液晶パネル構造は同じで、駆動回路のみを変更している。

【0042】

最後に駆動するゲートバスライン G(N) と同じタイミングで最初に追加されたゲートバスライン G(0) を駆動することにより、第 1 段の浮遊副画素電極 24B の蓄積電荷を直接駆動される副画素電極 24C に逃がすことができ、第 1 段の画素の焼付きを、前記図 7 の実施例と同様に抑制することができる。

[第 3 実施例]

図 9 は、本発明の第 3 実施例による液晶表示装置 20C の構成を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0043】

図 8 の実施例では、駆動回路を変更する必要がある、回路設計に負荷がかかってしまう。

【0044】

そこで本実施例では、新たに追加されたゲートバスライン G(0) と最後に駆動されるゲートバスライン G(N) を短絡させるためのデータバスライン 22DatS を、一番外側のデータバスライン 22Dat(M) のさらに外側に形成する。その際、前記追加データバスライン 22DatS は、前記追加ゲートバスライン 22G(0) とコンタクトホール 22DatC1 を介して電氣的に接続され、さらに最後のゲートバスライン 22G(N)

）と、別のコンタクトホール 22 Dat C2 を介して電氣的に接続される。

【0045】

これにより、駆動回路、駆動方法を全く変更せずに、新たに追加したゲートバスライン 22 G (0) を駆動して第1段の画素の焼付きを抑制することが出来る。

[第4実施例]

図10は、本発明の第4実施例の関連技術による液晶表示装置40の構成を示す平面図である。

【0046】

図10を参照するに、液晶表示装置40は、図示はしないが図4Bの(B)の構成と同様なTFT基板と対向基板とを有し、間には液晶層が封入されている。

10

【0047】

図10の液晶表示装置4では、TFT基板上にゲートバスライン42Gが左右方向に延在し、さらにデータバスライン42Datが上下方向に延在している。さらに前記ゲートバスライン42Gとデータバスライン42Datの交点には、同一のゲートバスライン42G上にTFT41T₁および41T₂が隣接して形成されている。

【0048】

図10の構成は、液晶表示装置40の表示領域に繰り返し形成されており、1フレーム中、ゲートバスライン42Gは1段目からN段目まで、順次選択される。

【0049】

20

ここでN-1段目の画素に着目すると、ゲートバスライン42G(N-1)により駆動されるN-1段目のTFT41T₁では、ドレイン電極がデータバスライン42Datに接続されソース電極の延在部42S₁が、コンタクトホールC₁により、第1の副画素電極42Aに接続されている。その結果、副画素電極42AはTFT41T₁により直結駆動される。一方、TFT41T₂ではソース電極が、別の副画素電極42BにコンタクトホールC₂により接続され、その結果、副画素電極42Bは、TFT41T₂により直結駆動される。

【0050】

なお、図10中、パターン40Xは、対向基板上に形成されて液晶分子の配向を規制する配向規制構造物を示している。

30

【0051】

さらに図10の構成では、ゲートバスライン42G上には第3のTFT41T₃が形成されており、前記第3のTFT41T₃は、前段の画素電極42Bがソース電極に接続され、これを、ドレイン電極を介して蓄積容量Csの一部として形成されたバッファ容量に電氣的に接続する。例えば図10の例では、ゲートバスライン42G(N)上のTFT41T₃(N)が、N-1段目の画素電極42Bを、対応するバッファ容量41C₃(N)に電氣的に接続する。そこで、前記ゲートバスライン42G(N-1)を介してTFT41T₁(N-1)、41T₂(N-1)を駆動し、N-1段目の画素電極42A、42Bにより表示を行うに先立って、ゲートバスライン42G(N)によりTFT41T₃(N)を導通させることにより、前記N-1段目の画素電極42Bに蓄積していた電荷を、前記TFT41T₃(N)に協働するバッファ容量41C₃(N)に逃がすことが可能になる。これにより、画素電極42Bの電位が低下し、同一の画素中において画素電極42Aと42Bを異なった特性で駆動でき、ハーフトーン表示の視野角特性を大きく改善することができる。

40

【0052】

ところが、このような構成を液晶パネル全体で見ると、図11に示すように最終段(N)においては、ゲートバスライン42G(N+1)が存在しないため、TFT41T₃(N+1)を駆動することができず、また前記TFT41T₃(N+1)と協働するバッファ容量41C₃(N+1)も形成されないため、このような構成では、最終N段において副画素電極42Bにおいては焼付きが発生するのを回避することができない。

50

【 0 0 5 3 】

そこで本実施例においては、図 1 2 に示すように、あえて $N + 1$ 段目のゲートバス電極 4 2 G ($N + 1$) を形成し、これにより T F T 4 1 T₃ ($N + 1$) を駆動する。さらに、前記蓄積容量バス 4 2 C につながる追加バス 4 2 C x を形成し、これにより、前記 T F T 4 1 T₃ ($N + 1$) に協働するバッファ容量を形成する。すなわち、図 1 2 は、本発明の第 4 実施例による液晶表示装置 6 0 の構成を示す。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【 0 0 5 4 】

前記 $N + 1$ 段目のゲートバスライン 4 2 G ($N + 1$) は、駆動回路により、 $N + 1$ 段目として駆動してもよいし、先の実施例のように駆動回路を変更して、1 段目と同時に駆動するようにしてもよい。また図 1 0 の実施例のようにデータバスラインを一本追加して 1 段目のゲートバスラインと短絡してもよい。この場合も、ゲートバスライン 4 2 G ($N + 1$) は、1 段目のゲートバスラインと同じタイミングで駆動される。

【 0 0 5 5 】

なお、上記の構成を左右反転しても、同一の効果を得ることができるのは明らかである。

[第 5 実施例]

ところで、上記図 1 2 の液晶表示装置 6 0 においては、バッファ容量近傍の液晶分子の配向が安定する副次的効果が得られる。これは以下の理由による。

【 0 0 5 6 】

前記図 1 2 の構成では、対抗基板上に形成された配向規制構造物 4 0 X の効果、および画素電極 4 2 A と 4 2 B の間の隙間の効果により、従来の M V A 液晶表示装置と同様に、液晶分子をバスラインに対して斜め 4 5 ° 方向に倒す設計になっているが、バスライン 4 2 G 近傍では、バスラインに垂直な方向に電界が発生するが、これは本来液晶分子を倒したい方向とは異なるため、バスライン 4 2 G 近傍の液晶分子の配向が影響を受け、液晶分子の配向が乱れやすい問題がある。

【 0 0 5 7 】

一方、図 1 2 の構造では、各画素の副画素電極 4 2 B は、一つ前の段のバッファ容量と隣接しており、ドット反転駆動の場合、両者の間で極性が異なるため、両者間の電位差が増大する。このため、周辺バスライン 4 2 G による電界よりも、副画素電極 4 2 B と前記バッファ容量 4 1 C₃ との間の電位差が支配的になり、液晶分子の倒れる方向、すなわち配向が安定する効果が得られる。

【 0 0 5 8 】

ところが前記図 1 2 の構成では、1 段目の画素を見ると、0 段目に画素が存在しないため、1 段目の副画素電極 4 2 B にバッファ容量が隣接しないことになり、他の段の画素と配向性に若干違いが出る恐れがある。

【 0 0 5 9 】

そこで、本実施例では、図 1 3 に示すように第 1 段にダミーのバッファ容量 D M を設け、 m 番目のダミーバッファ容量 D M には $m + 1$ 番目のデータバスライン 4 2 D a t から T F T 4 2 T₃ を介して駆動電圧を供給する。このため、図 1 4 では、データバスライン 4 2 D a t を T F T 4 1 T₃ のドレインに分岐させる分岐パターンを含んでいる。ただし図 1 3 は、本発明の第 5 実施例による液晶表示装置 8 0 の構成を示す。図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 6 0 】

ここで、データバスライン 4 2 D a t の電圧自体は変化するが、1 段目のゲートバスライン 4 2 G (1) が駆動されてから N 段目のゲートバスライン 4 2 G (N) が駆動されるまで、その極性が変わることがないことに注意すべきである。このため、1 段目のダミーバッファ容量 D M と副画素容量 4 2 B とで極性が異なる状態は維持され、両者の間に大きな電位差が生じる関係はくずれない。これにより、液晶分子の配向の安定性が維持される

10

20

30

40

50

。

[第 6 実施例]

図 1 4 は、図 1 3 の液晶表示装置 8 0 に一変形例による液晶表示装置 8 0 A の構成を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【 0 0 6 1 】

図 1 3 の構成では、第 1 段目の M 番目においては、画素に対応するダミーバッファ容量を駆動するデータバスラインは存在しない。

【 0 0 6 2 】

このため図 1 3 A 中、第 1 段目 M 番目の画素にはダミーバッファ容量が形成されず、電位が制御されない空白領域が生じてしまう。このような空白領域が存在すると、周辺のバスライン等の電界により、配向膜と絶縁層などの境界に電荷が蓄積し、黒表示時に光漏れを発生する危険がある。

【 0 0 6 3 】

そこで図 1 3 の構成では、この空白部分を遮光するため、1 番目の蓄積容量バスラインを枝分かれさせ、遮光パターン 4 2 S h を形成する。なお、前記遮光パターン 4 2 S h を形成する代わりに、この部分に対応して、対向基板上にブラックマトリックスを設け、遮光を行ってもよい。

[第 7 実施例]

図 1 5 は、図 1 4 の液晶表示装置 8 0 A のさらなる変形例による液晶表示装置 8 0 B の構成を示す。

【 0 0 6 4 】

前記図 1 4 の実施例では、前記遮光パターン 4 2 S h は単に遮光するだけなので、前記 1 段目の端、M 番目の画素の角部では、他の 1 段目画素と液晶配向の安定性が異なる。そこで、本実施例では、前記遮光パターン 4 2 S h による遮光部にも、他の画素と同様なダミーバッファ容量を形成し、これに対応して設けた T F T により駆動する。

【 0 0 6 5 】

図 1 5 を参照するに、本実施例では前記遮光パターン 4 2 S h を使って、第 1 段、1 ~ (M - 1) 番目の他の画素と同様なダミーバッファ容量 D M を、M 番目の画素にも形成し、さらに前記ゲートバスライン 4 2 G (1) 上に、前記 M 番目の画素のダミーバッファ容量 D M に協働するように T F T 4 1 T₃ を形成する。

【 0 0 6 6 】

さらに図 1 5 の実施例では、前記 T F T 4 1 T₃ に、M 番目のデータバスライン 4 2 D a t 上の電圧の逆極性の電圧を、M + 1 番目のデータバスライン 4 2 D a t (M + 1) を介して供給する。

【 0 0 6 7 】

上記構成により、第 1 段、M 番目の画素における液晶配向は、前記ダミーバッファ容量 D M の近傍を含め、他の第 1 段画素とほぼ同等に設定することが可能になる。

【 0 0 6 8 】

以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【 図面の簡単な説明 】

【 0 0 6 9 】

【 図 1 】 従来の M V A 液晶表示装置の T - V 特性を示す図である。

【 図 2 】 (A) ~ (C) は、焼付きの程度を測定する試験方法を示す図である。

【 図 3 】 焼付き率の計算を示す図である。

10

20

30

40

50

【図４Ａ】（Ａ）は、本発明第１実施例の課題を説明する図である。

【図４Ｂ】（Ｂ），（Ｃ）は、本発明第１実施例の課題を説明する別の図である。

【図５】本発明第１実施例の課題を説明するさらに別の図である。

【図６】本発明の第１実施例による液晶表示装置の構成を示す図である。

【図７】本発明第１実施例による液晶表示装置の全体構成を示す図である。

【図８】本発明の第２実施例による液晶表示装置の構成を示す図である。

【図９】本発明の第３実施例による液晶表示装置の構成を示す図である。

【図１０】本発明の第４実施例の課題を説明する図である。

【図１１】本発明の第４実施例の課題を説明する別の図である。

【図１２】本発明の第４実施例による液晶表示装置の構成を示す図である。

10

【図１３】本発明の第５実施例による液晶表示装置の構成を示す図である。

【図１４】本発明の第６実施例による液晶表示装置の構成を示す図である。

【図１５】本発明の第７実施例による液晶表示装置の構成を示す図である。

【符号の説明】

【００７０】

２０，２０Ａ，２０Ｂ，２０Ｃ，４０，６０，８０，８０Ａ，８０Ｂ 液晶表示装置

２１Ａ ＴＦＴ基板

２１Ｂ 対向基板

２２ 液晶層

２２Ｃ，４２Ｃ 蓄積容量バスライン

20

２２ＣＦ カラーフィルタ

２２ＣＭ 対向コモン電極

２２Ｇ，４２Ｇ ゲートバスライン

２２Ｄ ドレイン領域

２２Ｇｏｘ ゲート絶縁膜

２２Ｓ ソース領域

２３Ｄ ドレイン電極

２３Ｄａｔ，４２Ｄａｔ データバスライン

２３Ｓ ソース電極および制御バスライン

２４ 層間絶縁膜

30

２４Ａ，２４Ｂ，４２Ａ，４２Ｂ 画素電極

２４Ｔ_１，２４Ｔ_２，４１Ｔ_１，４１Ｔ_２，４１Ｔ_３ ＴＦＴ

２４Ｖ，２４Ｖ_１，２４Ｖ_２，Ｃ_１，Ｃ_２ コンタクトホール

２５Ａ，２５Ｂ 配向膜

４０Ｘ 配向規制構造物（対向基板上）

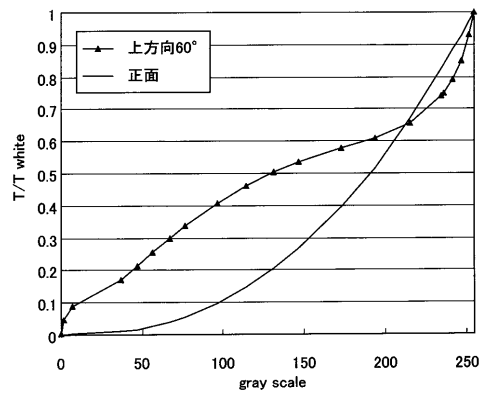
４１Ｃ_３ バッファ容量

４２Ｓ_１ ソース電極

ＤＭ ダミーバッファ容量

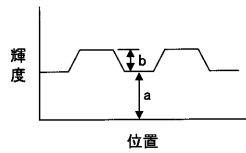
【図 1】

従来のMVA液晶表示装置のT-V特性を示す図



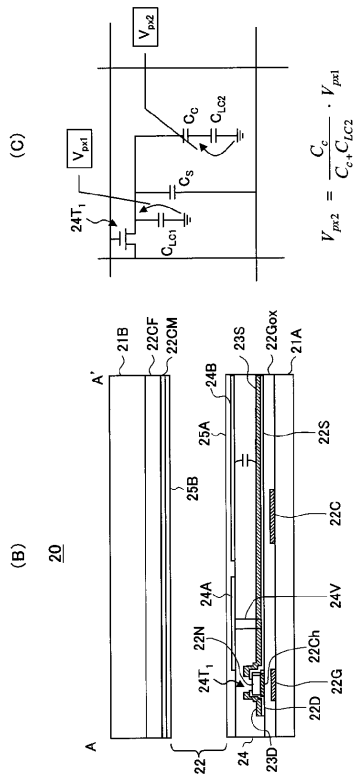
【図 3】

焼付き率の計算を示す図



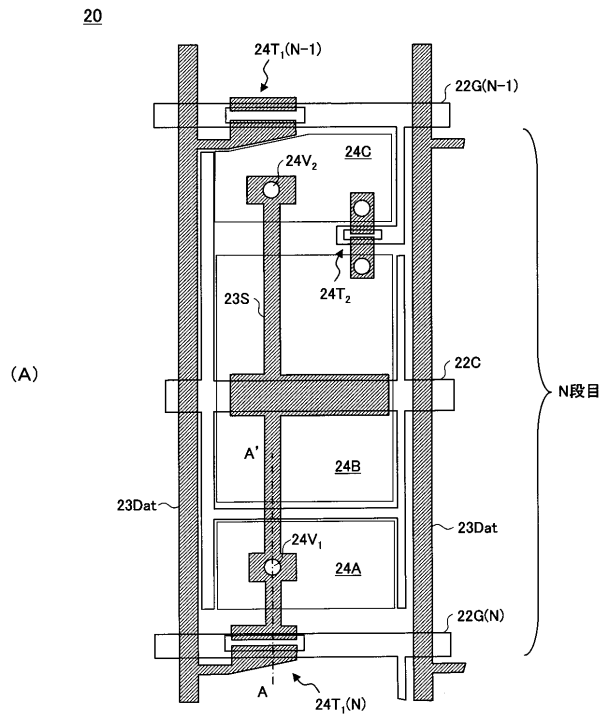
【図 4 B】

(B), (C)は、本発明第1実施例の課題を説明する別の図



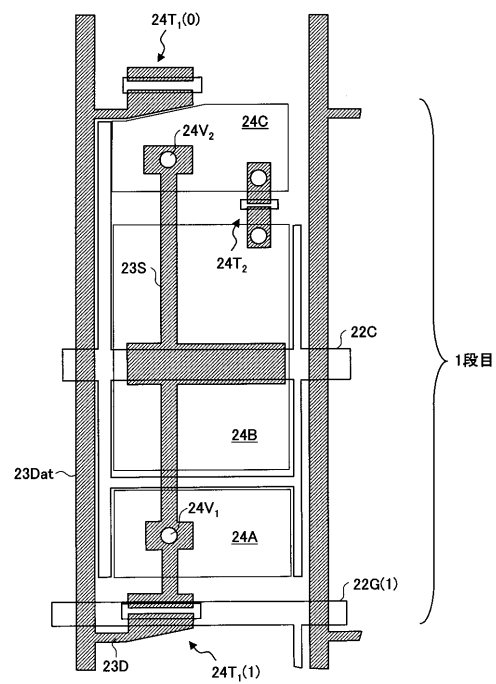
【図 4 A】

(A)は、本発明第1実施例の課題を説明する図



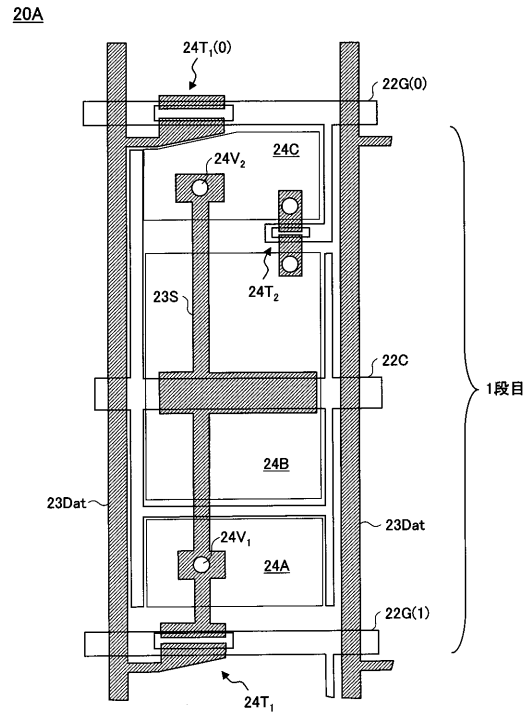
【図 5】

本発明第1実施例の課題を説明するさらに別の図



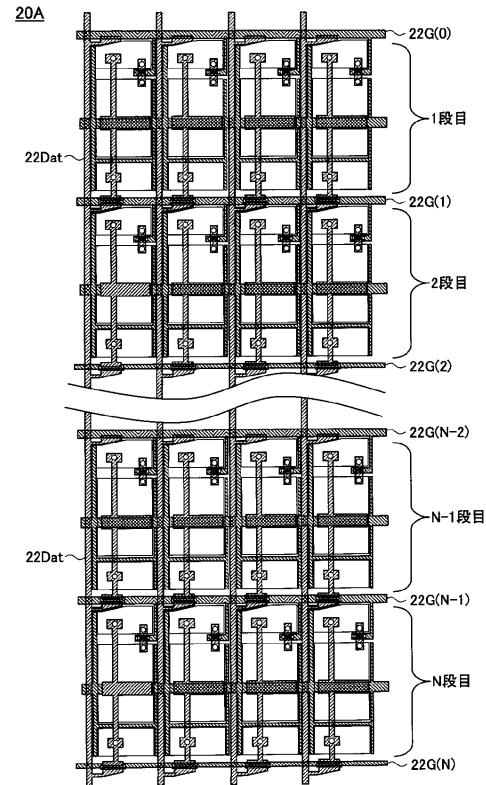
【図 6】

本発明の第1実施例による液晶表示装置の構成を示す図



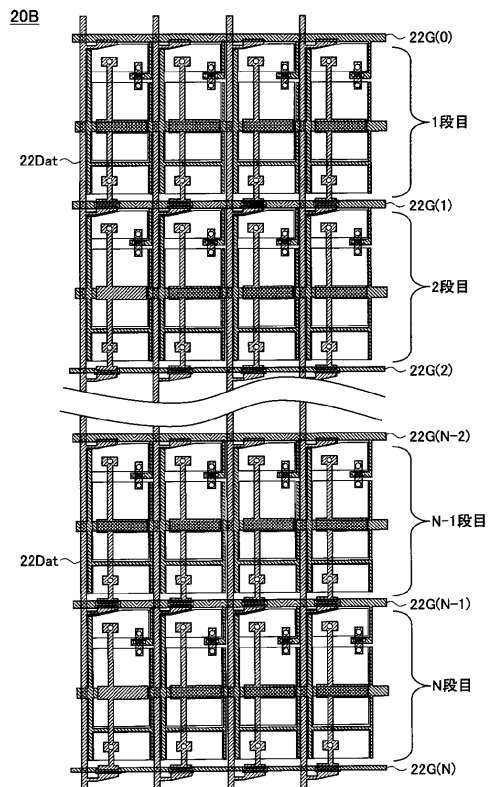
【図 7】

本発明第1実施例による液晶表示装置の全体構成を示す図



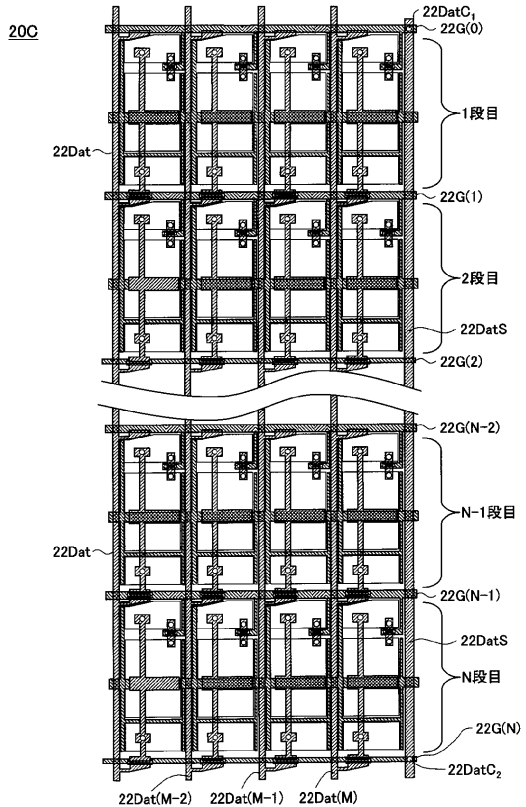
【図 8】

本発明の第2実施例による液晶表示装置の構成を示す図



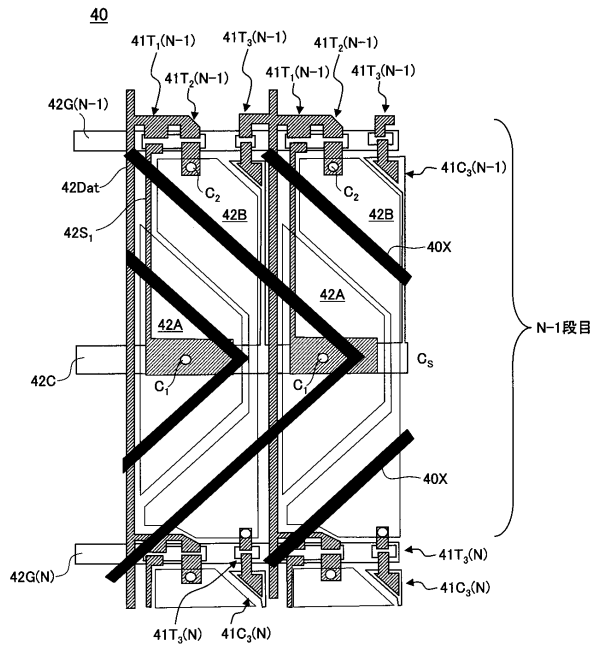
【図 9】

本発明の第3実施例による液晶表示装置の構成を示す図



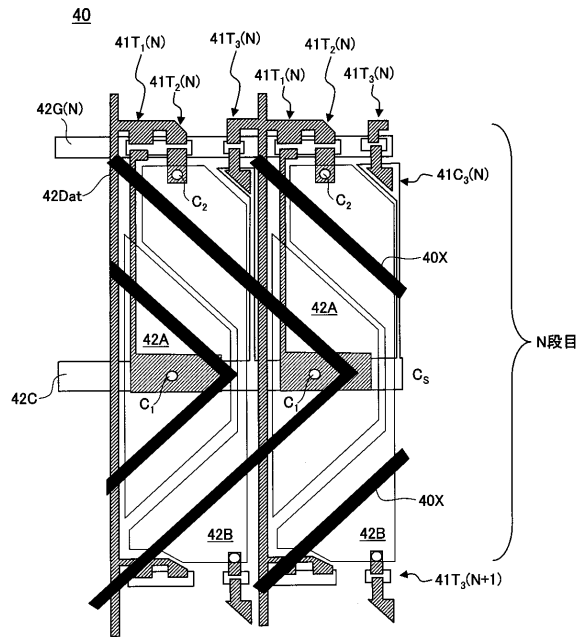
【図 10】

本発明の第4実施例の課題を説明する別の図



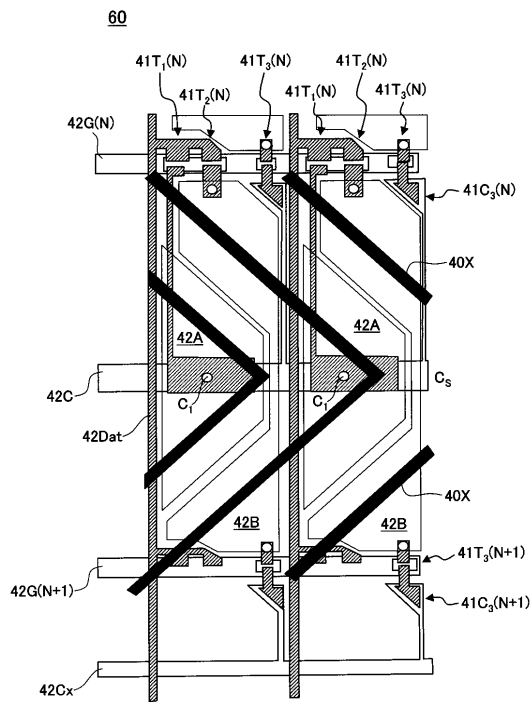
【図 11】

本発明の第4実施例の課題を説明する別の図



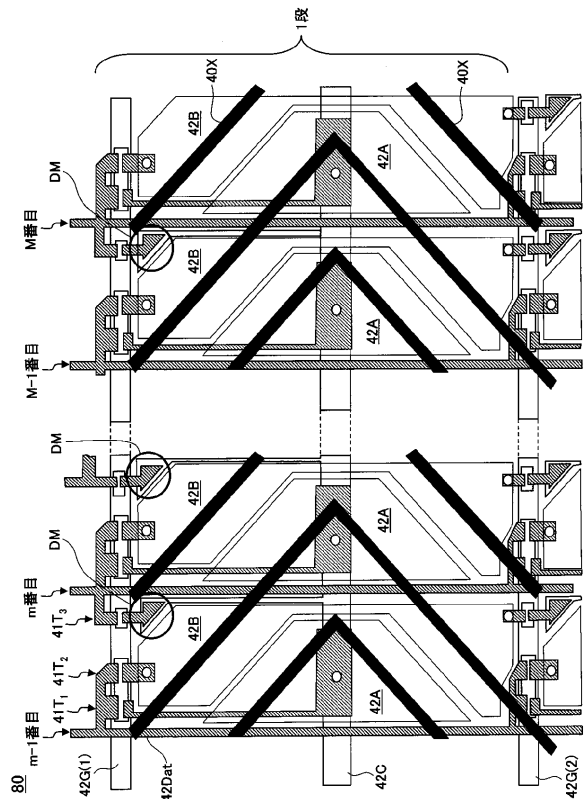
【図 12】

本発明の第4実施例による液晶表示装置の構成を示す図



【図 13】

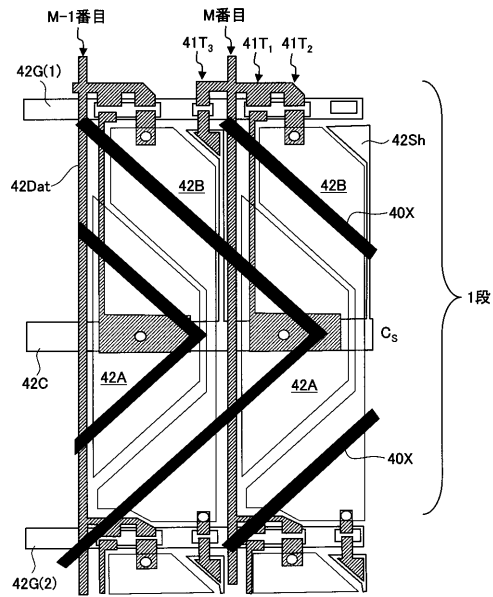
本発明の第5実施例による液晶表示装置の構成を示す図



【図 14】

本発明の第6実施例による液晶表示装置の構成を示す図

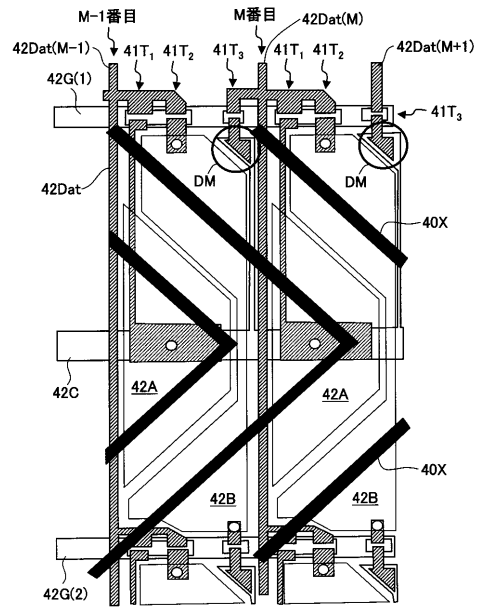
80A



【図 15】

本発明の第7実施例による液晶表示装置の構成を示す図

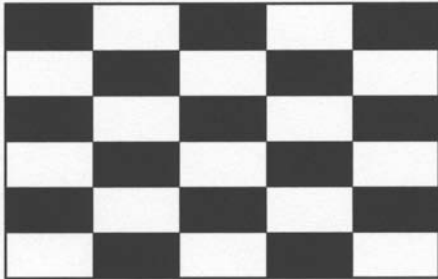
80B



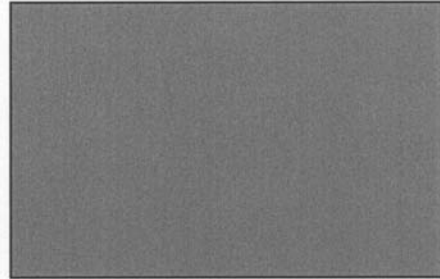
【図 2】

(A)～(C)は、焼付きの程度を測定する試験方法を示す図

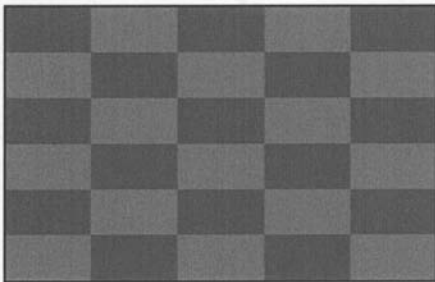
(A)



(B)



(C)



フロントページの続き

- (72)発明者 津田 英昭
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 吉田 秀史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 田坂 泰俊
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 柴崎 正和
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 藤田 都志行

- (56)参考文献 特開2005-062882(JP,A)
特開平9-288260(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP4767588B2	公开(公告)日	2011-09-07
申请号	JP2005156089	申请日	2005-05-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	仲西洋平 鎌田豪 津田英昭 吉田秀史 田坂泰俊 柴崎正和		
发明人	仲西 洋平 鎌田 豪 津田 英昭 吉田 秀史 田坂 泰俊 柴崎 正和		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G09G3/3648 G02F1/133707 G02F2001/133397 G02F2001/134345 G02F2001/134354 G09G2300/0426 G09G2300/0447 G09G2300/0876 G09G2320/028 G09G2320/046		
FI分类号	G02F1/1343 G02F1/1368 G02F1/136		
F-TERM分类号	2H092/GA12 2H092/GA13 2H092/GA14 2H092/JA24 2H092/JB42 2H092/JB61 2H092/NA01 2H092/NA12 2H092/NA23 2H092/PA06 2H192/AA24 2H192/BA23 2H192/BC23 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB12 2H192/CB71 2H192/CC04 2H192/CC62 2H192/DA12 2H192/DA52 2H192/EA04 2H192/EA43 2H192/GD61		
代理人(译)	伊藤忠彦		
其他公开文献	JP2006330499A		
外部链接	Espacenet		

摘要(译)

要解决的问题：相对于在一个像素内具有多个像素电极的液晶显示装置，减少包括其周边部分的显示区域中的老化，以改善半色调显示特性。ŽSOLUTION：在显示区域的外围部分提供附加的栅极总线，并驱动用于使像素放电的晶体管。Ž

$$V_{px2} = \frac{C_c}{C_c + C_{LC2}} \cdot V_{px1}$$